



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0015191
(43) 공개일자 2017년02월08일

(51) 국제특허분류(Int. Cl.)

H03M 13/11 (2006.01)

(52) CPC특허분류

H03M 13/1105 (2013.01)

(21) 출원번호 10-2016-0094984

(22) 출원일자 2016년07월26일

심사청구일자 2016년07월26일

(30) 우선권주장

1020150108796 2015년07월31일 대한민국(KR)

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

허준

서울특별시 강남구 광평로10길 6, 206동 103호

김성원

서울특별시 성북구 종암로23길 35, 201동 702호

(뒷면에 계속)

(74) 대리인

심경식, 홍성욱

전체 청구항 수 : 총 10 항

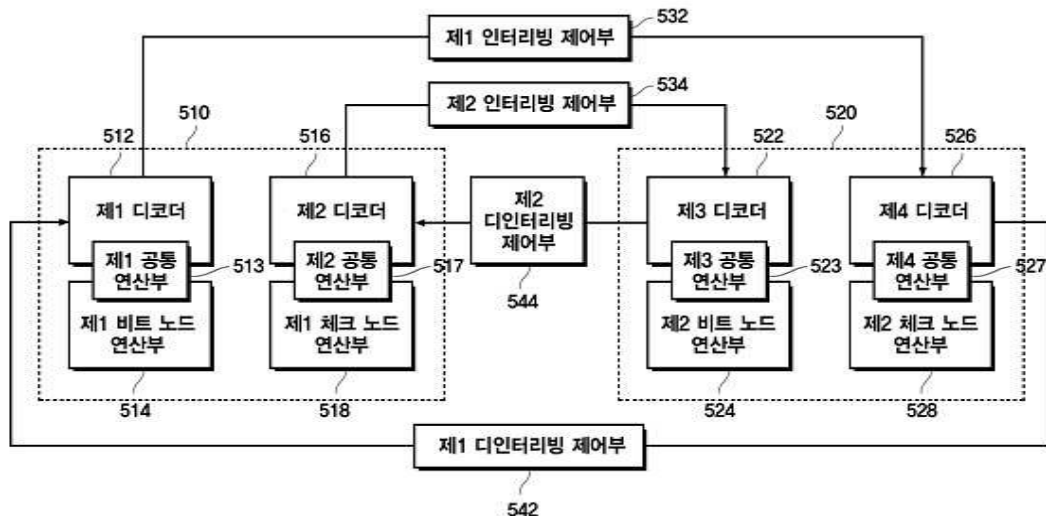
(54) 발명의 명칭 터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법 및 그 장치

(57) 요약

터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법 및 그 장치가 개시된다. 본 발명의 일 실시예에 따른 다중 복호 장치는 저밀도 패리티 검사(LDPC) 복호화를 위한 복수의 체크 노드 연산부, 복수의 비트 노드 연산부 및 상기 노드 연산부들 각각과 공통적인 연산을 수행하는 공통 연산부를 공유하도록 구성된 터보 복호화를 위한 복수

(뒷면에 계속)

대표도 - 도5



의 디코더를 포함하는 복수의 단위 복호부; 상기 터보 복호화 및 상기 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신하는 모드 선택부; 상기 모드 선택 신호에 기초하여, 상호간에 인접한 상기 복수의 단위 복호부에서의 전단의 단위 복호부의 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단의 단위 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하기 위한 복수의 인터리빙 제어부; 및 상기 모드 선택 신호에 기초하여, 상기 후단의 단위 복호부의 복수의 디코더 중 하나의 출력값을 디인터리빙하여 전단 터보 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하기 위한 복수의 디인터리빙 제어부를 포함한다.

(72) 발명자

안병규

서울특별시 성북구 인촌로24가길 4-9

윤성식

서울특별시 광진구 아차산로 537-17, 1401동 2305호

이 발명을 지원한 국가연구개발사업

과제고유번호 1425087626

부처명 중소기업청

연구관리전문기관 한국산학연합회

연구사업명 산학연합력기술개발

연구과제명 군용 통신에서의 보안을 고려한 오류정정부호(터보부호)의 설계 및 구현

기 여 율 1/1

주관기관 고려대학교산학협력단

연구기간 2014.06.01 ~ 2015.05.31

명세서

청구범위

청구항 1

저밀도 패리티 검사(LDPC) 복호화를 위한 복수의 체크 노드 연산부, 복수의 비트 노드 연산부 및 상기 노드 연산부들 각각과 공통적인 연산을 수행하는 공통 연산부를 공유하도록 구성된 터보 복호화를 위한 복수의 디코더를 포함하는 복수의 단위 복호부;

상기 터보 복호화 및 상기 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신하는 모드 선택부;

상기 모드 선택 신호에 기초하여, 상호간에 인접한 상기 복수의 단위 복호부에서의 전단의 단위 복호부의 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단의 단위 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하기 위한 복수의 인터리빙 제어부; 및

상기 모드 선택 신호에 기초하여, 상기 후단의 단위 복호부의 복수의 디코더 중 하나의 출력값을 디인터리빙하여 전단 터보 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하기 위한 복수의 디인터리빙 제어부를 포함하는 것을 특징으로 하는 다중 복호 장치.

청구항 2

제1항에 있어서,

상기 인터리빙 제어부는

상기 인터리빙을 수행하는 인터리버; 및

상기 모드 선택 신호에 따라 ON 또는 OFF되는 인터리버 스위치를 포함하고,

상기 디인터리빙 제어부는

상기 디인터리빙을 수행하는 디인터리버; 및

상기 모드 선택 신호에 따라 ON 또는 OFF되는 디인터리버 스위치를 포함하는 것을 특징으로 하는 다중 복호 장치.

청구항 3

제2항에 있어서,

상기 LDPC 복호부는

상기 모드 선택 신호에 따라, 상기 비트 노드 연산부의 출력 값을 열(row) 단위로 인터리빙하여 상기 체크 노드 연산부로 선택적으로 출력하는 열 인터리빙 제어부; 및

상기 모드 선택 신호에 따라, 상기 체크 노드 연산부의 출력 값을 행(column) 단위로 인터리빙하여 상기 비트 노드 연산부로 선택적으로 출력하는 행 인터리빙 제어부를 더 포함하는 것을 특징으로 하는 다중 복호 장치.

청구항 4

제3항에 있어서,

상기 열 인터리빙 제어부는

상기 열 단위로 인터리빙을 수행하는 열 인터리버; 및

상기 모드 선택 신호에 따라 ON 또는 OFF되는 열 인터리버 스위치를 포함하고,

상기 행 인터리빙 제어부는

상기 행 단위로 인터리빙을 수행하는 행 인터리버; 및

상기 모드 선택 신호에 따라 ON 또는 OFF되는 행 인터리버 스위치를 포함하는 것을 특징으로 하는 다중 복호 장치.

청구항 5

제4항에 있어서,

상기 모드 선택 신호가 상기 터보 복호화를 선택하기 위한 신호인 경우에는,

상기 인터리빙 제어부의 상기 인터리버 스위치 및 상기 디인터리빙 제어부의 상기 디인터리버 스위치는 ON되고, 상기 열인터리빙 제어부의 상기 열 인터리버 스위치 및 상기 행 인터리빙 제어부의 상기 행 인터리버 스위치는 OFF되고,

상기 모드 선택 신호가 상기 LDPC 복호화를 선택하기 위한 신호인 경우에는 상기 스위치들은 반대로 동작하는 것을 특징으로 하는 다중 복호 장치.

청구항 6

제5항에 있어서,

상기 공통 연산부는

min* 연산을 수행하는 연산부인 것을 특징으로 하는 다중 복호 장치.

청구항 7

제1항에 있어서,

상기 모드 선택 신호가 상기 터보 복호화를 선택하기 위한 신호인 경우에는,

상기 터보 복호화를 위하여 상기 인터리빙 제어부 및 상기 디인터리빙 제어부가 상기 전단 터보 복호부의 복수의 디코더 중 하나와 상기 후단 터보 복호부의 복수의 디코더 중 하나 사이에 병렬로 연결되고,

상기 전단 터보 복호부의 복수의 디코더 중 하나의 출력 값은 상기 인터리빙 제어부에 의해 인터리빙되어 상기 후단 터보 복호부의 복수의 디코더 중 하나로 출력되고,

상기 후단 터보 복호부의 복수의 디코더 중 하나의 출력 값은 상기 디인터리빙 제어부에 의해 디인터리빙되어 상기 전단 터보 복호부의 복수의 디코더 중 하나로 출력되는 것을 특징으로 하는 다중 복호 장치.

청구항 8

제1 항에 있어서,

상기 터보 복호부는

하기 수학적 식 1 내지 수학적 식 4에 기초하여 순방향 상태 확률 값 업데이트 및 역방향 상태 확률 값 업데이트를 수행하고,

[수학적 식 1]

$$\gamma(s', s) = P(y_k | x_k) P(u_k)$$

이때, s'는 이전 상태, s는 현재 상태, γ 는 두 상태를 연결하는 가지 확률 값, k는 코드워드 인덱스, y_k 는 k 인덱스에서의 수신된 오류가 섞인 심볼값, x_k 는 k 인덱스에서의 수신된 오류가 없는 원래 심볼값, u_k 는 입력 비트이고,

[수학적 식 2]

$$\alpha_k(s) = \sum_{s'} \alpha_{k-1}(s') \gamma(s', s), \quad \text{initial condition: } \alpha_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$\beta_{k-1}(s) = \sum_{s'} \beta_k(s') \gamma(s', s), \quad \text{initial condition: } \beta_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

상기 수학식 2에서 $\alpha_k(s)$ 는 현재 연산 순서의 순방향 상태 확률 값, $\alpha_{k-1}(s')$ 는 현재 연산 순서 직전에 산출된 순방향 상태 확률 값, $\beta_{k-1}(s)$ 는 현재 연산 순서의 역방향 상태 확률 값, $\beta_k(s')$ 는 현재 연산 순서 직전에 산출된 역방향 상태 확률 값이고,

[수학식 3]

$$\begin{aligned} A_k(s) &= -\ln \alpha_k(s) = \min^*[A_{k-1}(s') + \Gamma_k(s', s)] & A_0(s) &= \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases} \\ B_{k-1}(s') &= -\ln \beta_{k-1}(s') = \min^*[B_k(s) + \Gamma_k(s', s)] & B_N(s) &= \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases} \\ \Gamma_k(s', s) &= -\ln \gamma(s', s) \end{aligned}$$

상기 수학식 3에서 $\min^*(a, b)$ 는 수학식 4에 의하여 수행될 때,

[수학식 4]

$$\min^*(a, b) = \min(a, b) - \ln(1 + e^{-|a-b|})$$

상기 수학식 4의 두 번째 항인 $\ln(1 + e^{-|a-b|})$ 는 $|a-b|$ 를 입력받아 출력 값을 산출하도록 구성된 간소화된 룩업테이블(LUT)을 이용하여 산출되는 것을 특징으로 하는 다중 복호 장치.

청구항 9

제1항에 있어서,

상기 체크 노드 연산부는

수학식 6 및 수학식 7에 기초하여 체크 노드 업데이트를 수행하고,

[수학식 6]

$$w_{k \rightarrow n_1} = g(v_{n_1 \rightarrow k}, v_{n_1 \rightarrow k}, \dots, v_{n_{i-1} \rightarrow k}, v_{n_{i+1} \rightarrow k}, \dots, v_{n_{dc} \rightarrow k})$$

[수학식 7]

$$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})}$$

$v_{n_1 \rightarrow k}, v_{n_1 \rightarrow k}, \dots, v_{n_{dc} \rightarrow k}$ 는 d_c 개의 인접한 비트 노드에서 체크 노드 k로 전송하는 비트-체크 메시지이고, a, b 각각은 상기 비트-체크 메시지 중 선택된 2개의 입력 값을 나타낼 때,

상기 수학식 7의 두 번째 항인 $\ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})}$ 는 $\min(a, b)$ 및 $|a-b|$ 를 입력받아 출력 값을 산출하도록 구성된 간소화된 룩업테이블(LUT)을 이용하여 산출되는 것을 특징으로 하는 다중 복호 장치.

청구항 10

모드 선택부가 터보 복호화 및 상기 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신하는 단계;

상기 모드 선택 신호에 기초하여, 인터리빙 제어부가 저밀도 패리티 검사(LDPC) 복호부에 포함된 복수의 체크 노드 연산부 및 복수의 비트 노드 연산부 각각과 공통적인 연산을 수행하는 공통 연산부를 공유하도록 구성된 터보 복호화를 위한 복수의 디코더를 포함하는 복수의 터보 복호부에서의 진단 터보 복호부의 상기 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단 터보 복호부의 복수의 디코더 중 하나로 선택적으로 출력하는 단계; 및

상기 모드 선택 신호에 기초하여, 디인터리빙 제어부가 상기 후단 터보 복호부의 복수의 디코더 중 하나의 출력

값을 디인터리빙하여 상기 전단 터보 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하는 단계를 포함하는 것을 특징으로 하는 다중 복호 방법.

발명의 설명

기술 분야

[0001] 본 발명은 복호 방법 및 장치에 관한 것으로, 특히 터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법 및 그 장치에 관한 것이다.

배경 기술

[0002] 통신 시스템에서 터보 부호와 LDPC 부호는 샤논의 한계에 거의 근접하면서 가장 강력한 오류정정부호이다. 터보 부호와 LDPC 부호는 WiMAX, WiFi, 3GPP-LTE, DVB-S2 등 다양한 표준에 채택된 오류정정부호로 시스템 구현을 위한 많은 연구가 진행되어 왔다.

[0003] 또한, 오류정정부호의 구현 관점에서 멀티 표준 및 멀티 부호의 오류정정기법을 유연하게 복호 가능하도록 터보 부호와 LDPC 부호의 결합된 복호기에 관한 구조 설계에 대한 연구도 활발히 진행되어 왔다.

[0004] 이러한, 터보 부호와 LDPC 부호의 복호가 가능한 터보/LDPC 복호기는 다양한 표준과 다양한 시스템 구현 파라미터로 인하여 시스템 스토리지 면적이 상당히 크다는 단점을 지니고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 공개특허공보 제10-2009-0012189호(2009.02.02.)

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 터보 복호기 및 LDPC 복호기를 모두 지원하면서도 복호 장치의 면적을 줄일 수 있는 터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법 및 그 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 터보 복호기 및 LDPC 복호기를 위한 다중 복호 장치는 저밀도 패리티 검사(LDPC) 복호화를 위한 복수의 체크 노드 연산부, 복수의 비트 노드 연산부 및 상기 노드 연산부들 각각과 공통적인 연산을 수행하는 공통 연산부를 공유하도록 구성된 터보 복호화를 위한 복수의 디코더를 포함하는 복수의 단위 복호부; 상기 터보 복호화 및 상기 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신하는 모드 선택부; 상기 모드 선택 신호에 기초하여, 상호간에 인접한 상기 복수의 단위 복호부에서의 전단의 단위 복호부의 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단의 단위 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하기 위한 복수의 인터리빙 제어부; 및 상기 모드 선택 신호에 기초하여, 상기 후단의 단위 복호부의 복수의 디코더 중 하나의 출력값을 디인터리빙하여 전단 터보 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하기 위한 복수의 디인터리빙 제어부를 포함한다.

[0008] 바람직하게는, 상기 인터리빙 제어부는 상기 인터리빙을 수행하는 인터리버; 및 상기 모드 선택 신호에 따라 ON 또는 OFF되는 인터리버 스위치를 포함하고, 상기 디인터리빙 제어부는 상기 디인터리빙을 수행하는 디인터리버; 및 상기 모드 선택 신호에 따라 ON 또는 OFF되는 디인터리버 스위치를 포함할 수 있다.

[0009] 바람직하게는, 상기 LDPC 복호부는 상기 모드 선택 신호에 따라, 상기 비트 노드 연산부의 출력 값을 열(row) 단위로 인터리빙하여 상기 체크 노드 연산부로 선택적으로 출력하는 열 인터리빙 제어부; 및 상기 모드 선택 신호에 따라, 상기 체크 노드 연산부의 출력 값을 행(column) 단위로 인터리빙하여 상기 비트 노드 연산부로 선택적으로 출력하는 행 인터리빙 제어부를 더 포함할 수 있다.

[0010] 바람직하게는, 상기 열 인터리빙 제어부는 상기 열 단위로 인터리빙을 수행하는 열 인터리버; 및 상기 모드 선택 신호에 따라 ON 또는 OFF되는 열 인터리버 스위치를 포함하고, 상기 행 인터리빙 제어부는 상기 행 단위로 인터리빙을 수행하는 행 인터리버; 및 상기 모드 선택 신호에 따라 ON 또는 OFF되는 행 인터리버 스위치를 포함할 수 있다.

[0011] 바람직하게는, 상기 모드 선택 신호가 상기 터보 복호화를 선택하기 위한 신호인 경우에는, 상기 인터리빙 제어부의 상기 인터리버 스위치 및 상기 디인터리빙 제어부의 상기 디인터리버 스위치는 ON되고, 상기 열인터리빙 제어부의 상기 열 인터리버 스위치 및 상기 행 인터리빙 제어부의 상기 행 인터리버 스위치는 OFF되고, 상기 모드 선택 신호가 상기 LDPC 복호화를 선택하기 위한 신호인 경우에는 상기 스위치들은 반대로 동작할 수 있다.

[0012] 바람직하게는, 상기 공통 연산부는 min* 연산을 수행하는 연산부일 수 있다.

[0013] 바람직하게는, 상기 모드 선택 신호가 상기 터보 복호화를 선택하기 위한 신호인 경우에는, 상기 터보 복호화를 위하여 상기 인터리빙 제어부 및 상기 디인터리빙 제어부가 상기 전단 터보 복호부의 복수의 디코더 중 하나와 상기 후단 터보 복호부의 복수의 디코더 중 하나 사이에 병렬로 연결되고, 상기 전단 터보 복호부의 복수의 디코더 중 하나의 출력 값은 상기 인터리빙 제어부에 의해 인터리빙되어 상기 후단 터보 복호부의 복수의 디코더 중 하나로 출력되고, 상기 후단 터보 복호부의 복수의 디코더 중 하나의 출력 값은 상기 디인터리빙 제어부에 의해 디인터리빙되어 상기 전단 터보 복호부의 복수의 디코더 중 하나로 출력될 수 있다.

[0014] 바람직하게는, 상기 터보 복호부는 상기 터보 복호부는

[0015] 하기 수학식 1 내지 수학식 4에 기초하여 순방향 상태 확률 값 업데이트 및 역방향 상태 확률 값 업데이트를 수행하고,

[0016] [수학식 1]

$$\gamma(s', s) = P(y_k | x_k) P(u_k)$$

[0018] 상기 수학식 1에서 s'는 이전 상태, s는 현재 상태, γ 는 두 상태를 연결하는 가지 확률 값, k는 코드워드 인덱스, y_k 는 k 인덱스에서의 수신된 오류가 섞인 심볼값, x_k 는 k 인덱스에서의 수신된 오류가 없는 원래 심볼값, u_k 는 입력 비트이고,

[0019] [수학식 2]

$$\alpha_k(s) = \sum_{s'} \alpha_{k-1}(s') \gamma(s', s), \quad \text{initial condition: } \alpha_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$\beta_{k-1}(s) = \sum_{s'} \beta_k(s') \gamma(s', s), \quad \text{initial condition: } \beta_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

[0021] 상기 수학식 2에서 $\alpha_k(s)$ 는 현재 연산 순서의 순방향 상태 확률 값, $\alpha_{k-1}(s')$ 는 현재 연산 순서 직전에 산출된 순방향 상태 확률 값, $\beta_{k-1}(s)$ 는 현재 연산 순서의 역방향 상태 확률 값, $\beta_k(s')$ 는 현재 연산 순서 직전에 산출된 역방향 상태 확률 값이고,

[0022] [수학식 3]

$$A_k(s) = -\ln \alpha_k(s) = \min^*[A_{k-1}(s') + \Gamma_k(s', s)] \quad A_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$B_{k-1}(s') = -\ln \beta_{k-1}(s') = \min^*[B_k(s) + \Gamma_k(s', s)] \quad B_N(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$\Gamma_k(s', s) = -\ln \gamma(s', s)$$

[0024] 상기 수학식 3에서 min*(a,b)는 수학식 4에 의하여 수행될 때,

[0025] [수학식 4]

$$\min^*(a, b) = \min(a, b) - \ln(1 + e^{-|a-b|})$$

[0027] 상기 수학적 식 4의 두 번째 항인 $\ln(1 + e^{-|a-b|})$ 는 $|a-b|$ 를 입력받아 출력 값을 산출하도록 구성된 간소화된 룩업테이블(LUT)을 이용하여 산출될 수 있다.

[0028] 바람직하게는, 상기 체크 노드 연산부는 수학적 식 6 및 수학적 식 7에 기초하여 체크 노드 업데이트를 수행하고,

[0029] [수학적 식 6]

$$w_{k \rightarrow n_1} = g(v_{n_1 \rightarrow k}, v_{n_1 \rightarrow k}, \dots, v_{n_{i-1} \rightarrow k}, v_{n_{i+1} \rightarrow k}, \dots, v_{n_{dc} \rightarrow k})$$

[0030] [수학적 식 7]

$$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})}$$

[0032]

[0033] $v_{n_1 \rightarrow k}, v_{n_1 \rightarrow k}, \dots, v_{n_{dc} \rightarrow k}$ 는 d_c 개의 인접한 비트 노드에서 체크 노드 k로 전송하는 비트-체크 메시지이고, a, b 각각은 상기 비트-체크 메시지 중 선택된 2개의 입력 값을 나타낼 때, 상기 수학적 식 7의 두 번째 항인 $\ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})}$ 는 $\min(a, b)$ 및 $|a-b|$ 를 입력받아 출력 값을 산출하도록 구성된 간소화된 룩업테이블(LUT)을 이용하여 산출될 수 있다.

[0034] 또한, 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법은 모드 선택부가 터보 복호화 및 상기 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신하는 단계; 상기 모드 선택 신호에 기초하여, 인터리빙 제어부가 저밀도 패리티 검사(LDPC) 복호부에 포함된 복수의 체크 노드 연산부 및 복수의 비트 노드 연산부 각각과 공통적인 연산을 수행하는 공통 연산부를 공유하도록 구성된 터보 복호화를 위한 복수의 디코더를 포함하는 복수의 터보 복호부에서의 전단 터보 복호부의 상기 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단 터보 복호부의 복수의 디코더 중 하나로 선택적으로 출력하는 단계; 및 상기 모드 선택 신호에 기초하여, 디인터리빙 제어부가 상기 후단 터보 복호부의 복수의 디코더 중 하나의 출력값을 디인터리빙하여 상기 전단 터보 복호부의 복수의 디코더 중 하나에게 선택적으로 출력하는 단계를 포함할 수 있다.

발명의 효과

[0035] 본 발명의 일 실시예에 따르면 터보 복호기 및 LDPC 복호기에서 공통적인 연산을 수행하는 공통 연산부를 공유함으로써, 터보 복호기 및 LDPC 복호기를 모두 지원하면서도 복호 장치의 면적을 줄일 수 있는 장점이 있다.

[0036] 본 발명의 다른 실시예에 따르면 간소화된 룩업 테이블을 이용하여 연산을 수행함으로써 복호 장치의 연산량을 줄일 수 있는 장점이 있다.

도면의 간단한 설명

[0037] 도 1은 종래의 터보 복호기를 설명하기 위하여 도시한 도면이다.

도 2는 터보 복호기의 순방향 및 역방향 상태 확률값 업데이트 동작을 설명하기 위하여 도시한 도면이다.

도 3은 터보 복호기에서 상태 확률값 업데이트 동작을 수행하는 모듈의 구성을 설명하기 위하여 도시한 도면이다.

도 4는 터보 복호기에서 외부 정보 업데이트 동작을 수행하는 모듈의 구성을 설명하기 위하여 도시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 터보 복호기 및 LDPC 복호기를 위한 다중 복호 장치를 설명하기 위하여 도시한 도면이다.

도 6a는 본 발명의 다른 실시예에 따른 다중 복호 장치가 LDPC 복호기로 동작하는 경우에 대해 설명하기 위하여 도시한 도면이다.

도 6b는 본 발명의 다른 실시예에 따른 다중 복호 장치가 터보 복호기로 동작하는 경우에 대해 설명하기 위하여

도시한 도면이다.

도 7은 본 발명의 일 실시예에 따른 터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법을 설명하기 위하여 도시한 도면이다.

도 8은 종래의 터보 복호기 및 LDPC 복호기와 본 발명에 따른 다중 복호기의 면적을 비교하기 위하여 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특 정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0039] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0040] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0041] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0042] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0043] 이하에서는 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0044] 도 1은 종래의 터보 복호기를 설명하기 위하여 도시한 도면이다.
- [0045] 도 1을 참조하면, 종래의 BCJR 알고리즘 기반의 터보 복호기가 도시되어 있는데, 터보 복호기는 제1 SIS0 디코더(110), 제2 SIS0 디코더(120), 출력 인터리버(130), 디인터리버(140) 및 입력 인터리버(150)를 포함한다.
- [0046] 제1 SIS0 디코더(110)는 입력 정보를 바탕으로 순방향 상태 확률 값, 역방향 상태 확률값을 업데이트하고, 최종 적으로 제1 외부 정보를 업데이트하여 출력한다. 이때, 제1 SIS0 디코더(110)에 대한 입력 정보는 제1 패리티 정보인 p1, 부호화되지 않은 원본 메시지인 sys(systematic information) 및 제2 SIS0 디코더(120)의 출력값인 제2 외부정보가 디인터리빙되어 출력된 값을 포함한다.
- [0047] 출력 인터리버(130)는 제1 SIS0 디코더(110)의 출력값인 제1 외부 정보를 인터리빙하여 제2 SIS0 디코더(120)에 게 출력한다.
- [0048] 제2 SIS0 디코더(120)는 입력 정보를 바탕으로 순방향 상태 확률 값, 역방향 상태 확률값을 업데이트하고, 최종 적으로 제2 외부 정보를 업데이트하여 출력한다. 이때, 제2 SIS0 디코더(120)에 대한 입력 정보는 제2 패리티 정보인 p2, sys가 인터리빙되어 출력된 값 및 제1 SIS0 디코더(110)의 출력값인 제1 외부정보가 인터리빙되어 출력된 값을 포함한다.
- [0049] 디인터리버(140)는 제2 SIS0 디코더(120)의 출력값인 제2 외부 정보를 디인터리빙하여 제1 SIS0 디코더(110)에

게 출력한다.

[0050] 터보 복호기는 소정 조건을 만족할때까지 이와 같은 동작들을 반복하여 수행하게 된다.

[0051] 입력 인터리버(150)는 sys를 인터리빙하여 제2 SISO 디코더(120)에게 출력한다.

[0052] 터보 복호화의 과정을 보다 구체적으로 설명하면 다음과 같다.

[0053] ① 초기화 과정

[0054] 디코더(110, 120)는 입력 정보를 바탕으로 가지(branch) 확률 값을 수학적 식 1에 따라 연산함으로써, 초기화를 수행한다.

[0055] [수학적 식 1]

[0056]
$$\gamma(s', s) = P(y_k | x_k) P(u_k)$$

[0057] 이때, s'는 이전 상태, s는 현재 상태, γ 는 두 상태를 연결하는 가지 확률 값이다. 또한, k는 코드워드 인덱스, y_k 는 k 인덱스에서의 수신된 오류가 섞인 심볼값, x_k 는 k 인덱스에서의 수신된 오류가 없는 원래 심볼값, u_k 는 입력 비트이다.

[0058] ② 순방향, 역방향 상태 확률 값 업데이트 과정

[0059] 디코더(110, 120)는 수학적 식 2 내지 수학적 식 4에 따라 순방향 상태 확률 값과 역방향 상태 확률 값을 업데이트한다.

[0060] [수학적 식 2]

[0061]
$$\alpha_k(s) = \sum_s \alpha_{k-1}(s') \gamma(s', s), \text{ initial condition: } \alpha_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$\beta_{k-1}(s) = \sum_s \beta_k(s') \gamma(s', s), \text{ initial condition: } \beta_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

[0062] 수학적 식 2에서 $\alpha_k(s)$ 는 현재 연산 순서의 순방향 상태 확률 값, $\alpha_{k-1}(s')$ 는 현재 연산 순서 직전에 산출된 순방향 상태 확률 값, $\beta_{k-1}(s)$ 는 현재 연산 순서의 역방향 상태 확률 값, $\beta_k(s')$ 는 현재 연산 순서 직전에 산출된 역방향 상태 확률 값이다.

[0063] 한편, 연산의 편의성을 위해 수학적 식 2에 음수 자연로그(-ln) 연산을 취하게 되면, 수학적 식 3이 산출된다.

[0064] [수학적 식 3]

[0065]
$$A_k(s) = -\ln \alpha_k(s) = \min^* [A_{k-1}(s') + \Gamma_k(s', s)] \quad A_0(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$B_{k-1}(s') = -\ln \beta_{k-1}(s') = \min^* [B_k(s) + \Gamma_k(s', s)] \quad B_N(s) = \begin{cases} 0 & s = 0 \\ \infty & s \neq 0 \end{cases}$$

$$\Gamma_k(s', s) = -\ln \gamma(s', s)$$

[0066] 이때, 수학적 식 3의 min*(a,b)는 수학적 식 4에 의하여 수행될 수 있다.

[0067] [수학적 식 4]

[0068]
$$\min^*(a, b) = \min(a, b) - \ln(1 + e^{-|a-b|})$$

[0069] 한편, 본 발명의 일 실시예에 따르면 간소화된 룩업 테이블을 이용하여 수학적 식 4에 대한 연산을 보다 적은 연산량으로 수행할 수 있는데, 이에 대해서는 도 6b를 참조하여 후술한다.

[0070] 도 2는 터보 복호기의 순방향 및 역방향 상태 확률값 업데이트 동작을 설명하기 위하여 도시한 도면이다.

[0071] 도 2를 참조하면, 입력 비트가 8 비트인 경우에 입력되는 8개의 입력에 대한 순방향 및 역방향 상태 확률값 업데이트 동작이 도시되어 있다.

- [0072] 도 2에서, 현재 연산 순서인 현재 인덱스에서의 각각의 상태 확률 값 별로, 이전 연산 순서인 이전 인덱스에서의 두 개의 상태 확률 값을 입력으로 받고, 이를 이용하여 min* 연산을 수행하여 순방향 상태 업데이트 또는 역방향 상태 업데이트를 할 수 있게 된다.
- [0073] 예컨대, 순방향 상태 확률 값 업데이트 과정에 대해 설명하면, 도 2에서 1st 상태 인덱스의 000 상태를 업데이트한다고 가정하면 0th 상태 인덱스의 000 상태(점선으로 표시)와 001 상태(실선으로 표시)를 입력으로 받게 된다. 이때, $T_k(s', s)$ 는 0th 상태 인덱스와 1th 상태 인덱스간의 상태를 연결시켜주는 가지(branch) 확률 값을 나타낸다.
- [0074] 도 3은 터보 복호기에서 상태 확률값 업데이트 동작을 수행하는 모듈의 구성을 설명하기 위하여 도시한 도면이다.
- [0075] 도 3(a)는 순방향 상태 확률 값 업데이트 모듈의 구성을 도시한 것으로, 가산 모듈(Adder module)은 오버 플로우를 방지하기 위하여 8비트 크기를 가지는 입력을 16비트로 변환하여 합산하고, 데이터 크기 변환 모듈(Data Size 16 to 8 module)은 16비트 크기의 합산 결과 값을 8비트 크기의 출력 값으로 변환하여 출력한다.
- [0076] 보다 구체적으로는, 도 3(a)의 순방향 상태 확률 값 업데이트 모듈에서의 2개의 가산 모듈 각각은 채널 LLR 값(Channel LLR Value), 이전 상태 확률 값(Former State Values) 및 내부 정보(Intrinsic Information)를 입력으로 받아 16비트로 변환하여 상호간에 합산하고, 2개의 데이터 크기 변환 모듈 각각은 그 합산한 결과 값을 8비트로 변환하여 min* 연산을 수행하는 min* 모듈로 출력한다.
- [0077] min* 모듈은 2개의 데이터 크기 변환 모듈로부터 입력되는 2개의 합산 결과값을 입력으로 하여 룩업 테이블(LUT: Look Up Table)을 이용하여 min* 연산을 수행하는데, 클럭 홀드 모듈(Oneclock hold module)을 통해 min* 연산 결과인 현재 연산 순서의 순방향 상태 확률 값(current state value)을 한 클럭만큼 지연시킨 후 출력하게 된다.
- [0078] 다만, 본 발명에서는 min* 모듈이 min* 연산을 수행할때 사용하는 룩업 테이블을 간소화된 룩업 테이블을 이용함으로써 순방향 상태 확률 값 업데이트 모듈의 연산량과 면적을 종래에 비해 줄일 수 있는데, 이에 대해서는 후술한다.
- [0079] 또한, 도 3(b)의 역방향 상태 확률 값 업데이트 모듈에서의 2개의 가산 모듈 각각은 채널 LLR 값(Channel LLR Value), 다음 상태 확률 값(Next State Values) 및 내부 정보(Intrinsic Information)를 입력으로 받아 상호간에 합산하고, 2개의 데이터 크기 변환 모듈 각각은 그 합산한 결과 값을 8비트로 변환하여 min* 연산을 수행하는 min* 모듈로 출력한다.
- [0080] min* 모듈은 룩업 테이블을 이용하여 min* 연산을 수행하여 현재 연산 순서의 역방향 상태 확률 값을 산출하게 된다. 이때, 전술한 바와 같이 min* 모듈은 간소화된 룩업 테이블을 이용하여 min* 연산을 수행할 수 있다.
- [0081] ③ 외부정보 업데이트 과정
- [0082] 디코더(110, 120)는 순방향 상태 확률 값 및 역방향 상태 확률 값을 바탕으로 외부정보(Extrinsic Information)를 산출하게 된다. 외부정보는 입력 이진 비트열이 0인지, 1인지에 따라 확률적으로 연산하게 되며, 이때 앞서 언급한 min* 연산을 이용하게 된다. 이때, min* 연산은 디코더의 상태 메모리 개수를 n개라고 할 때 n번의 min*연산을 순차적으로, 트리구조로 수행하게 된다.
- [0083] 또한, 디코더(110, 120) 중 하나에서 산출된 외부정보는 인터리빙 또는 디인터리빙 과정을 거쳐 디코더(110, 120) 중 다른 하나에게 출력된다.
- [0084] 도 4는 터보 복호기에서 외부 정보 업데이트 동작을 수행하는 모듈의 구성을 설명하기 위하여 도시한 도면이다.
- [0085] 도 4를 참조하면, 8개 비트에 대응되는 8개의 가산 모듈 및 데이터 크기 변환 모듈(Adder & Data size 16 to 8 module) 각각은 순방향 상태 확률 값(Alpha value), 역방향 상태 확률값(Beta values) 및 채널 LLR 값(Channel LLR Value)을 입력으로 받아 합산한 후, 트리 구조를 가지는 min* 모듈을 통해 외부 정보를 산출하게 된다.
- [0086] ④ 경판정(Hard Decision) 복원 과정
- [0087] 디코더(110, 120)는 반복적인 외부정보 연산 과정을 거친 후, 최종적으로 경판정 과정을 거치게 되며 이때 경판정 연산은 터보 복호기의 제1 외부정보와 제2 외부정보의 합으로 연산된다. 연산된 결과를 이진 비트열로 변환한 후 디코딩 프로세스를 종료한다.

- [0088] 도 5는 본 발명의 일 실시예에 따른 터보 복호기 및 LDPC 복호기를 위한 다중 복호 장치를 설명하기 위하여 도시한 도면이다.
- [0089] 도 5를 참조하면, 본 발명의 일 실시예에 따른 다중 복호 장치는 복수의 단위 복호부(510, 520), 제1 인터리빙 제어부(532), 제2 인터리빙 제어부(534), 제1 디인터리빙 제어부(542) 및 제2 디인터리빙 제어부(544)를 포함한다.
- [0090] 복수의 단위 복호부(510, 520)는 상호간에 인접하여 배치되어 있는데, 전단의 단위 복호부(510)와 후단의 단위 복호부(520)로 구분될 수 있다.
- [0091] 전단의 단위 복호부(510)는 제1 디코더(512), 제1 공통 연산부(513), 제1 비트 노드 연산부(514), 제2 디코더(516), 제2 공통 연산부(517) 및 제1 체크 노드 연산부(518)를 포함한다.
- [0092] 제1 디코더(512) 및 제2 디코더(516)는 터보 복호화를 위한 연산을 수행한다.
- [0093] 제1 비트 노드 연산부(514)는 비트노드 업데이트 연산을 수행하고, 제1 체크 노드 연산부(518)는 체크 노드 업데이트 연산을 수행한다.
- [0094] 이때, 제1 디코더(512)와 제1 비트 노드 연산부(514)는 상호간에 공통적인 연산을 수행하는 제1 공통 연산부(513)를 공유하는 구조를 가진다.
- [0095] 또한, 제2 디코더(516)와 제1 체크 노드 연산부(518)는 상호간에 공통적인 연산을 수행하는 제2 공통 연산부(517)를 공유하는 구조를 가진다.
- [0096] 이를 통해, 본 발명에서는 디코더들(512, 516)과 노드 연산부들(514, 518)이 공통 연산부를 별도로 구비하고 있을 경우에 비해 상대적으로 좁은 면적으로 터보 복호화와 LDPC 복호화를 모두 수행할 수 있게 된다.
- [0097] 후단의 단위 복호부(520)는 제3 디코더(522), 제3 공통 연산부(523), 제2 비트 노드 연산부(524), 제4 디코더(526), 제4 공통 연산부(527) 및 제2 체크 노드 연산부(528)를 포함한다.
- [0098] 제3 디코더(522) 및 제4 디코더(526)는 터보 복호화를 위한 연산을 수행한다.
- [0099] 제2 비트 노드 연산부(524)는 비트 노드 업데이트 연산을 수행하고, 제2 체크 노드 연산부(528)는 체크 노드 업데이트 연산을 수행한다.
- [0100] 이때, 제3 디코더(522)와 제2 비트 노드 연산부(524)는 상호간에 공통적인 연산을 수행하는 제3 공통 연산부(523)를 공유하는 구조를 가진다.
- [0101] 또한, 제4 디코더(526)와 제2 체크 노드 연산부(528)는 상호간에 공통적인 연산을 수행하는 제4 공통 연산부(527)를 공유하는 구조를 가진다.
- [0102] 바람직하게는, 본 발명의 일 실시예에 따른 제3 공통 연산부(523) 및 제4 공통 연산부(527)는 min* 연산을 수행하는 min* 연산부일 수 있다.
- [0103] 제1 인터리빙 제어부(532)는 터보 복호화 및 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호에 기초하여 전단의 단위 복호부(510)의 제1 디코더(512)의 출력 값을 인터리빙하여 후단의 단위 복호부(520)의 제4 디코더(526)에게 선택적으로 출력한다. 보다 구체적으로는, 모드 선택 신호가 터보 복호화를 선택하기 위한 신호인 경우에는 제1 인터리빙 제어부(532)가 제1 디코더(512)의 출력 값을 인터리빙하여 제4 디코더(526)에게 출력하고, 모드 선택 신호가 LDPC 복호화를 선택하기 위한 신호인 경우에는 제1 디코더(512)의 출력 값에 대한 인터리빙 동작 및 제1 디코더(512)의 출력 값을 제4 디코더(526)에게 출력하는 동작을 수행하지 않는다.
- [0104] 다만, 본 발명에서는 제1 디코더(512)가 제4 디코더(526)와 연결되지만, 다른 실시예에서는 제1 디코더(512)가 제3 디코더(522)와 연결될 수 있다.
- [0105] 바람직하게는, 본 발명의 일 실시예에 따른 다중 복호 장치는 터보 복호화 및 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신하는 모드 선택부(미도시)를 더 포함할 수 있다. 이때, 모드 선택 신호는 사용자에게 의하여 결정되거나, 소정의 기준(다중 복호 장치에 입력되는 입력 값이 터보 부호화된 입력 값인지 LDPC 부호화된 입력 값인지 등)에 따라 결정될 수 있다.
- [0106] 제2 인터리빙 제어부(534)는 터보 복호화 및 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호에 기초하여 전단의 단위 복호부(510)의 제2 디코더(516)의 출력 값을 인터리빙하여 후단의 단위 복호부(520)의 제3 디코더

(522)에게 선택적으로 출력한다.

- [0107] 제1 디인터리빙 제어부(542)는 터보 복호화 및 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호에 기초하여 후단의 단위 복호부(520)의 제4 디코더(526)의 출력 값을 디인터리빙하여 전단의 단위 복호부(510)의 제1 디코더(512)에게 선택적으로 출력한다.
- [0108] 제2 디인터리빙 제어부(544)는 터보 복호화 및 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호에 기초하여 후단의 단위 복호부(520)의 제3 디코더(522)의 출력 값을 디인터리빙하여 전단의 단위 복호부(510)의 제2 디코더(516)에게 선택적으로 출력한다.
- [0109] 이와 같이, 본 발명의 일 실시예에 따르면 제1 및 제2 인터리빙 제어부(532, 534) 및 제1 및 제2 디인터리빙 제어부(542, 544)의 동작에 따라 본 발명의 일 실시예에 따른 다중 복호 장치는 터보 복호기 또는 LDPC 복호기로 동작하게 된다.
- [0110] 한편, 도 5에서는 설명의 편의를 위하여, 단위 복호부(510, 520) 각각에 포함된 체크 노드 연산부(514, 524) 및 비트 노드 연산부(518, 528)를 한개씩만 도시 했으나, 단위 복호부(510, 520) 각각에 복수의 체크 노드 연산부 및 비트 노드 연산부가 더 포함될 수 있고 상호간에 연결될 수 있으며, 체크 노드 연산부와 비트 노드 연산부 사이에는 열 단위로 인터리빙을 수행하는 열 인터리버(미도시) 및 행 단위로 인터리빙을 수행하는 행 인터리버(미도시)가 더 연결될 수 있다. 또한, 단위 복호부(510, 520) 각각에는 복수의 디코더가 더 포함될 수 있다.
- [0111] 도 6a는 본 발명의 다른 실시예에 따른 다중 복호 장치가 LDPC 복호기로 동작하는 경우에 대해 설명하기 위하여 도시한 도면이다.
- [0112] 이하에서는, 도 5와 동일한 구성 요소에 대해서는 설명을 생략하고 차이점이 있는 구성 요소에 대해서만 설명한다.
- [0113] 도 5의 제1 인터리빙 제어부(532)는 도 6a에서 제1 인터리버(532a)와 제1 인터리버 스위치(S1)로 구성되고, 도 5의 제2 인터리빙 제어부(534)는 도 6a에서 제2 인터리버(534a)와 제2 인터리버 스위치(S2)로 구성되고, 도 5의 제1 디인터리빙 제어부(542)는 도 6a에서 제1 디인터리버(542a)와 제1 디인터리버 스위치(S3)로 구성되고, 제2 디인터리빙 제어부(544)는 제2 디인터리버(544a)와 제2 디인터리버 스위치(S4)로 구성된다. 이때, 스위치들은 모드 선택 신호에 따라 ON 또는 OFF되도록 구성된다.
- [0114] 도 6a는 LDPC 복호화를 선택하기 위한 신호 모드 선택 신호가 수신됨에 따라, 제1 인터리버 스위치(S1), 제2 인터리버 스위치(S2), 제1 디인터리버 스위치(S3) 및 제2 디인터리버 스위치(S4)가 OFF된 상태를 도시하고 있다.
- [0115] 또한, 제1 비트 노드 연산부(514)와 제1 체크 노드 연산부(518) 사이에는 제1 비트 노드 연산부(514)의 출력 값을 열(row) 단위로 인터리빙하는 제1 열 인터리버(515)와 제1 열 인터리버 스위치(S5)가 연결되고, 이와 병렬로 제1 체크 노드 연산부(518)의 출력 값을 행(column) 단위로 인터리빙하는 제1 행 인터리버(519)와 제1 행 인터리버 스위치(S6)가 연결된다.
- [0116] 또한, 제2 비트 노드 연산부(524)와 제2 체크 노드 연산부(528) 사이에는 제2 비트 노드 연산부(524)의 출력 값을 열(row) 단위로 인터리빙하는 제2 열 인터리버(525)와 제2 열 인터리버 스위치(S7)가 연결되고, 이와 병렬로 제2 체크 노드 연산부(528)의 출력 값을 행(column) 단위로 인터리빙하는 제2 행 인터리버(529)와 제2 행 인터리버 스위치(S8)가 연결된다.
- [0117] 도 6a는 LDPC 복호화를 선택하기 위한 신호 모드 선택 신호가 수신됨에 따라 제1 열 인터리버 스위치(S5), 제1 행 인터리버 스위치(S6), 제2 열 인터리버 스위치(S7) 및 제2 행 인터리버 스위치(S8)가 ON된 상태를 도시하고 있다.
- [0118] 이와 같은 스위치들(S1 내지 S8)의 동작에 따라, 제1 비트 노드 연산부(514)와 제1 체크 노드 연산부(518)가 하나의 LDPC 복호기로서 동작하게 되고, 제2 비트 노드 연산부(524)와 제2 체크 노드 연산부(528)가 또 하나의 LDPC 복호기로서 동작하게 된다.
- [0119] 한편, LDPC 복호화의 과정을 구체적으로 설명하면 다음과 같다.
- [0120] ① 초기화 과정
- [0121] 비트 노드 연산부(518, 528)는 수학식 5에 따라 초기화를 수행한다.

[0122] [수학식 5]

$$v_{n \rightarrow k_i} = u_n, \quad n = 0, 1, \dots, N-1, \quad i = 1, 2, \dots, \deg(\text{bit node } n)$$

[0124] 여기서, $v_{n \rightarrow k_i}$ 는 비트 노드 n으로부터 인접한 체크 노드 k_i 로 전송되는 비트-체크 메시지를 의미하고, u_n 은 인코딩 심벌 사이즈 N인 n번째 비트의 LLR(log-) 값을 의미한다.

[0125] ② 체크 노드 업데이트 과정

[0126] 체크 노드 연산부(514, 524)는 수학식 6 및 수학식 7에 따라 체크 노드 k에 대한 체크 노드 업데이트를 수행한다.

[0127] [수학식 6]

$$w_{k \rightarrow n_1} = g(v_{n_1 \rightarrow k}, v_{n_1 \rightarrow k}, \dots, v_{n_{i-1} \rightarrow k}, v_{n_{i+1} \rightarrow k}, \dots, v_{n_{dc} \rightarrow k})$$

[0129] 이때, $v_{n_1 \rightarrow k}, v_{n_1 \rightarrow k}, \dots, v_{n_{dc} \rightarrow k}$ 는 d_c 개의 인접한 비트 노드에서 체크 노드 k로 전송하는 비트-체크 메시지이다. 또한, $w_{k \rightarrow n_1}, w_{k \rightarrow n_2}, \dots, w_{k \rightarrow n_{dc}}$ 는 체크 노드 k에서 d_c 개의 인접한 비트 노드로 전송하는 체크-비트 메시지이다.

[0130] 한편, g()함수는 본 발명의 일 실시예에 따른 공통 연산기인 min* 연산기를 이용한 연산이 필요한 min*-sum 알고리즘으로 수학식 7과 같이 정의될 수 있다.

[0131] [수학식 7]

$$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})}$$

[0133] 여기서, a, b 각각이 상기 비트-체크 메시지 중에서 선택된 2개의 입력 값을 나타낼 때, 본 발명의 일 실시예

에 따르면 수학식 7의 두 번째 항인 $\ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})}$ 는 min(a, b) 및 $|a - b|$ 를 입력받아 출력 값을 산출하도록 구성된 간소화된 룩업테이블(LUT)을 이용하여 산출될 수 있다.

[0134] 종래에는 a, b 각각을 입력받아 출력 값을 산출하도록 구성된 룩업테이블(LUT)을 사용하였기 때문에 해당 룩업테이블(LUT)의 크기가 a(bit) X b(bit)로 큰 크기를 가졌는데, 본 발명의 일 실시예에서는 min(a, b) 및 $|a - b|$ 를 입력받아 출력 값을 산출하도록 구성된 룩업테이블을 사용함으로써 룩업 테이블의 크기를 크게 줄일 수 있다. 또한, min(a, b)는 g()함수의 첫번째 항에도 포함되어 있어, 두번째 항을 계산하는 경우에 별도로 연산할 필요 없이 첫번째 항의 연산 결과를 그대로 활용할 수 있다는 장점도 있다.

[0135] ③ 비트노드 업데이트 과정

[0136] 비트 노드 연산부(518, 528)는 수학식 8에 따라 비트 노드 n에서의 비트 노드 업데이트를 수행한다.

[0137] [수학식 8]

$$v_{n \rightarrow k_i} = u_n + \sum_{j \neq i} w_{k_j \rightarrow n}$$

[0139] 이때, u_n 은 인코딩 심벌 사이즈 N인 n번째 비트의 채널 LLR(log-) 값이고, $w_{k_1 \rightarrow n}, w_{k_2 \rightarrow n}, \dots, w_{k_{dv} \rightarrow n}$ 는

d_v 개의 인접한 체크 노드에서 비트 노드에게 전송하는 체크-비트 메시지이고, $v_{n \rightarrow k_1}, v_{n \rightarrow k_2}, \dots, v_{n \rightarrow k_{dv}}$ 는 비트 노드 n에서 d_v 개의 인접한 체크 노드에게 전송하는 비트-체크 메시지이다.

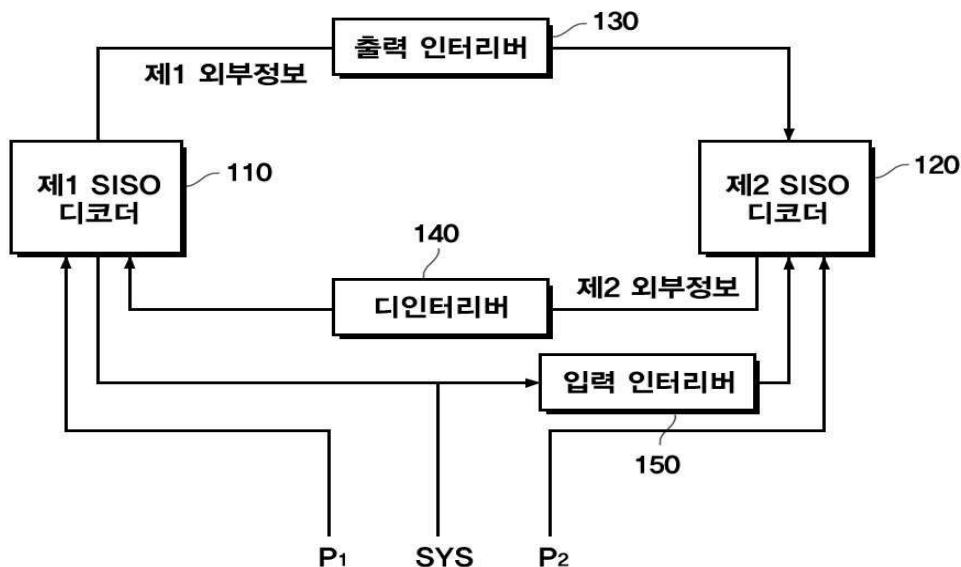
[0140] ④ 경관정(Hard Decision) 복원

- [0141] 체크 노드 연산부(514, 524)는 모든 패리티 체크 방정식(parity check equation)이 경판정(hard decision)을 만족할 경우, 유효 코드워드(valid codeword)가 복원된 것으로 보고, 복호화 프로세스를 종료한다.
- [0142] 도 6b는 본 발명의 다른 실시예에 따른 다중 복호 장치가 터보 복호기로 동작하는 경우에 대해 설명하기 위하여 도시한 도면이다.
- [0143] 도 6b는 도 6a와 구성 요소는 동일하고, 스위치들(S1 내지 S8)의 동작만 차이가 있으므로 스위치들의 동작에 대해서만 설명한다.
- [0144] 도 6b에서는 터보 복호화를 선택하기 위한 신호 모드 선택 신호가 수신됨에 따라 제1 인터리버 스위치(S1), 제2 인터리버 스위치(S2), 제1 디인터리버 스위치(S3) 및 제2 디인터리버 스위치(S4)가 ON이 된다.
- [0145] 또한, 터보 복호화를 선택하기 위한 신호 모드 선택 신호가 수신됨에 따라 제1 열 인터리버 스위치(S5), 제1 행 인터리버 스위치(S6), 제2 열 인터리버 스위치(S7) 및 제2 행 인터리버 스위치(S8)가 OFF 된다.
- [0146] 이와 같은 스위치들(S1 내지 S8)의 동작에 따라 도 6b의 다중 복호 장치는 터보 복호기로써 동작을 할 수 있게 된다.
- [0147] 즉, 도 6b에서는 제1 디코더(512)에서 출력된 출력값을 제1 인터리버(532a)가 인터리빙하여 제4 디코더(526)에게 출력하고, 제4 디코더(526)에서 출력된 출력값을 제1 디인터리버(542a)가 디인터리빙하여 제1 디코더(512)에게 출력하고, 제2 디코더(516)에서 출력된 출력값을 제2 인터리버(534a)가 인터리빙하여 제3 디코더(522)에게 출력하고, 제3 디코더(522)에서 출력된 출력값을 제2 디인터리버(544a)가 디인터리빙하여 제2 디코더(516)에게 출력한다.
- [0148] 다만, 도 6a에서는 설명의 편의를 위하여 생략되었지만, 도 1에서와 같이 입력 인터리버(150)가 제 3 디코더(522) 및 제4 디코더(526) 각각에 연결되고, 제1 패리티 정보인 p1, 제2 패리티 정보인 p2 및 부호화되지 않은 원본 메시징인 sys가 입력 인터리버(150)를 거친 출력 값 등이 터보 복호기의 입력으로서 주어진다고 가정한다. 이 경우에도, 입력 인터리버(150)는 모드 선택 신호가 터보 복호화를 선택하는 신호인 경우에 한하여 제 3 디코더(522) 및 제4 디코더(526) 각각에 연결되도록 구성될 수 있다.
- [0149] 한편, 도 1에서 설명한 바와 같이 터보 복호화 과정에서 수학적 4와 같은 min* 연산이 필요한데, 본 발명의 일 실시예에 따르면 수학적 4의 두 번째 항인 $\ln(1 + e^{-|a-b|})$ 는 $|a-b|$ 를 입력받아 출력 값을 산출하도록 구성된 간소화된 룩업테이블(LUT)을 이용하여 산출할 수 있고, 이에 따르면 터보 복호화 과정에서의 연산량을 줄일 수 있고, 룩업테이블의 크기도 줄일 수 있게 되는 장점이 있다.
- [0150] 또한, 도 6a 및 도 6b에서는 모두 min* 연산을 필수적으로 수행하여야 하는데, 본 발명에서는 도 5 및 도 6에 도시된 바와 같이 공통적인 연산인 min* 연산을 수행하는 공통 연산부를 디코더들(512, 516, 522, 526)과 노드 연산부들(514, 518, 524, 528)이 공유함으로써 다중 복호 장치의 크기(면적)를 보다 줄일 수 있게 되는 효과가 있다.
- [0151] 한편, 본 발명에서는 모드 선택 신호에 기초하여 스위치들을 동작하여 다중 복호 장치를 터보 복호기 또는 LDPC 복호기로서 동작시켰으나, 다른 실시예에서는 출력 값들의 분기 제어를 통해 동일한 동작을 구현할 수도 있다.
- [0152] 예컨대, 제1 및 제2 인터리버(532a, 534a), 제1 및 제2 디인터리버(542a, 544a), 제1 및 제2 열 인터리버(515, 525), 제1 및 제2 행 인터리버(519, 529)는 모드 선택 신호에 무관하게 다중 복호 장치에 연결된 상태로 유지되고, 모드 선택 신호에 따라 출력 값을 인터리빙 또는 디인터리빙 필요가 있을 경우에 한하여 제1 및 제2 인터리버(532a, 534a), 제1 및 제2 디인터리버(542a, 544a), 제1 및 제2 열 인터리버(515, 525), 제1 및 제2 행 인터리버(519, 529) 등으로 출력 값이 분기하여 출력되도록 제어함으로써, 동일한 목적을 달성할 수도 있다.
- [0153] 도 7은 본 발명의 일 실시예에 따른 터보 복호기 및 LDPC 복호기를 위한 다중 복호 방법을 설명하기 위하여 도시한 도면이다.
- [0154] 단계 710에서는, 모드 선택부가 터보 복호화 및 LDPC 복호화 중 하나를 선택하기 위한 모드 선택 신호를 수신한다.
- [0155] 단계 720에서는, 모드 선택 신호에 기초하여, 인터리빙 제어부가 전단 터보 복호부의 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단 터보 복호부의 복수의 디코더 중 하나로 선택적으로 출력한다.

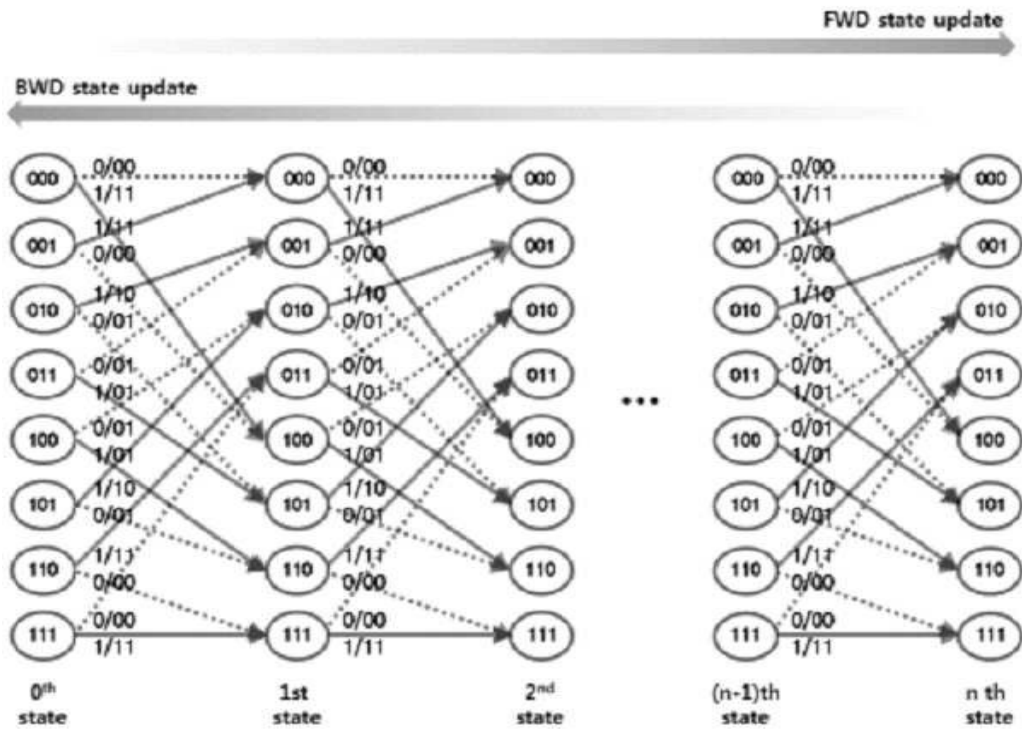
- [0156] 단계 730에서는, 모드 선택 신호에 기초하여, 디인터리빙 제어부가 후단 터보 복호부의 복수의 디코더 중 하나의 출력값을 디인터리빙하여 전단 터보 복호부의 복수의 디코더 중 하나에게 선택적으로 출력한다.
- [0157] 이때, 인터리빙 제어부가 전단 터보 복호부의 복수의 디코더 중 하나의 출력값을 인터리빙하여 후단 터보 복호부의 복수의 디코더 중 하나로 출력하고, 디인터리빙 제어부가 후단 터보 복호부의 복수의 디코더 중 하나의 출력값을 디인터리빙하여 전단 터보 복호부의 복수의 디코더 중 하나에게 출력하게 되면, 터보 복호기로서 동작하는 것이다.
- [0158] 도 8은 종래의 터보 복호기 및 LDPC 복호기와 본 발명에 따른 다중 복호기의 면적을 비교하기 위하여 도시한 도면이다.
- [0159] 도 8을 참조하면, 종래의 터보 복호기, 종래의 LDPC 복호기, 종래의 터보 복호기와 종래의 LDPC 복호기를 단순 결합한 경우, 본 발명에 따른 다중 복호 장치 각각에 대해 복호 장치 내의 연산 모듈 면적 및 복호 장치의 면적을 비교한 것이다.
- [0160] 도 8에 따르면, 복호 장치 내의 연산 모듈 면적 및 복호 장치의 면적 모두에서 본 발명에 따른 다중 복호 장치의 면적이 종래의 터보 복호기와 종래의 LDPC 복호기보다는 다소 크지만, 종래의 터보 복호기와 종래의 LDPC 복호기를 단순 결합한 경우에 비해서는 본 발명에 따른 다중 복호 장치의 면적이 23~24% 가량 작으므로, 다중 복호가 필요한 경우에는 본 발명에 따른 다중 복호 장치가 종래에 비해 보다 작은 면적으로 구현될 수 있음을 알 수 있다.
- [0161] 지금까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

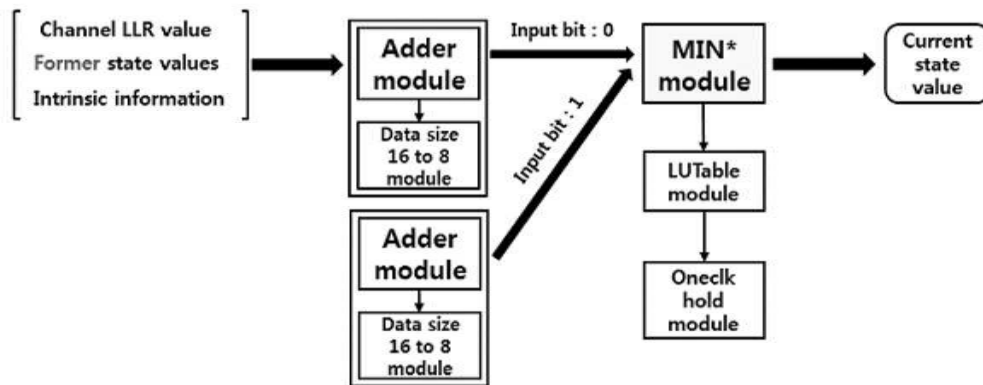
도면1



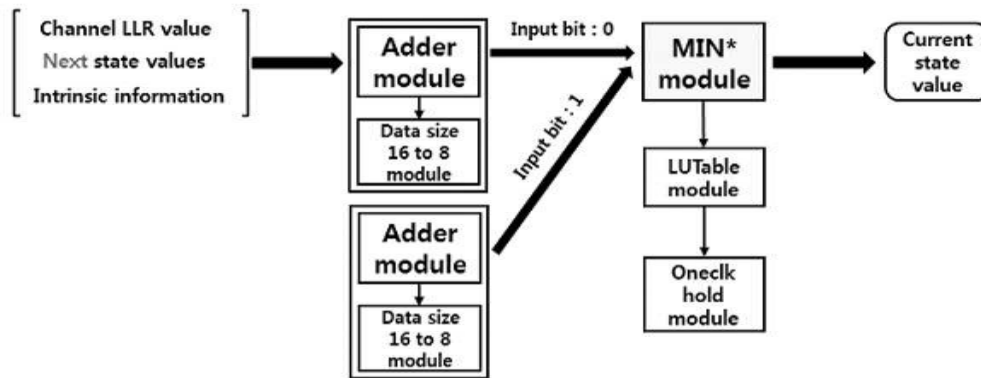
도면2



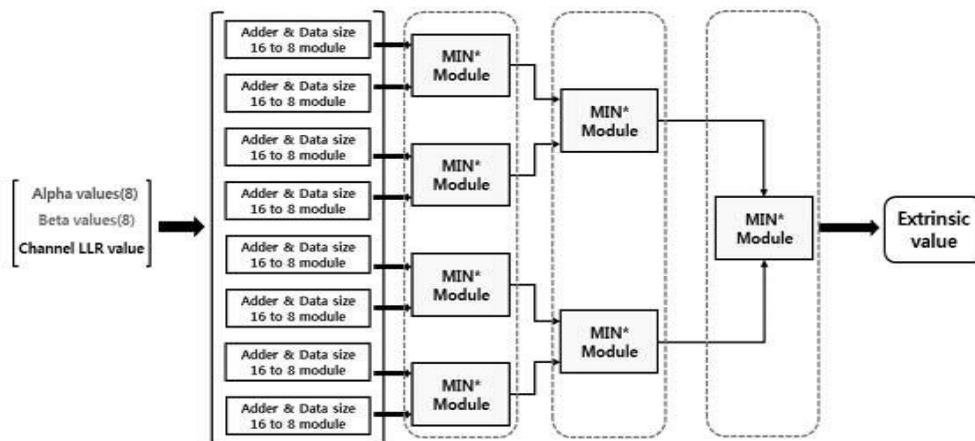
도면3a



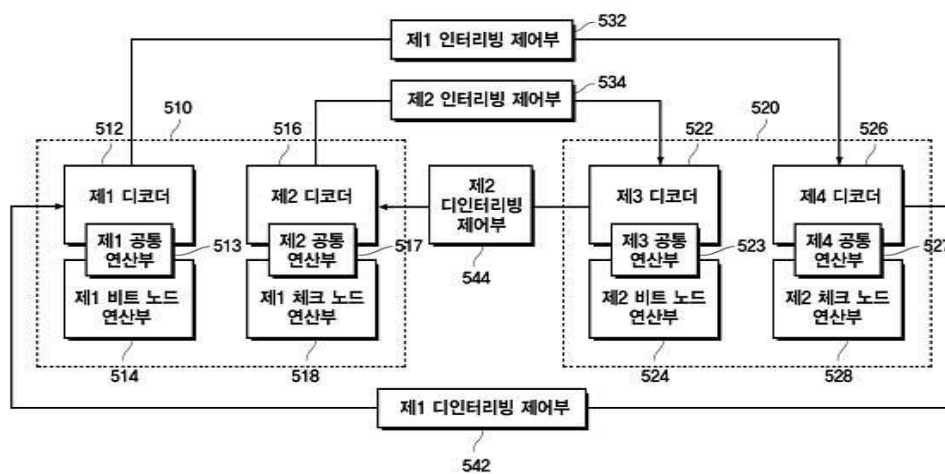
도면3b



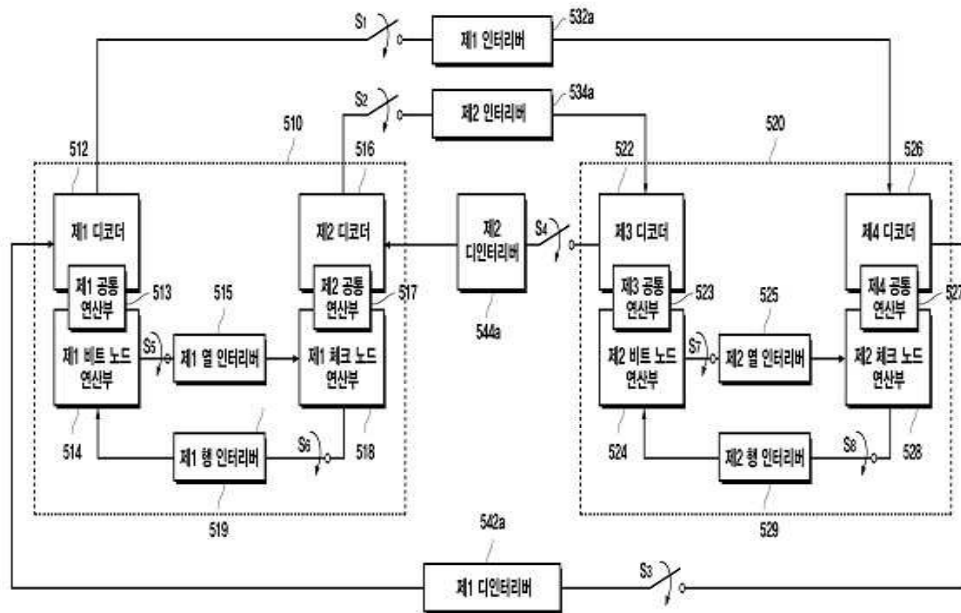
도면4



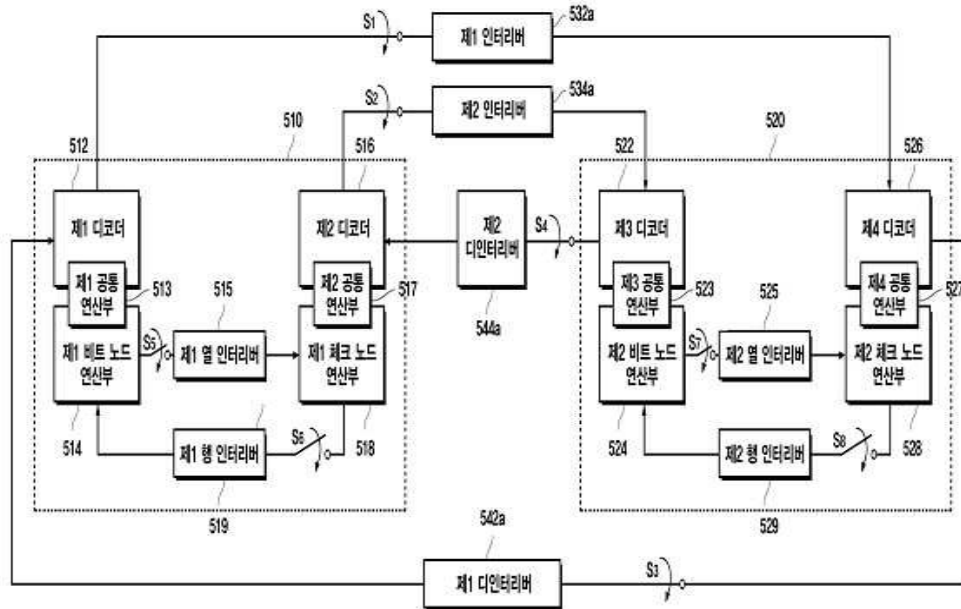
도면5



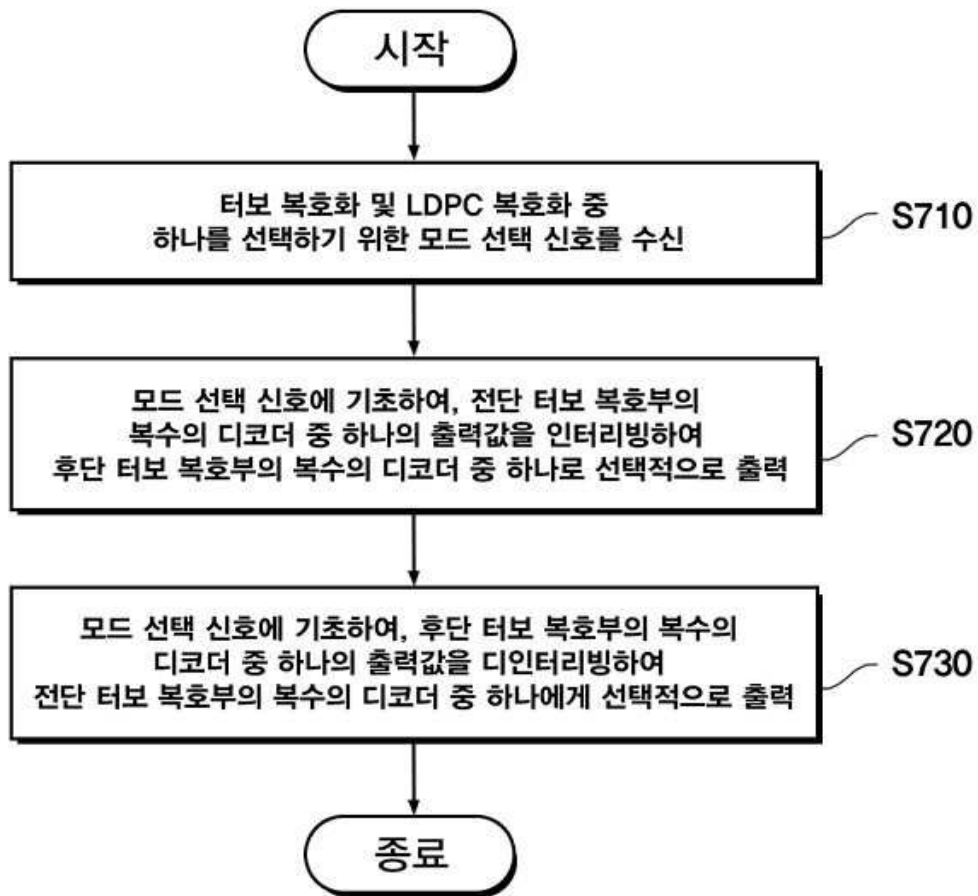
도면6a



도면 6b



도면7



도면8

복호기 유형	복호기 내 연산 모듈 면적	복호기 전체시스템 면적
터보 복호기	3,152	38,886
LDPC 복호기	2,732	78,521
터보 복호기 + LDPC 복호기	5,884	117,407
다중 복호 장치	4,527	8,9152