(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3794963号

(P3794963)

(45)発行日　平成18年7月12日(2006.7.12)　(24)登録日　平成18年4月21日(2006.4.21)

(51)Int.Cl.		F I		
H01L 29/93	(2006.01)	H01L	29/93	Z
H01L 27/06	(2006.01)	H01L	27/06	101D
H01L 21/8222	(2006.01)	H01L	29/72	S
H01L 21/331	(2006.01)	H01L	27/04	C
H01L 29/732	(2006.01)	H01L	27/04	V

請求項の数 4　(全 17 頁)　最終頁に続く

(21)出願番号　特願2002-23284(P2002-23284)
(22)出願日　平成14年1月31日(2002.1.31)
(65)公開番号　特開2002-305310(P2002-305310A)
(43)公開日　平成14年10月18日(2002.10.18)
審査請求日　平成14年1月31日(2002.1.31)
(31)優先権主張番号　特願2001-27914(P2001-27914)
(32)優先日　平成13年2月5日(2001.2.5)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100094134
弁理士　小山　廣毅
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項１】

シリコン基板上に可変容量素子とバイポーラトランジスタとを備えた半導体装置であって、

上記可変容量素子は、

上記シリコン基板上に形成された第１導電型の第１のＳｉエピタキシャル層と、

上記第１のＳｉエピタキシャル層の表面部に設けられた素子分離領域と

上記第１のＳｉエピタキシャル層の上面と上記素子分離領域の上面で構成される基板表面から突出するように上記第1のＳｉエピタキシャル層の上部にエピタキシャル成長されたアンドープのＳｉＧｅ膜及び第2導電型のＳｉＧｅ膜とＳｉ膜とを備え、

上記バイポーラトランジスタは

第１導電型の上記第１のＳｉエピタキシャル層からなるコレクタ層と、上記第１のＳｉエピタキシャル層の上部と上記素子分離領域の上部で構成される基板表面から突出するように上記第1のＳｉエピタキシャル層の上部にエピタキシャル成長されたアンドープのＳｉＧｅ膜及び第２導電型のＳｉＧｅ膜とＳｉ膜からなるベース層と、上記ベース層上に設けられた第１導電型のエミッタ層とを備え

上記第１のＳｉエピタキシャル層の膜厚が０．５５μｍ以下であることを特徴とする半導体装置。

【請求項２】

請求項１記載の半導体装置において、

可変容量素子の領域においては
上記第１のＳｉエピタキシャル層に含まれる第１導電型の不純物の濃度が、上記第１のＳｉエピタキシャル層の上面と上記素子分離領域の上面で構成される基板表面から内部に向かって徐々に低下しており，
バイポーラトランジスタの領域においては
上記第１のＳｉエピタキシャル層に含まれる第１導電型の不純物の濃度が、上記第１のＳｉエピタキシャル層の上面と上記素子分離領域の上面で構成される基板表面から内部に向かって徐々に増加している，半導体装置。
【請求項３】
請求項１記載の半導体装置において、
上記アンドープのＳｉＧｅ膜、もしくは、上記第２導電型のＳｉＧｅ膜がＳｉＧｅＣからなる，半導体装置。
【請求項４】
請求項１に記載の半導体装置において、
発振回路をさらに備え、上記可変容量素子は、上記発振回路に接続されている，半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＰＮ接合を利用した可変容量素子を備えた半導体装置に係り、特に容量変化範囲の拡大対策に関する。
【０００２】
【従来の技術】
従来、可変容量素子は、例えば発振回路における周波数切り替え用の回路素子として使用されている。特に高性能な可変容量素子の一つのタイプは、ＰＮ接合ダイオードの接合容量を用いたものである。
【０００３】
例えば、特開平１０－７４９６１号公報に開示されているように、Ｎ型不純物とＰ型不純物の注入を順次行うことによりＰＮ接合部を形成し、このＰＮ接合部を可変容量素子の容量部として機能させた半導体装置が開示されている。
【０００４】
図９は、半導体基板に設けられた発振回路と、外付けの可変容量素子などを備えた従来のデバイスの構成を概略的に示すブロック図である。同図に示すように、従来のデバイスにおいては、パッケージ内の半導体基板１００上に発振回路（バイポーラトランジスタＢＴを含む）が設けられており、半導体基板１００が搭載される母基板（図示せず）上に、可変容量ダイオード等の可変容量素子ＶＡＲと、共振インダクタＩndとが設けられている。
【０００５】
このように、周波数の可変機能を有する発振器を設ける場合、低位相ノイズ性や可変機能を得るために、アクティブ素子は発振回路内に配置され、共振状態を実現するために必要な可変容量ダイオードなどの可変容量素子ＶＡＲは、パッケージの外部に配置されている。そして、可変容量素子ＶＡＲと、パッケージ内の発振回路とは、ＰＡＤ，パッケージリードなどによって互いに接続され、発振回路，共振インダクタＩnd及び可変容量素子ＶＡＲにより、共振回路が構成されている。
【０００６】
このように、発振回路を備え、その周波数を変化させるために可変容量素子を用いた共振回路を有するデバイスにおいては、周波数の広範囲の可変機能や低ノイズ化を得るために、可変容量素子等の高性能な受動素子を、半導体集積回路が配置されるパッケージの外部に設けるのが一般的である。
【０００７】
この可変容量素子は容量変化率が高いほど性能が高いことになるが、半導体層内のＰＮ接

合部に形成される空乏層範囲の変化を利用するのが一般的である。つまり、ＰＮ接合を利用した可変容量素子は、その構造上、空乏層が狭い状態では大きな容量を有し、空乏層が伸びた状態では小さな容量を有することにより、容量の変化を示すのである。このため、空乏層が伸びるための十分な深さ又は広さが必要である。

【０００８】

【発明が解決しようとする課題】

しかしながら、上記図９に示す従来のデバイスにおいては、可変容量ダイオード等の可変容量素子をパッケージの外部に配置しているために、以下のような不具合があった。

【０００９】

共振回路内に、ＰＡＤ，リード，ワイヤの寄生容量Ｃparaが多く含まれるので、可変容量素子の容量と寄生容量Ｃparaとの和が共振回路全体の容量となる。ところが、寄生容量Ｃparaは固定されていることから、共振回路全体の発振周波数の変化範囲が狭くなる。一方、発振周波数が高い場合、例えば、１ＧＨｚ以上の高周波信号を扱う場合には、共振インダクタＩnd，可変容量素子ＶＡＲの双方又はいずれかのインダクタンス値又は容量値を小さくする必要がある。ところが、可変容量素子の容量を小さくしても、大きな寄生容量Ｃparaが存在することにより、共振回路全体の容量を小さくすることが困難となり、ますます進行する携帯機器等の電子デバイスの高周波化（数ＧＨｚ以上）に対応することが次第に困難となっている。

【００１０】

そこで、少なくとも発振回路と共振容量部とを、共通の半導体基板上に設け、１つのパッケージ内に組み込んでしまうことが好ましい。つまり、発振回路（発振素子）には、主としてバイポーラトランジスタが用いられるので、バイポーラトランジスタと可変容量素子とを共通の半導体基板上に形成することが好ましい。その場合、バイポーラトランジスタのコレクタ層とＰＮ接合部を含む可変容量ダイオードとがほぼ共通の半導体層に形成されることになる。

【００１１】

ところが、発振回路に用いられるバイポーラトランジスタにおいて、近年の高周波化の進行に伴いコレクタ層が薄層化される傾向にある。したがって、プロセス上、コレクタ層と同時に形成される半導体層内にＰ型層とＮ型層とを備えた可変容量素子においても、ＰＮ接合部に形成される空乏層が伸びるための十分な深さ又は広さを確保することが困難である。つまり、共振回路全体の容量を小さくすることが困難となっている。

【００１２】

本発明の目的は、容量変化範囲の大きい可変容量素子を含む半導体装置及びその製造方法を提供することにある。

【００１３】

【課題を解決するための手段】

本発明の半導体装置は、可変容量素子を備えた半導体装置であって、上記可変容量素子は、半導体基板の内部に設けられた，第１導電型の第１の半導体層と、上記半導体基板の表面から突出するように、上記第１の半導体層上に形成された第２導電型の第２の半導体層とを備えている。

【００１４】

これにより、第１，第２の半導体層間に形成されるＰＮ接合部には電圧の印加に応じて変化する空乏層が形成されるので、この空乏層を容量部とする可変容量素子が得られる。そして、空乏層の伸びる範囲が第１の半導体層の深さまで確保されているので、第１の半導体層内にＰ型層とＮ型層とを設けた場合に比べ、空乏層の伸びる範囲が拡大することになる。つまり、浅いコレクタ層でも容量変化範囲を広くして高周波化の進行に対応することができる。そして、可変容量素子の性能の向上（ＰＮ接合濃度の増大）により、ある装置内に必要な可変容量素子の数を少なくすることができる。言い換えると、１つの半導体基板上に設ける可変容量素子の数を低減することができるので、半導体装置の高集積化を図ることができる。

【００１５】
第１導電型の第３の半導体層からなるコレクタ層と、上記第３の半導体層の上に設けられた第２導電型の第４の半導体層からなるベース層と、上記第４の半導体層上に設けられた第１導電型のエミッタ層とを有するバイポーラトランジスタをさらに備え、上記第３の半導体層からなるコレクタ層は、上記半導体基板の内部に設けられており、上記第４の半導体層からなるベース層は、上記半導体基板の表面から突出するように、上記第３の半導体層からなるコレクタ層上に形成されていることにより、可変容量素子と高周波特性のよいバイポーラトランジスタとを１つの半導体基板に混載することが可能になる。
【００１６】
上記第１の半導体層はＳｉ層であり、上記第２の半導体層はＳｉＧｅまたはＳｉＧｅＣからなるであることにより、ヘテロ接合を利用した優れた特性を発揮することができる。
【００１７】
発振回路をさらに備え、上記可変容量素子は、上記発振回路に接続されていることにより、周波数の調整機能の優れた共振回路を構成することができる。
【００１８】
本発明の半導体装置の製造方法は、可変容量素子とバイポーラトランジスタとを共通の半導体基板に設けてなる半導体装置の製造方法であって、可変容量素子形成領域において、上記半導体基板の表面に第１導電型の第１の半導体層を形成すると共に、バイポーラトランジスタ形成領域において、上記半導体基板の表面に第１導電型のコレクタ層を形成する工程（ａ）と、上記工程（ａ）の後に、エピタキシャル成長法により、上記半導体基板の表面から突出するように、上記第１の半導体層上に第２導電型の第２の半導体層を可変容量素子形成領域において形成するとともに、エピタキシャル成長法により、上記半導体基板の表面から突出するように、上記コレクタ層上に第２導電型のベース層をバイポーラトランジスタ形成領域において形成する工程（ｂ）と、上記ベース層上にエミッタ層を形成する工程（ｃ）とを有している。
【００１９】
この方法により、１つの半導体基板に可変容量素子とバイポーラトランジスタとを備えた半導体装置を、少ない工程数で形成することができる。
【００２１】
上記工程（ｂ）では、$Si_{1-x-y}Ge_xC_y$（０＜ｘ＜１，０≦ｙ＜１）層を含む第２及び第４の半導体層を形成することにより、周波数特性の優れたバイポーラトランジスタと、容量変化範囲の大きい可変容量素子とを有する半導体装置を形成することができる。
【００２２】
【発明の実施の形態】
以下、本発明の可変容量素子を含む半導体装置及びその製造方法について、図面を参照しながら説明する。
【００２３】
（第１の実施形態）
図１は、本発明の第１の実施形態における可変容量素子（可変容量ダイオード），ＭＩＳ容量素子及び抵抗素子を共通の半導体基板の上に設けた半導体装置の断面図である。同図に示すように、シリコン基板１０には、可変容量ダイオードＶＡＲと、抵抗素子ＲＥＳと、ＭＩＳ容量素子ＭＩＳとが設けられている。
【００２４】
シリコン基板１０には、深い溝内に薄いシリコン酸化膜１３を堆積した後，ポリシリコン１２を埋め込んで形成された第１の分離領域１１と、浅い溝内にシリコン酸化膜１３を埋め込んで形成された第２の分離領域１５と、が設けられている。そして、第１，第２分離領域１１，１５によって、可変容量素子ＶＡＲ，抵抗素子ＲＥＳ及びＭＩＳ容量素子ＭＩＳが互いに分離されるとともに、第２の分離領域１５によって各素子内の活性領域が区画されている。
【００２５】

ここで、可変容量素子ＶＡＲは、シリコン基板１０内に砒素（Ａｓ）をドープして形成されたN$^+$層１６と、N$^+$層１６の表面部に高濃度の砒素をドープして形成された引き出し層１８と、N$^+$層１６の上にエピタキシャル成長により形成され、一部にボロン（Ｂ）を含むＳｉＧｅ膜及びＳｉ膜からなる厚さ１１０ｎｍのP$^+$層２１と、P$^+$層２１を覆うP$^+$型のポリシリコン膜及びその上のチタンシリサイド層からなるＰ型電極２２とを備えている。P$^+$層２１は、厚さ４０ｎｍのアンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ４０ｎｍのボロンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ３０ｎｍのアンドープＳｉ膜とによって構成されている。また、N$^+$層１６のうちP$^+$層２１に近接する可変容量領域１６ａにおいて、表面付近における不純物濃度は$1\times10^{18}cm^{-3}$であり、表面から基板内部に向かって不純物濃度が徐々に低下する不純物濃度プロファイルを示している。可変容量領域１６ａと引き出し層１８とは、第２の分離領域１５によって互いに分離されている。

【００２６】

図１０は、本実施形態の可変容量素子のN$^+$層１６における濃度プロファイルを、ＳＩＭＳによって実測した結果を示す図である。同図において、横軸はシリコン基板の上面からの深さを表している。図１０に示すように、本実施形態の可変容量素子のN$^+$層１６における不純物濃度は、表面で極大値を示し、表面から奥方に向かって次第に低くなっていることがわかる。

【００２７】

抵抗素子ＲＥＳは、広いシャロートレンチに埋め込まれたシリコン酸化膜１５ａの上に設けられたP$^+$型ポリシリコン膜からなる抵抗膜２３を備えている。

【００２８】

ＭＩＳ容量素子ＭＩＳは、シリコン基板１０内に砒素（Ａｓ）をドープして形成されたN$^+$層１７と、N$^+$層１７の表面部に高濃度の砒素をドープして形成された下部電極となるN^{++}層１９と、N$^+$層１７の表面部に高濃度のリン（Ｐ）をドープして形成された引き出し層２０と、N^{++}層１９の上に形成された熱酸化膜からなる容量絶縁膜２４と、容量絶縁膜２４の上に設けられたP$^+$型のポリシリコン膜及びその上のチタンシリサイド層からなる上部電極２５とを備えている。そして、N^{++}層１９と引き出し層２０とは、第２の分離領域１５によって互いに分離されている。

【００２９】

さらに、基板を覆う層間絶縁膜３０と、層間絶縁膜３０を貫通して各部２２，１８，２３，２０，２５に接続されるバリア膜３１及びタングステンプラグ３２と、Ａｌ合金膜３３及びその上の反射防止膜３４からなる配線とが設けられている。なお、バリア膜３１は、層間絶縁膜３０とＡｌ合金膜３３との間まで延びている。

【００３０】

本実施形態の特徴は、可変容量素子ＶＡＲの容量部であるＰＮ接合部が、シリコン基板１０の内部ではなく、エピタキシャル成長されたＳｉＧｅ膜からなるP$^+$層２１と、シリコン基板１０内のN$^+$層１６及び可変容量領域１６ａとに亘って形成されている点である。

【００３１】

図２（ａ），（ｂ）は、それぞれ順に、従来の可変容量素子及び本実施形態の可変容量素子の主要部の構成を概略的に示す断面図である。図２（ａ）に示すように、従来の可変容量素子においては、シリコン基板内にP$^+$層とN$^+$層とが形成され、ＰＮ接合部はシリコン基板内に存在している。空乏層（破線参照）の伸びる範囲は、シリコン基板内のある深さの領域からN$^+$層の下端までであるので、N$^+$層の厚みが薄くなっていくと、空乏層の伸びる領域が狭くなり、可変容量素子の容量の変化範囲が小さくなる。ところが、図２（ｂ）に示すように、本実施形態の可変容量素子の場合、空乏層の伸びる範囲は、シリコン基板の表面付近の領域からN$^+$層の下端までに広がる。したがって、本実施形態の可変容量素子によると、シリコン基板内にＰＮ接合部が存在する場合に比べ、空乏層の伸びうる領域がN$^+$層の深さ全体まで確保されるので、容量の変化範囲が拡大することになる。特に、空乏層が広いほど可変容量素子の容量変化範囲が大きくなるので、高周波化の進行に対応することもできる。

【００３２】
そして、可変容量素子の性能の向上により、ある装置内に必要な可変容量素子の数を少なくすることができる。言い換えると、１つの半導体基板上に設ける可変容量素子の数を低減することができるので、半導体装置の高集積化を図ることができる。
【００３３】
次に、本実施形態の半導体装置の製造方法について説明する。図３（ａ）～（ｆ）及び図４（ａ）～（ｅ）は、本実施形態の可変容量素子を備えた半導体装置の製造工程を示す断面図である。
【００３４】
まず、図３（ａ）に示す工程で、シリコン基板１０の表面部を酸化して、厚さ約５００ｎｍのシリコン酸化膜４０を形成する。
【００３５】
次に、図３（ｂ）に示す工程で、フォトリソグラフィー及びウエットエッチングにより、シリコン酸化膜４０をパターニングして、可変容量形成領域Ｒvarcを開口した注入マスク４１を形成する。そして、レジスト膜を除去した後、注入マスク４１の上方から砒素イオン（As^+）を、注入エネルギー３０ｋｅＶ，ドーズ量１．５×10^{15} cm^{-2}の条件で、シリコン基板１０内に注入する。さらに、１０００℃の酸化とアニールとを連続して行なって、Ａｓの活性化と拡散とを行なうことにより、埋め込みN^+層４２を形成する。
【００３６】
次に、図３（ｃ）に示す工程で、注入マスク４１とアニール前に形成した熱酸化膜とをウエットエッチングにより除去した後、エピタキシャル成長により、シリコン基板１０の上面上に厚さ約０．５５μｍのＳｉエピタキシャル層４２を形成する。このとき、埋め込みN^+層４２の不純物はＳｉエピタキシャル層４２内に拡散して、可変容量形成領域Ｒvarcに、N^+層１６が形成される。
【００３７】
次に、図３（ｄ）に示す工程で、厚さ約１０ｎｍの酸化膜と厚さ約２００ｎｍの窒化膜とからなるマスク用膜４４を形成した後、マスク用膜４４をパターニングして第１の分離領域を形成しようとする部分を開口した第１のマスク（図示せず）を形成する。そして、第１のマスクを用いてドライエッチングを行なって、シリコン基板１０に約３μｍ深さのトレンチを形成する。さらに、シリコン基板１０のうちトレンチの底部に位置する領域にボロン（Ｂ）を注入して、反転層が形成されるのを防止するための高濃度層４３を形成した後、トレンチの壁部を酸化してシリコン酸化膜１３を形成する。さらに、トレンチ内にポリシリコンを埋め込んで第１の分離領域１１を形成する。
【００３８】
次に、図３（ｅ）に示す工程で、第１のマスクをさらにパターニングして、第２の分離領域を形成しようとする領域を開口した第２のマスク４５を形成する。そして、第２のマスク４５を用いてシリコン基板１０に、深さ約４００ｎｍのシャロートレンチ４６を形成する。
【００３９】
次に、図３（ｆ）に示す工程で、シリコン酸化膜の堆積とＣＭＰとを行なって、シャロートレンチ４６内にシリコン酸化膜を埋め込んで、第２の分離領域１５を形成する。
【００４０】
次に、図４（ａ）に示す工程で、第２マスクを除去した後、フォトリソグラフィーにより、引き出し層などを形成しようとする領域を開口したレジスト膜（図示せず）を形成し、Ｓｉエピタキシャル層４２のうちにリンイオン（P^+）の注入を行なって、可変容量形成領域Ｒvarcに引き出し層１８を形成する。その後、９５０℃でアニールし、引き出し層１８を低抵抗化させる
次に、図４（ｂ）に示す工程で、可変容量形成領域ＲvarcのN^+層１６の上方に、砒素イオン（As^+）を、注入エネルギー３０ｋｅＶ，ドーズ量２．８×10^{12}atoms・cm^{-2}の条件で注入し、可変容量領域１６ａを形成する。その後、可変容量領域１６ａ内のＡｓ

活性化のために、１０００℃，１０ｓｅｃの条件でＲＴＡ処理を行なう。この一連の処理により、図１０に示すような、基板表面から内部に向かって徐々に濃度が低下するＡｓ濃度のプロファイルが形成される。

【００４１】

次に、図４（ｃ）に示す工程で、厚さ約４０ｎｍの酸化膜及び厚さ１００ｎｍのポリシリコン膜を順次形成した後、これらをパターニングして、可変容量領域１６ａの上方のみを開口したマスク４７を形成する。そして、可変容量領域１６ａの上面上に、$Si_{0.85}Ge_{0.15}$膜及びＳｉ膜からなる厚さ約１１０ｎｍのP^+層２１をエピタキシャル成長させる。このとき、in-situ ドープにより、P^+層２１の一部に濃度約$6\times10^{18}cm^{-3}$のボロンを含ませる。P^+層２１は、厚さ４０ｎｍのアンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ４０ｎｍのボロンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ３０ｎｍのアンドープＳｉ膜とによって構成されている。

【００４２】

次に、図４（ｄ）に示す工程で、基板上に、厚さ１００ｎｍのポリシリコン膜４８を堆積する。そして、ボロンを注入エネルギーが８ｋｅＶ，ドーズ量$1.6\times10^{16}cm^{-2}$の条件で注入して、ポリシリコン膜４８を低抵抗化する。

【００４３】

次に、図４（ｅ）に示す工程で、ポリシリコン膜４８をパターニングして、可変容量形成領域Ｒvarcに、P^+層２１に接するＰ型電極２２を形成する。さらに、ウエットエッチングにより、Ｐ型電極２２上の酸化膜を除去した後、スパッタリングを行なって、基板上に厚さ約４０ｎｍのチタン膜を堆積する。その後、シリサイド化反応させるためのＲＴＡ処理を行い、さらに酸化膜上の未反応チタン膜を硫酸と過酸化水素水混合液で除去後、低抵抗化のＲＴＡ処理を実施し、Ｐ型電極２２にチタンシリサイド層を形成する。

【００４４】

その後の工程の図示は省略するが、通常使用される工程、例えば層間絶縁膜形成工程、ＣＭＰによる平坦化工程、コンタクト形成工程、アルミ配線形成工程などを順次実施することにより、図１に示す半導体装置の可変容量素子を形成する。

【００４５】

なお、本実施形態においては、可変容量領域１６ａへのＡｓ注入条件を注入エネルギー３０ｋｅＶ，ドーズ量$2.8\times10^{12}atoms\cdot cm^{-2}$としたが、回路で使用される電圧可変範囲内で所望の容量変化が得られるように、可変容量素子の種類や用途に応じて注入条件を最適化することができる。

【００４６】

また、ＳｉＧｅ層におけるボロン濃度およびＧｅ組成比はＰＮ接合のリーク電流を所望の値にするために最適化することが好ましい。また、マスク４７は、ＳｉＧｅエピタキシャル成長時の異常成長を抑制するためにポリシリコン膜を含んでいるが、成長様式（選択成長または非選択成長）を容易に制御できる場合には、マスク４７がポリシリコン膜を含んでいなくてもよい。

【００４７】

図５（ａ），（ｂ）は、本発明の方法によって形成された半導体装置中の可変容量素子の容量の電圧依存特性を相異なる不純物濃度プロファイルについて示す図である。図５（ａ），（ｂ）において、横軸はＰ型電極２２に印加される電圧を表し、縦軸は可変容量素子の単位容量（$C/\mu m^2$）を表している。また、図５（ａ）に示す特性は、可変容量領域１６ａのイオン注入条件を、注入エネルギー３０ｋｅＶ，ドーズ量$2.8\times10^{12}atoms\cdot cm^{-2}$としたときのものである。図５（ｂ）に示す特性は、可変容量領域１６ａのイオン注入条件を、注入エネルギー３０ｋｅＶ，ドーズ量$2.2\times10^{12}atoms\cdot cm^{-2}$としたときのものである。図５（ａ）に示す特性においては、１Ｖ－２Ｖ間の容量変化は約１．９になる。また、図５（ｂ）に示す特性においては、１Ｖ－２Ｖ間の容量変化は約２．０になる。このように、ドーズ量を変化させることで任意の電圧間の容量変化比を制御できることがわかる。

【００４８】
なお、従来のＳｉエピタキシャル層４２（図３（ｃ）参照）への注入のみで可変容量素子を形成した場合の１Ｖ－２Ｖ間の容量変化は約１．１であった。
【００４９】
また、本実施形態のように、ポリシリコン膜を含むＰ型電極２２をP^+層２１の上に設けることにより、コンタクト（タングステンプラグ３２）がダイレクトにＳｉＧｅ膜に形成されるのを回避することができ、薄いＳｉＧｅ層への欠陥導入や、コンタクトがP^+層２１を突き抜けることによるショート不良などを抑制できる。
【００５０】
なお、本実施形態においては、P^+層を主としてＳｉＧｅ膜によって構成したが、ＳｉＧｅ膜に代えてエピタキシャル成長されたＳｉ膜を用いてP^+層を形成しても、空乏層の伸びる範囲の拡大による容量変化の範囲の拡大を図ることはできる。ただし、特にP^+層をＳｉＧｅ膜により構成することにより、より高濃度のボロンをドープすることができるので、P^+層の高濃度化により容量変化範囲をさらに拡大することができる利点がある。
【００５１】
（第２の実施形態）
図６は、本発明の第２の実施形態における可変容量素子（可変容量ダイオード）及びＮＰＮ－ＨＢＴ（ヘテロバイポーラトランジスタ）を共通の半導体基板の上に設けた半導体装置の断面図である。第１の実施形態においては、可変容量素子のみを設けた半導体装置の例について説明した。それに対し、図６に示すように、本実施形態においては、可変容量素子ＶＡＲは、発振回路を構成するＮＰＮ－ＨＢＴと同じ半導体基板上に設けられている。
【００５２】
シリコン基板５０には、深い溝内に薄いシリコン酸化膜５３を堆積した後，ポリシリコン５２を埋め込んで形成された第１の分離領域５１と、浅い溝内にシリコン酸化膜５３を埋め込んで形成された第２の分離領域５５とが設けられている。そして、第１，第２分離領域５１，５５によって、可変容量素子ＶＡＲ及びＮＰＮ－ＨＢＴが互いに分離されるとともに、第２の分離領域５５によって各素子内の活性領域が区画されている。
【００５３】
ここで、可変容量素子ＶＡＲは、シリコン基板５０内に砒素（Ａｓ）をドープして形成された深さ０．５５μｍのN^+層５６と、N^+層５６の表面部に高濃度の砒素をドープして形成された引き出し層５８と、N^+層５６の上にエピタキシャル成長により形成され、一部にボロン（Ｂ）を含むＳｉＧｅ膜及びＳｉ膜からなる厚さ１１０ｎｍのP^+層６１と、P^+層６１を覆うP^+型のポリシリコン膜及びその上のチタンシリサイド層からなるＰ型電極６２とを備えている。P^+層６１は、厚さ４０ｎｍのアンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ４０ｎｍのボロンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ３０ｎｍのアンドープＳｉ膜とによって構成されている。また、N^+層５６のうちP^+層６１に近接する可変容量領域５６ａにおいて、表面付近における不純物濃度は$1\times10^{18}cm^{-3}$であり、表面から基板内部に向かって不純物濃度が徐々に低下する不純物濃度プロファイルを示している。可変容量領域５６ａと引き出し層５８とは、第２の分離領域５５によって互いに分離されている。
【００５４】
ＮＰＮ－ＨＢＴは、可変容量素子ＶＡＲのN^+層５６と同時に形成されたコレクタ拡散層５７と、比較的低濃度の砒素がドープされたN^-型のコレクタ層５９と、電極とコンタクトするためのN^+コレクタ引き出し層６０と、コレクタ開口部７１を有する厚さ約３０ｎｍの第１の堆積酸化膜７０とを備えていて、シリコン基板５０の上面のうちコレクタ開口部７１に露出する部分の上には、Ｐ型不純物がドープされた厚さ約８０ｎｍのＳｉＧｅ層と厚さ約３０ｎｍのＳｉ膜とが積層されてなるＳｉ／ＳｉＧｅ層７９が設けられている。このＳｉ／ＳｉＧｅ層７９は、ベース層として機能するものであり、選択成長により、シリコン基板５０のうちコレクタ開口部７１に露出している部分の上に形成されている。Ｓ

ｉ／ＳｉＧｅ層７９は、厚さ４０ｎｍのアンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ４０ｎｍのボロンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ３０ｎｍのアンドープＳｉ膜とによって構成されている。そして、Ｓｉ／ＳｉＧｅ層７９のうちの中央部の下部が内部ベースとして機能している。また、Ｓｉ／ＳｉＧｅ層７９の中央部の上部（主としてＳｉ膜）がエミッタ層として機能している。また、Ｓｉ／ＳｉＧｅ層７９及びコレクタ拡散層５７の表面部に亘って、ボロンイオンの注入による外部ベース注入領域が形成されており、外部ベース注入領域の一部として、コレクタ拡散層５７の表面部に、濃度が3×10^{17}atoms・cm^{-3}程度の接合リーク防止層６６が形成されている。

【００５５】

Ｓｉ／ＳｉＧｅ層７９及び第１の堆積酸化膜７０の上には、厚さ約３０ｎｍのエッチストッパ用の第２の堆積酸化膜７２が設けられていて、第２の堆積酸化膜７２には、ベース接合用開口部７４及びベース開口部７８が形成されている。そして、ベース接合用開口部７４を埋めて第２の堆積酸化膜７２の上に延びる厚さ約１５０ｎｍのP^+ポリシリコン層７５と第３の堆積酸化膜７７とが設けられている。上記Ｓｉ／ＳｉＧｅ層７９のうちベース開口部７８の下方領域を除く部分とP^+ポリシリコン層７５とによって外部ベースが構成されている。

【００５６】

また、P^+ポリシリコン層７５及び第３の堆積酸化膜７７のうち，第２の堆積酸化膜７２のベース開口部７８の上方に位置する部分は開口されていて、P^+ポリシリコン層７５の側面には厚さ約３０ｎｍの第４の堆積酸化膜８０が形成されており、さらに、第４の堆積酸化膜８０の上に厚さ約１００ｎｍのポリシリコンからなるサイドウォール８１が設けられている。そして、ベース開口部７８を埋めて第３の堆積酸化膜７７の上に延びるN^+ポリシリコン層８２が設けられており、このN^+ポリシリコン層８２はエミッタ引き出し電極として機能する。上記第４の堆積酸化膜８０によって、P^+ポリシリコン層７５とN^+ポリシリコン層８２とが電気的に絶縁される。また、第３の堆積酸化膜７７によって、P^+ポリシリコン層７５の上面とN^+ポリシリコン層８２とが絶縁されている。

【００５７】

さらに、P^+ポリシリコン層７５及びN^+ポリシリコン層８２の上には、それぞれチタンシリサイド層が形成されている。

【００５８】

さらに、基板を覆う層間絶縁膜６５と、層間絶縁膜６５を貫通して各部６２，５８，６０，８２，７５に接続されるバリア膜６３及びタングステンプラグ６４と、Ａｌ合金膜６７及びその上の反射防止膜６８からなる配線とが設けられている。なお、バリア膜６３は、層間絶縁膜６５とＡｌ合金膜６７との間まで延びている。

【００５９】

ここで、本実施形態においても、可変容量素子ＶＡＲのN^+層６１の不純物濃度プロファイルは、図１０に示すとおりである。すなわち、シリコン基板５０の表面部でもっとも高濃度であり、下方に向かって次第に濃度が低下するという、第１の実施形態と基本的には同じ不純物濃度プロファイルを有している。一方、ＮＰＮ－ＨＢＴにおけるコレクタ層５９及びコレクタ拡散層５７においては、シリコン基板５０の表面部で比較的低濃度で、下方に向かって不純物濃度が次第に高くなるというプロファイルを有している。

【００６０】

図７は、本実施形態の半導体装置の主要部の回路構成を示すブロック図である。同図に示すように、シリコン基板５０には、ＮＰＮ－ＨＢＴを含む発振回路と、可変容量素子ＶＡＲと、共振インダクタＩndとが設けられて１つのパッケージ内に収納されている。そして、発振回路，可変容量素子ＶＡＲ及び共振インダクタＩndにより共振回路が構成されている。ここで、ＮＰＮ－ＨＢＴ及び可変容量素子ＶＡＲの構造は、図６に示すとおりである。共振インダクタの構造の図示は省略するが、共振インダクタＩndは例えば渦巻き状にパターニングされた導体膜によって構成されている。また、発振回路と可変容量素子ＶＡＲとの間には、ＰＡＤの寄生容量Ｃparaが存在している。

【００６１】
なお、シリコン基板５０上には、共振回路以外の回路例えばＭＩＳトランジスタ等を含む論理回路などが設けられていてもよい。
【００６２】
本実施形態の半導体装置によると、可変容量素子ＶＡＲと発振回路（バイポーラトランジスタ）とを１つの半導体基板に設けることにより、以下の効果を発揮することができる。本実施形態の半導体装置においては、図９に示す従来の半導体装置に比べ、寄生容量Ｃparaがパッド周辺の寄生容量だけであるので、発振周波数の変化範囲が寄生容量によって狭められるのを抑制することができる。つまり、可変容量素子ＶＡＲの容量を小さくすることで、共振回路の共振周波数を高くすることができるので、高周波化の進行に対応することができる。そのために、可変容量素子である可変容量ダイオードの容量変化幅を小さくすることができ、デバイス設計への負担を軽減することができる。
【００６３】
その場合、可変容量素子とＮＰＮ－ＨＢＴとを共通のシリコン基板５０の上に設けると、高周波化に伴うＮＰＮ－ＨＢＴのコレクタ拡散層５７の深さの低減に応じ、コレクタ拡散層５７と同時に形成されるN^+層５６の深さを低減する必要がある。その結果、可変容量素子ＶＡＲのP^+層６１とN^+層５６との間に形成される空乏層の伸びる範囲も狭められることになる。
【００６４】
ところが、本実施形態の半導体装置によると、エピタキシャル層であるP^+層６１と下地のシリコン層であるN^+層５６（特に可変容量領域５６ａ）との間にＰＮ接合部を形成しているので、電圧の印加に応じて空乏層が伸びうる範囲の拡大を図ることができる。言い換えると、可変容量素子ＶＡＲ（可変容量ダイオード）の容量変化特性を、ＮＰＮ－ＨＢＴ（ヘテロ接合型バイポーラトランジスタ）の高周波化に応じて適正に維持しながら、可変容量素子ＶＡＲとＮＰＮ－ＨＢＴとを同じ半導体基板上に設けることが可能になる。特に、空乏層が広いほど可変容量素子の容量が小さくなるので、高周波化の進行に対応することもできる。
【００６５】
そして、可変容量素子の性能の向上により、ある装置内に必要な可変容量素子の数を少なくすることができる。言い換えると、１つの半導体基板上に設ける可変容量素子の数を低減することができるので、半導体装置の高集積化を図ることができる。
【００６６】
なお、共振インダクタは必ずしも発振回路（ＮＰＮ－ＨＢＴ）及び可変容量素子ＶＡＲと同じ半導体基板に設けられている必要はなく、例えば母基板上に形成されていても、上述のような本実施形態の効果を発揮することができる。
【００６７】
図８（ａ）～（ｃ）は、本発明の第２の実施形態における半導体装置の製造工程を示す断面図である。
【００６８】
図８（ａ）に示す工程の前に、第１の実施形態における図３（ａ）～図４（ｂ）に相当する工程を終了している。したがって、シリコン基板５０内に、第１，第２の分離領域５１，５２が形成されている。また、可変容量形成領域Ｒvarcにおいては、砒素（Ａｓ）をドープして形成されたN^+層５６と、N^+層５６の表面部に高濃度の砒素をドープして形成された引き出し層５８とが設けられている。ＨＢＴ形成領域Ｒhbt においては、可変容量素子ＶＡＲのN^+層５６と同時に形成されたコレクタ拡散層５７と、比較的低濃度の砒素を含むN^-型のコレクタ層５９と、電極とコンタクトするためのN^+コレクタ引き出し層６０とが形成されている。
【００６９】
そして、図８（ａ）に示す工程で、基板上に、厚さ３０ｎｍの第１の堆積酸化膜７０を堆積した後、これをパターニングして、可変容量形成領域Ｒvarcにおいて可変容量領域５６

ａの上方を開口するとともに、ＨＢＴ形成領域Ｒhbt においてはコレクタ開口部７１を形成する。そして、可変容量領域５６ａ及びコレクタ層５９の上面上に、$Si_{0.85}Ge_{0.15}$膜及びＳｉ膜からなる厚さ約１１０ｎｍのP^+層６１及びＳｉ／ＳｉＧｅ層７９をそれぞれエピタキシャル成長させる。このとき、in-situ ドープにより、P^+層６１及びＳｉ／ＳｉＧｅ層７９の一部に濃度約$6\times10^{18}cm^{-3}$のボロンを含ませる。P^+層６１及びＳｉ／ＳｉＧｅ層７９は、厚さ４０ｎｍのアンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ４０ｎｍのボロンドープ$Si_{0.85}Ge_{0.15}$膜と、厚さ３０ｎｍのアンドープＳｉ膜とによって構成されている。

【００７０】

次に、図８（ｂ）に示す工程で、基板上に、エッチストッパとなる膜厚３０ｎｍの第２の堆積酸化膜７２を形成した後、第２の堆積酸化膜７２をドライエッチングによりパターニングして、ベース接合用開口部７４を形成する。このとき、Ｓｉ／ＳｉＧｅ層７９の中央部は第２の堆積酸化膜によって覆われており、ベース接合用開口部７４にはＳｉ／ＳｉＧｅ層７９の周辺部と第１の堆積酸化膜７０の一部とが露出している。

【００７１】

次に、ベース接合用開口部７４の形成に用いたレジストマスクを用いて、ボロン（Ｂ）などのＰ型の不純物のイオン注入を行い、Ｓｉ／ＳｉＧｅ層７９及びコレクタ拡散層５７の表面部に亘って外部ベース注入領域を形成する。このとき、外部ベース注入領域の一部として、コレクタ拡散層５７の表面部に、濃度が$3\times10^{17}atoms\cdot cm^{-3}$程度の接合リーク防止層６６が形成されている。

【００７２】

次に、ＣＶＤにより、基板上に、$1\times10^{20}atoms\cdot cm^{-3}$以上の高濃度にドープされた厚さ約１５０ｎｍの$P^+$ポリシリコン層７５を堆積し、続いて、厚さ約１００ｎｍの第３の堆積酸化膜７７を堆積する。次に、ドライエッチングにより、第３の堆積酸化膜７７とP^+ポリシリコン層７５とをパターニングして、ＨＢＴ形成領域Ｒhbt において、第３の堆積酸化膜７７とP^+ポリシリコン層７５との中央部に第２の堆積酸化膜７２に達するベース開口部７８を形成する。このベース開口部７８は第２の堆積酸化膜７２の中央部よりも小さく、ベース開口部７８がベース接合用開口部７４に跨ることはない。この工程により、P+ ポリシリコン層７５とＳｉ／ＳｉＧｅ層７９の中央部を除く部分とによって構成される外部ベースが形成される。

【００７３】

次に、図８（ｃ）に示す工程で、ＣＶＤにより、ウエハの全面上に厚さ約３０ｎｍの堆積酸化膜と厚さ約１５０ｎｍのポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、堆積酸化膜及びポリシリコン膜をエッチバックして、P^+ポリシリコン層７５及び第３の堆積酸化膜７７の側面上に第４の堆積酸化膜８０を挟んでポリシリコンからなるサイドウォール８１を形成する。次に、フッ酸等によるウエットエッチングを行い、第２の堆積酸化膜７２及び第４の堆積酸化膜８０のうち露出している部分を除去する。このとき、ベース開口部７８においては、Ｓｉ／ＳｉＧｅ層７９の上部のＳｉ層が露出する。

【００７４】

次に、図８（ｄ）に示す工程で、厚さが約２５０ｎｍのN^+ポリシリコン膜を堆積した後、ドライエッチングによってN^+ポリシリコン膜をパターニングすることにより、ＨＢＴ形成領域Ｒhbt に、エミッタ引き出し電極となるＮ＋ ポリシリコン層８２を形成する。このとき、P^+ポリシリコン層７５の外側はパターニングされていない。

【００７５】

次に、図８（ｅ）に示す工程で、ドライエッチングにより、第１の堆積酸化膜７０，第３の堆積酸化膜７７，P^+ポリシリコン層７５及び第２の堆積酸化膜７２をパターニングして、ＨＢＴ形成領域Ｒhbt においては外部ベースの形状を決定し、可変容量形成領域Ｒvarcにおいては、Ｐ型電極６２を形成する。

【００７６】

その後の工程の図示は省略するが、チタンシリサイド層の形成工程、層間絶縁膜形成工程、ＣＭＰによる平坦化工程、コンタクト形成工程、アルミ配線形成工程などを順次実施することにより、図６に示す半導体装置を形成する。

【００７７】

以上のように、本実施形態の製造方法によると、可変容量素子ＶＡＲとＮＰＮ－ＨＢＴとでできるだけ工程の共通化を図りつつ、容量変化範囲の大きい可変容量素子ＶＡＲを、ＮＰＮ－ＨＢＴと共通の半導体基板上に形成することができる。

【００７８】

なお、可変容量素子としては、エピタキシャル層からなるP^+層とP^+ポリシリコン膜とが必要であるが、ＮＰＮ－ＨＢＴでは、ＳｉＧｅベース層と、外部ベースとなるP^+ポリシリコン膜とが形成されるため、ＮＰＮ－ＨＢＴのプロセスを利用して、ＮＰＮ－ＨＢＴと可変容量素子とを同じ基板上に形成することができる。

【００７９】

本実施形態においては、可変容量素子ＶＡＲのP^+層６１を主としてＳｉＧｅ膜によって構成することにより、第１の実施形態と同様に、P^+層の高濃度化による容量変化範囲の拡大を図ることができる利点がある。

【００８０】

本実施形態の製造方法によれば、可変容量素子ＶＡＲのP^+層６１とＮＰＮ－ＨＢＴのベース層であるＳｉ／ＳｉＧｅ層７９とを共通のエピタキシャル層から形成し、可変容量素子ＶＡＲのＰ型電極６２とＮＰＮ－ＨＢＴの外部ベースであるP^+ポリシリコン層７５とを共通のポリシリコン膜から形成することにより、工程数の削減を図ることができ、ひいては、デバイス特性の安定化を図ることができる。

【００８１】

なお、上記第１，第２の実施形態におけるP^+層２１，６１中のＳｉＧｅ膜に代えてＳｉＧｅＣ膜を設けてもよい。

【００８２】

また、可変容量素子ＶＡＲのP^+層でありＮＰＮ－ＨＢＴのベース層であるＳｉＧｅ層に代えて、Ｓｉ膜を設けてもよい。ただし、ＳｉＧｅ膜を用いることにより、ＮＰＮ－ＨＢＴの高周波化をよりいっそう進めることができる。なお、ＳｉＧｅ膜又はＳｉＧｅＣ膜を傾斜組成を有する膜によって構成してもよい。その場合には、ＨＢＴにおけるベース走行速度をより高くすることができる利点がある。

【００８３】

【発明の効果】

本発明の半導体装置によると、エピタキシャル成長層を利用することにより、可変容量素子の容量部となる空乏層の伸びる範囲を広く確保することができ、容量変化範囲を広く確保することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態における可変容量素子，ＭＩＳ容量素子及び抵抗素子を共通の半導体基板の上に設けた半導体装置の断面図である。

【図２】（ａ），（ｂ）は、それぞれ順に、従来の可変容量素子及び本実施形態の可変容量素子の主要部の構成を概略的に示す断面図である。

【図３】（ａ）～（ｆ）は、第１の実施形態の可変容量素子を備えた半導体装置の製造工程のうちの前半部分を示す断面図である。

【図４】（ａ）～（ｅ）は、第１の実施形態の可変容量素子を備えた半導体装置の製造工程のうちの後半部分を示す断面図である。

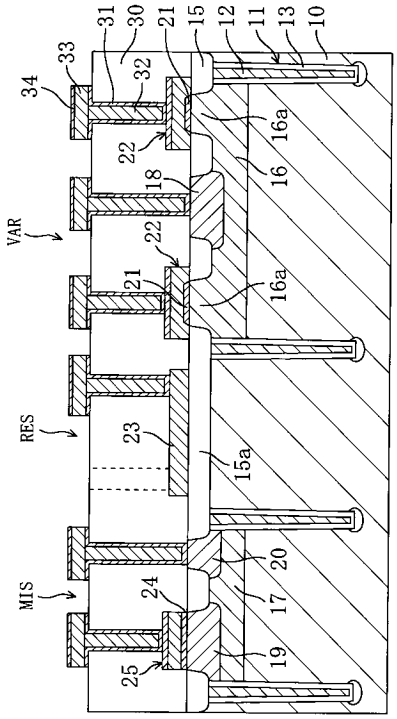
【図５】（ａ），（ｂ）は、本発明の方法によって形成された半導体装置中の可変容量素子の容量の電圧依存特性を相異なる不純物濃度プロファイルについて示す図である。

【図６】本発明の第２の実施形態における可変容量素子及びＮＰＮ－ＨＢＴを共通の半導体基板の上に設けた半導体装置の断面図である。

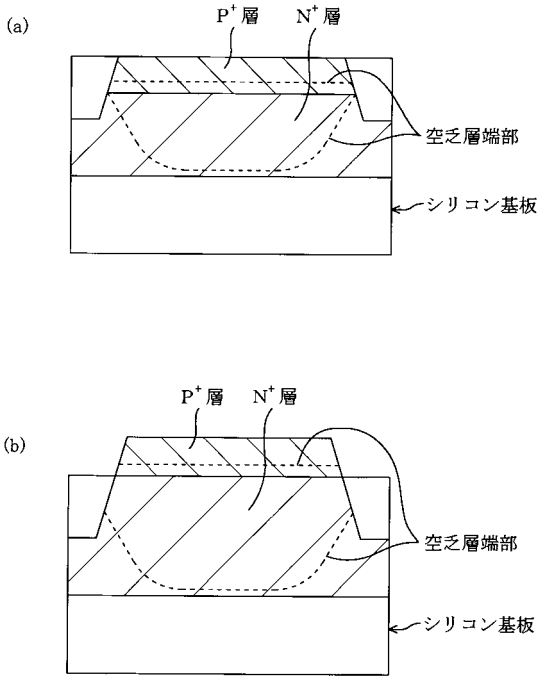
【図７】第２の実施形態の半導体装置の主要部の回路構成を示すブロック図である。

【図８】（ａ）～（ｃ）は、本発明の第２の実施形態における半導体装置の製造工程を示す断面図である。
【図９】半導体基板上に設けられた発振回路と、外付けの可変容量素子などを備えた従来のデバイスの構成を概略的に示すブロック図である。
【図１０】本発明の第１の実施形態の可変容量素子のN^+層における濃度プロファイルを、ＳＩＭＳによって実測した結果を示す図である。
【符号の説明】
１０，５０　シリコン基板
１１，５１　第１の分離領域
１２，５２　ポリシリコン
１３，５３　シリコン酸化膜
１５，５５　第２の分離領域
１６，５６　N^+層
１６ａ，５６ａ　可変容量領域
１７　N^+層
１８，５８　引き出し層
２０　引き出し層
２１，６１　P^+層
２２，６２　Ｐ型電極
２３　抵抗体膜
２４　ゲート絶縁膜
２５　ゲート電極
３０，６５　層間絶縁膜
３１，６３　バリア膜
３２，６４　タングステンプラグ
３３，６７　Ａｌ合金膜
３４，６８　反射防止膜
５７　コレクタ拡散層
５９　コレクタ層
６０　N^+コレクタ引き出し層
６６　接合リーク防止層
７０　第１の堆積酸化膜
７１　コレクタ開口部
７２　第２の堆積酸化膜
７４　ベース接合開口部
７５　P^+ポリシリコン層
７７　第３の堆積酸化膜
７８　ベース開口部
７９　Ｓｉ／ＳｉＧｅ層
８０　第４の堆積膜
８１　サイドウォール
８２　N^+ポリシリコン層

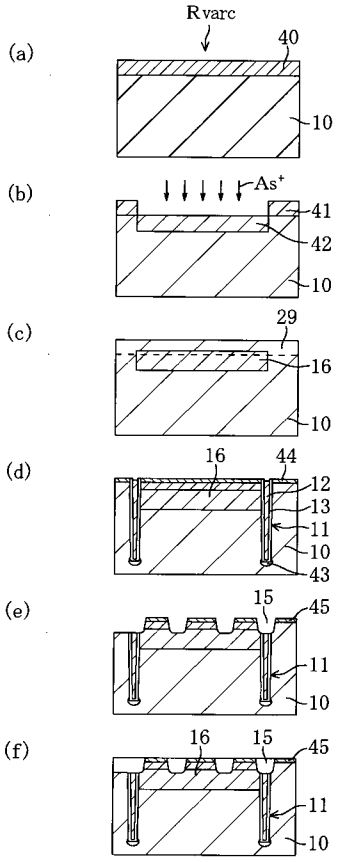
【図１】


31
30
21
15
12
11
13
10
33
34
32
16a
22
16
18
VAR
22
21
16a
RES
23
15a
20
MIS
24
17
19
25

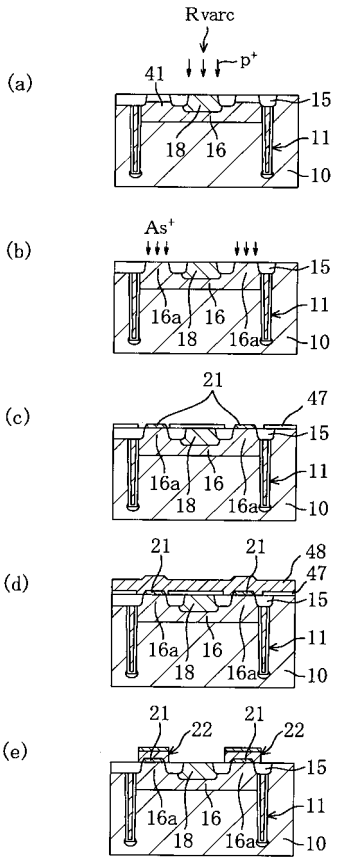
【図２】


(a)
P+層
N+層
空乏層端部
シリコン基板
(b)
P+層
N+層
空乏層端部
シリコン基板

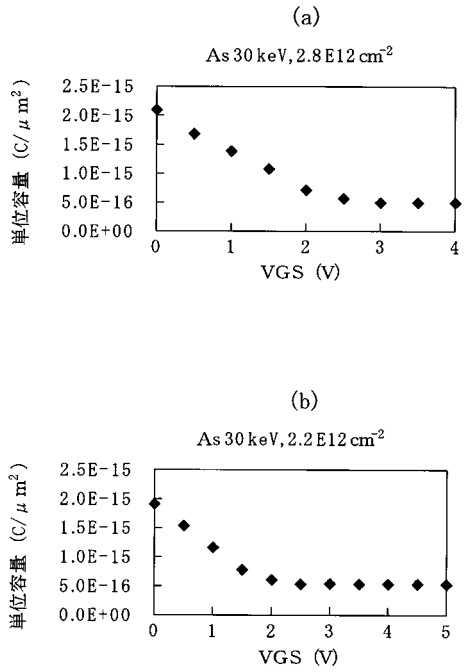
【図３】


(a)
Rvarc
40
10
(b)
As+
41
42
10
(c)
29
16
10
(d)
16
44
12
13
11
10
43
(e)
15
45
11
10
(f)
16
15
45
11
10

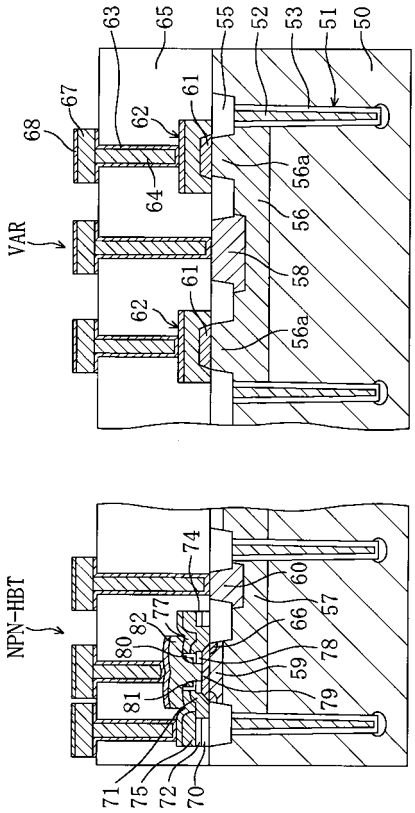
【図４】


(a)
Rvarc
P+
41
15
18
16
11
10
(b)
As+
15
16a
16
11
18
16a
10
(c)
21
47
15
16a
16
11
18
16a
10
(d)
21
21
48
47
15
16a
16
11
18
16a
10
(e)
21
22
21
22
15
16a
16
11
18
16a
10

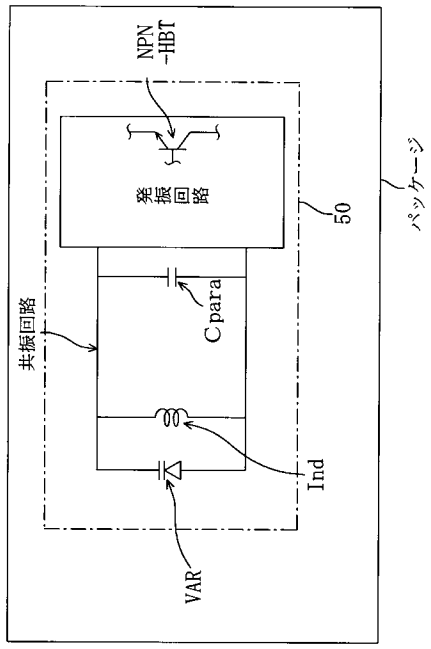
【図５】


(a)
As 30 keV, 2.8 E12 cm-2
単位容量 (C/μm2)
2.5E-15
2.0E-15
1.5E-15
1.0E-15
5.0E-16
0.0E+00
0
1
2
3
4
VGS (V)
(b)
As 30 keV, 2.2 E12 cm-2
単位容量 (C/μm2)
2.5E-15
2.0E-15
1.5E-15
1.0E-15
5.0E-16
0.0E+00
0
1
2
3
4
5
VGS (V)

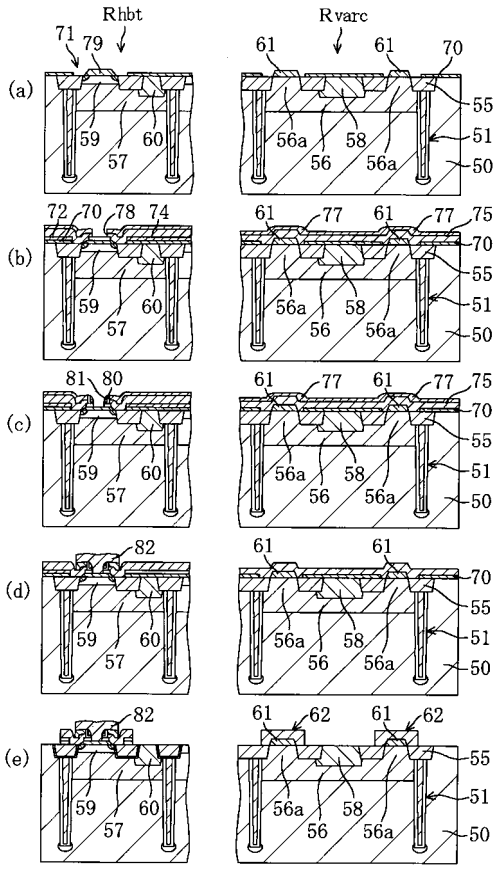
【図６】


63
65
55
52
53
51
50
67
68
62
61
64
56a
56
58
VAR
61
62
56a
NPN-HBT
74
60
57
66
77
82
80
78
59
81
79
71
75
72
70

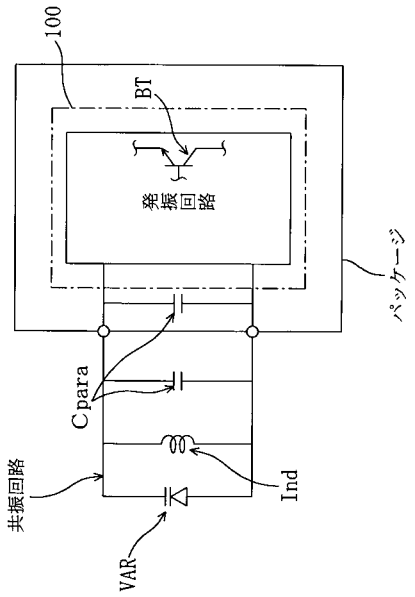
【図７】


NPN
-HBT
発振回路
50
パッケージ
共振回路
Cpara
Ind
VAR

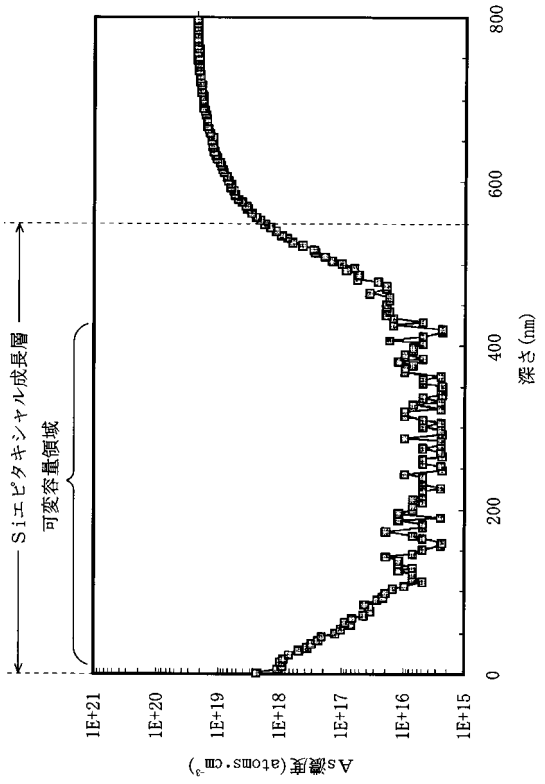
【図８】


Rhbt
Rvarc
(a)
(b)
(c)
(d)
(e)
71
79
61
70
59
60
57
56a
58
56
55
51
50
72
78
74
77
75
81
80
82
62

【図９】


100
BT
発振回路
パッケージ
Cpara
共振回路
Ind
VAR

【図１０】


Siエピタキシャル成長層
可変容量領域
As濃度(atoms・cm⁻³)
1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
1E+15
0
200
400
600
800
深さ(nm)

フロントページの続き

(51)Int.Cl. F I
H01L 27/04 (2006.01)
H01L 21/822 (2006.01)

(74)代理人 100115510
弁理士 手島 勝
(74)代理人 100115691
弁理士 藤田 篤史
(72)発明者 大西 照人
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 高木 剛
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 浅井 明
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 藤井 泰三
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 杉浦 三津夫
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 南 善久
大阪府門真市大字門真１００６番地 松下電器産業株式会社内

審査官 宮崎 園子

(56)参考文献 特開昭５５－０２２８９５（ＪＰ，Ａ）
特開昭５５－０１８０７３（ＪＰ，Ａ）
特開昭４９－０９１５８４（ＪＰ，Ａ）
特開平０３－２７００８０（ＪＰ，Ａ）
特開２０００－２９９３８６（ＪＰ，Ａ）
特開２０００－０６８２８３（ＪＰ，Ａ）
特開平１１－３５４５３１（ＪＰ，Ａ）
IEEE JOURNAL OF SOLID-STATE CIRCUITS, １９９２年, VOL.27,NO.10, pp.1444-1447

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 29/93