



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

231 126

(11) (B1)

(61)
(23) Výstavní priorita
(22) Přihlášeno 16 12 82
(21) PV 9253-82

(51) Int. Cl.³
H 03 K 23/00

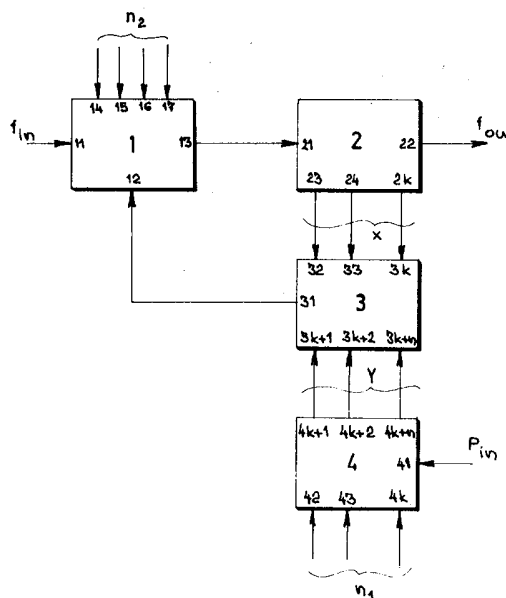
(40) Zveřejněno 15 02 84
(45) Vydáno 01 06 86

(75)
Autor vynálezu

NĚMEC ALEXEJ ing., PRAHA

(54) Zapojení základního modulu programovatelného děliče kmitočtu

Zapojení základního modulu programovatelného děliče kmitočtu složeného z programovatelného předděliče kmitočtu typu n ; $(n+1)/1$ připojeného svým výstupem k děliči kmitočtu, který je svými výstupy připojen ke komparátoru dvou binárních čísel $X < Y$, ke kterému je svými výstupy připojen sčítací obvod Σ . Výstup dvou binárních čísel $X < Y$ je připojen k programovatelnému předděliči kmitočtu typu n ; $(n+1)/1$.



Vynález se týká zapojení základního modulu programovatelného děliče kmitočtu složeného z programovatelného předděliče kmitočtu typu n ; $(n + 1)/1$ připojeného svým výstupem k děliči kmitočtu.

V současné době je na výše uvedeném principu vyráběn obvod HEF 4751 - univerzální dělič kmitočtu, který, včetně funkce, je podrobně popsán v práci Giles: "Versatile LSI Frequency Synthesiser System". Blokové schéma základního modulu programovatelného děliče kmitočtu podle Gilese je na obr. 1. Tento základní modul se skládá z programovatelného předděliče typu n ; $(n + 1)/1$, děliče kmitočtu $10/1$ a rychlostního selektoru. Dělič kmitočtu $10/1$ je čtyřbitový dělič kmitočtu upravený tak, že na výstupech 1, 2, 4, 8 se generují série impulsů o 1, 2, 4 a 8 impulsech v rámci jedné periody výstupního signálu f_{ou} . Rychlostní selektor zpracovává signály z děliče kmitočtu $10/1$ tak, aby se na jeho výstupu pro řízení předděliče kmitočtu generoval sled impulsů závislý na nastavení čísla n_1 a vstupního přenosu P_{in} podle vztahu $f_{zv} = (P_{in} + n_1) \cdot f_{ou}$, kde $P_{in} = 0$ nebo 1 a $n_1 = 0$ až

Nevýhodou řešení modulu podle obr. 1 jsou složité logické struktury v děliči kmitočtu $10/1$ a v rychlostním selektoru. Navíc na pozici děliče kmitočtu $10/1$ nelze použít běžný čítač v binárním kódu nebo BCD kódu.

Uvedené nevýhody řeší zapojení podle vynálezu, obr. 3, jehož podstata spočívá v tom, že dělič kmitočtu, který je typu $N/1$, je svými výstupy, prvním výstupem, druhým výstupem až k -tým výstupem, připojen na první vstup, druhý vstup až na k -tý vstup komparátoru dvou binárních čísel $X < Y$, jehož výstup

je připojen na druhý vstup programovatelného předděliče kmitočtu typu $n; (n + 1)/1$, přičemž na k -plusprvní vstup, plusdruhý vstup až na k -plusentý vstup komparátoru dvou binárních čísel $X < Y$ je připojen k -plusprvní výstup, k -plusdruhý výstup až k -plusentý výstup sčítacího obvodu Σ , který má první vstup pro vkládání informace o přenosu z následujících stavebních bloků řízení děliče kmitočtu, přičemž druhý vstup, třetí vstup až k -tý vstup sčítacího obvodu Σ jsou určeny pro vkládání dat.

Na obr. 1 je znázorněno známé blokové uspořádání základního modulu programovatelného děliče kmitočtu sestávající z programovatelného předděliče typu $n; (n + 1)/1$ A, děliče kmitočtu $10/1$ B, ke kterému je připojen rychlostní selektor RS C, připojený k programovatelnému předděliči A. Na obr. 2 je znázorněn komparátor dvou čtyřbitových čísel.

Na obr. 3 je patřno zapojení základního modulu programovatelného děliče kmitočtu podle vynálezu složeného z programovatelného předděliče kmitočtu typu $n; (n + 1)/1$ 1, děliče kmitočtu $N/1$ 2, komparátoru dvou binárních čísel $X < Y$ 3 a ze sčítanky Σ 4. Spojení těchto prvků je následující: první výstup 23, druhý výstup 24 až k -tý výstup 2k děliče kmitočtu $N/1$ 2 je připojen na první vstup 32, druhý vstup 33, až na k -tý vstup 3k komparátoru dvou binárních čísel $X < Y$ 3, jehož výstup 31 je připojen na druhý vstup 12 programovatelného předděliče typu $n; (n + 1)/1$ 1, přičemž na k -plusprvní vstup 3k-1, k -plusdruhý vstup 3k-2 až na plusentý vstup 3k-n komparátoru dvou binárních čísel $X < Y$ 3 je připojen k -plusprvní výstup 4k+1, k -plusdruhý výstup 4k+2 až k -plusentý výstup 4k+n sčítacího obvodu Σ 4, jehož první vstup 41 je určen pro vkládání informace o přenosu z následujících stavebních bloků řízení kmitočtu, přičemž se na jeho druhý vstup 42, třetí vstup 43 až na jeho k -tý vstup 4k vkládají data n₁.

Novost vynálezu spočívá v tom, že rychlostní selektor RS (obr. 1) je nahrazen komparátorem dvou binárních čísel $X < Y$ 4. Tímto se výrazně zjednoduší logická struktura děliče kmitočtu $N/1$ 2 a lze na této poloze použít běžný čítač, který pracuje v binárním nebo BCD kódu. Další výhodou základního modulu programovatelného děliče kmitočtu podle vynálezu je tvar

signálu pro řízení dělicího poměru programovatelného předděliče kmitočtu $n; (n+1)/1$ 1. Tento signál, na výstupu 31 komparátoru $X < Y$ 3, má v rámci jedné periody výstupního signálu f_{ou} tvar jediného impulsu, jehož šířka se mění v závislosti na nastavení čísla n_1 a vstupního přenosu P_{in} . To opravňuje k předpokladu, že mezní kmitočet základního modulu programovatelného děliče podle obr. 3 je vyšší než mezní kmitočet podle obr. 1, kde signál pro řízení dělicího poměru předděliče $n; (n+1)/1$ je ve formě sledu impulsů, jejichž počet je určen nastavením čísla n_1 a vstupního přenosu P_{in} . Funkce základního modulu programovatelného děliče kmitočtu bude dále vysvětlena v zapojení, které vyhovuje BCD kódu za předpokladu, že programovatelný předdělič $n; (n+1)/1$ je nastavitelný pro $n_2 = 1$ až 9, v děliči $N/1$ je nastaven dělicí poměr 10 a komparátor dvou binárních čísel $X < Y$ 4 se zjednoduší na komparátor dvou čtyřbitových čísel - viz obr. 2. Dělič kmitočtu 10/1 rozděluje periodu výstupního signálu f_{ou} na 10 podperiod, ve kterých je v děliči typu $n_2; (n_2+1)/1$ zařazen dělicí poměr (n_2+1) pro n_1 podperiod a pro zbytek, to je $(10-n_1)$ podperiod, je zařazen dělicí poměr n_2 . Dělicí poměr N děliče kmitočtu podle obr. 2 se může vyjádřit ve tvaru

$$N = n_1 \cdot (n_2 + 1) + (10 - n_1) \cdot n_2 ,$$

který lze jednoduchou úpravou převést na

$$N = 100 \cdot n_2 + n_1 .$$

Z této rovnice je patrné, že dělič podle obr. 2 představuje programovatelný dělič kmitočtů nastavitelný BCD kódem v rozsahu dělicích poměrů 10 až 99. Případný požadavek binárního kódu lze v zapojení podle obr. 2 jednoduše realizovat záměnou děliče 10/1 za 16/1 a rozšířením předděliče $n_2; (n_2+1)/1$ z nastavení $n_2 = 1$ až 9 na $n_2 = 1$ až 15. Položí-li se v poslední rovnici $n_2 = n_1 = 0$, pak formálně $N = 0$, ale pro $n_2 = 0$ ztrácí předdělič $n_2; (n_2+1)/1$ fyzikální význam. Z toho vyplývá, že minimální dělicí poměr N_{min} děliče podle obr. 2 je roven 10 (n_2 se může volit z intervalu celých čísel 1 až 9).

Základnímu modulu lze předřazovat neomezené množství programovatelných předděličů typu 10; (11)/1 (data v BCD kódu) nebo typu 16; (17)/1 (data v binárním kódu) s postupně narůstajícími mezními kmitočty. Z hlediska funkce je pak nutné doplnit základní modul obr. 2 dalšími komparátory čtyřbitových čísel $X_n < Y_n$ a synchronizací programovatelných předděličů. Přidané komparátory je nutné ze strany čísel X_n připojit paralelně k základnímu komparátoru, to je k binárně váženým výstupům z děliče 10/1 (viz obr. 2). Sčítanka (případně polosčítanka) $\leq$ v základním modulu podle obr. 2 a obr. 3 realizuje tak zvaný zlomkový dělicí poměr v součinnosti popisovaného obvodu s obvodem programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním dělicí kmitočtu, který je předmětem další přihlášky vynálezu. Komparátory, jež rozšiřují základní modul, nemají předřazeny sčítanky v toku dat, takže čísla Y_n jsou pak přímo jednotlivými datovými vstupy.

Zapojení základního modulu programovatelného děliče kmitočtu, v součinnosti se zapojením programovatelného předděliče kmitočtu typu n; (n+1)/1 podle AO 231127 a se zapojením programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním dělicí kmitočtu podle AO 231128 lze sestavit univerzální programovatelný dělič kmitočtu s vícenásobnou zpětnou vazbou.

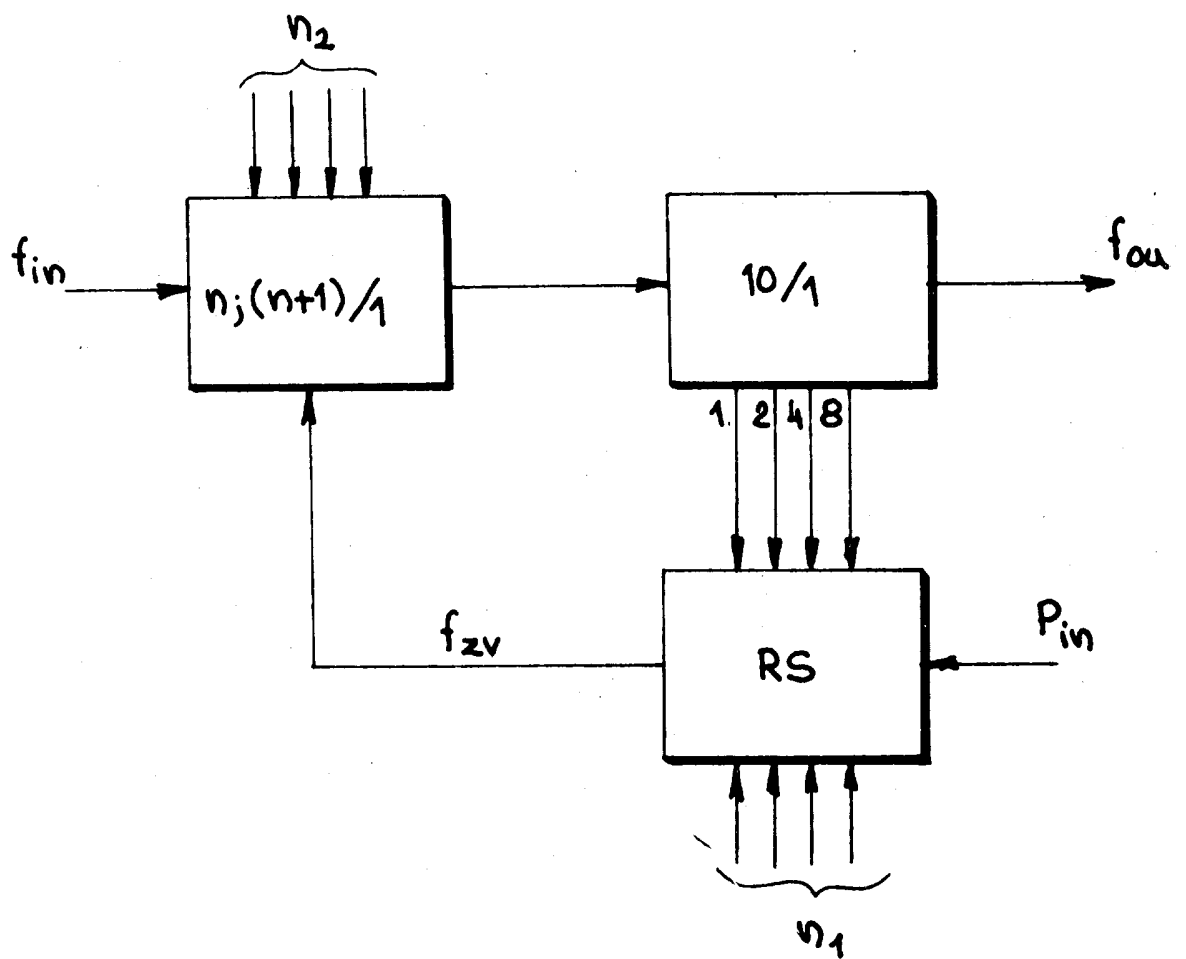
Toto zapojení základního modulu programovatelného děliče kmitočtu podle vynálezu umožňuje předřazení několika programovatelných předděličů typu 10; (11)/1 (data v BCD kódu), nebo typu 16; (17)/1 (data v binárním kódu). Typ programovatelného předděliče je přitom nezávislý na rozdělení digitu s nejnižší vahou, čemuž odpovídá určitý kmitočtový rastr výstupního kmitočtu syntezátoru, čímž se umožňuje velmi jednoduché programování nejnižšího, digitu bez zásahu do programování vyšších digitů. Proto lze systém děliče kmitočtu v vícenásobnou zpětnou vazbou považovat za nejmodernější a současně rovněž i za nejuniverzálnější v celosvětovém měřítku.

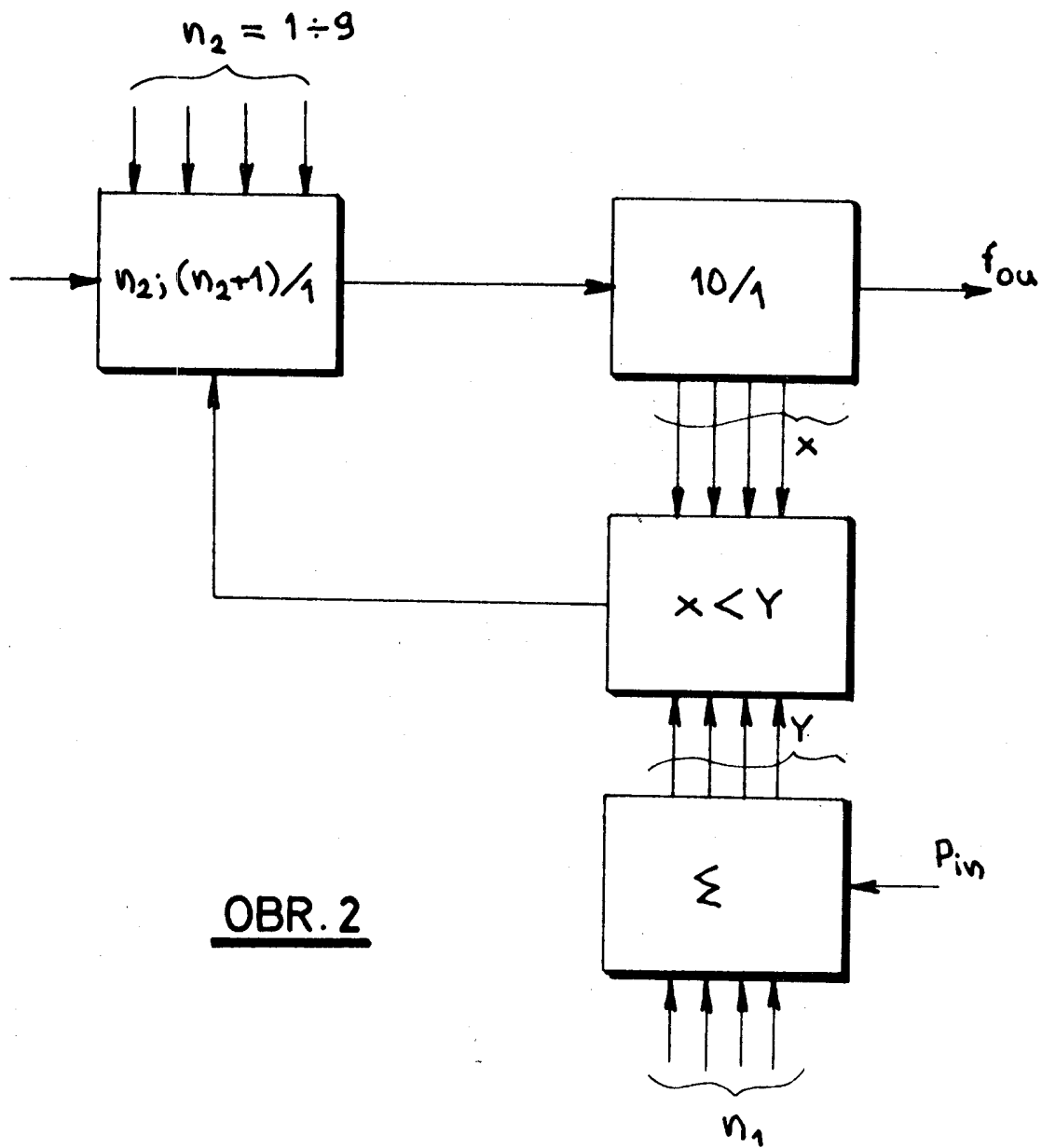
PŘEDMĚT VYNÁLEZU

231 126

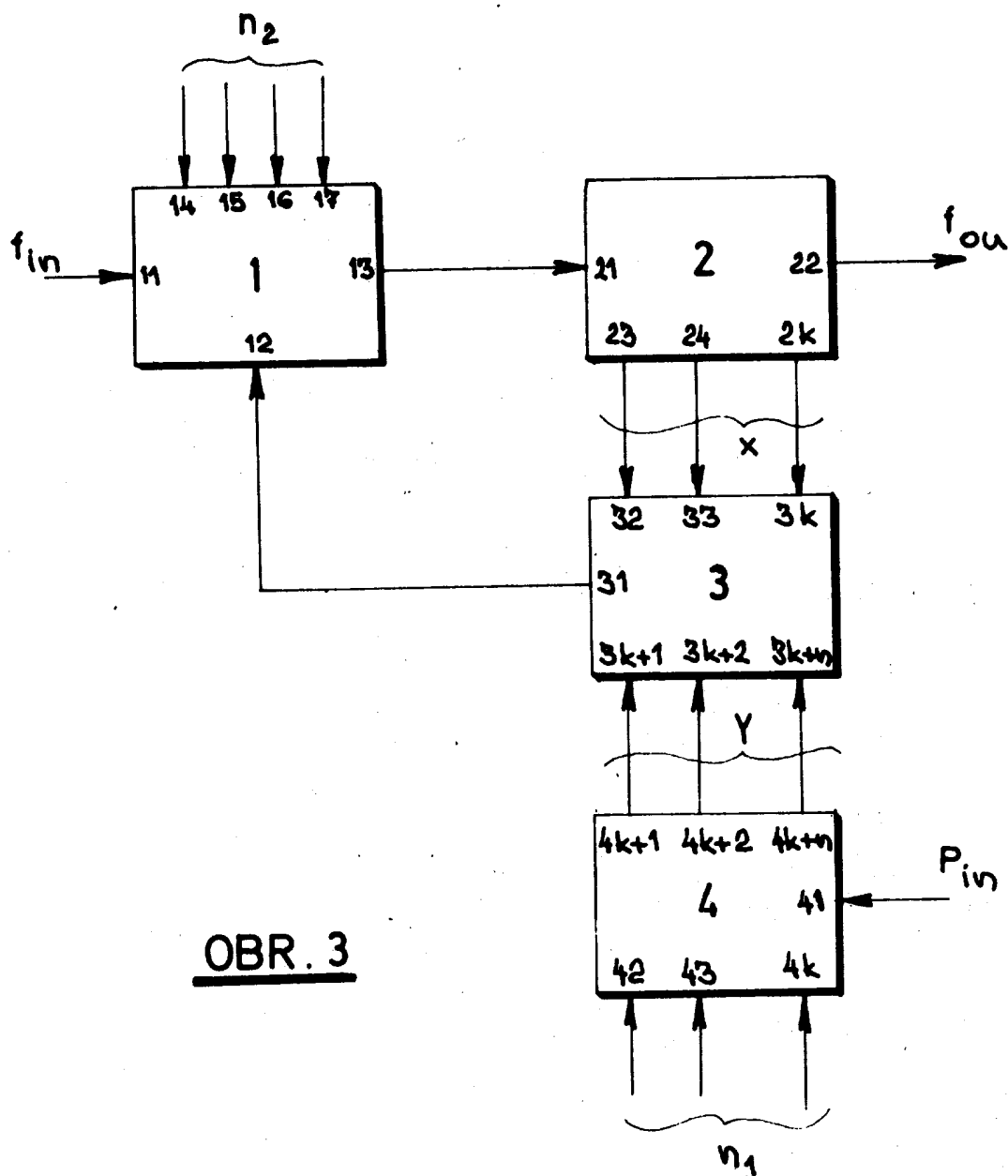
Zapojení základního modulu programovatelného děliče kmitočtu složeného z programovatelného předděliče kmitočtu typu $n; (n+1)/1$ připojeného svým výstupem k děliči kmitočtu, vyznačené tím, že dělič kmitočtu (2) je svými výstupy, prvním výstupem (23), druhým výstupem (24) až k -tým výstupem (2k), připojen na první vstup (32), druhý vstup (33) až k -tý vstup (3k) komparátoru dvou binárních čísel (3), jehož výstup (31) je připojen na druhý vstup (12) programovatelného předděliče kmitočtu typu $n; (n+1)/1$ (1), přičemž na k -plusprvní vstup (3k-1), plusdruhý vstup (3k-2) až na k -plusentý vstup (3k-n) komparátoru dvou binárních čísel (3) je připojen k -plusprvní výstup (4k-1), k -plusdruhý výstup (4k-2) až k -plusentý výstup (4k-n) sčítacího obvodu (4), který má první vstup (41) pro vkládání informace o přenosu z následujících stavebních bloků řízení děliče kmitočtu, přičemž druhý vstup (42), třetí vstup (43) až k -tý vstup sčítacího obvodu (4) jsou určeny pro vkládání dat (n_1).

3 výkresy

OBR.1



OBR. 2



OBR. 3