

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年9月7日(2017.9.7)

【公表番号】特表2016-529844(P2016-529844A)

【公表日】平成28年9月23日(2016.9.23)

【年通号数】公開・登録公報2016-056

【出願番号】特願2016-538970(P2016-538970)

【国際特許分類】

H 0 4 L 7/00 (2006.01)

H 0 4 L 25/02 (2006.01)

G 0 6 F 13/42 (2006.01)

【F I】

H 0 4 L 7/00 3 7 0

H 0 4 L 25/02 J

G 0 6 F 13/42 3 5 0 B

【手続補正書】

【提出日】平成29年7月26日(2017.7.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ通信のための方法であって、

第1のレーンの第1のレベルの遅延セルの出力として1つまたは複数のクロック信号のバージョンの間で選択するステップであって、前記1つまたは複数のクロック信号の前記バージョンが、第1のクロック信号の少なくとも2つのバージョンを含み、前記第1のクロック信号の各バージョンが、前記第1のクロック信号に関して異なる遅延を被る、ステップと、

前記第1のレーンの前記第1のレベルの遅延セルの前記出力を、第2および第3のレーン内の第2のレベルの遅延セルに供給するステップと、

前記第1のレーンの第2のレベルの遅延セルの出力を供給するために、前記第1のレーンの前記第1のレベルの遅延セルの前記出力と、前記第2および第3のレーンの第1のレベルの遅延セルの出力との間で選択することによって、通信リンク上のデータの送信を制御するために使用されるルートクロックを供給するステップとを含む、方法。

【請求項2】

前記第1のレーンが、1つまたは複数のデータレーンのトランジスタ経路に整合するトランジスタ経路を有する、請求項1に記載の方法。

【請求項3】

前記第1のレーンならびに前記第2および第3のレーンが、対応するデータレーン内で使用されるべきクロックを供給し、前記第1のレーンの前記第1のレベルの遅延セル用の入力、および前記第1のレーン内の第2のレベルの遅延セル用の前記入力、前記ルートクロックと前記第2および第3のレーンによって供給される前記クロックとの間のスキューを最小化するように選択される、請求項1に記載の方法。

【請求項4】

前記第1のレーンならびに前記第2および第3のレーンが、対応するデータレーン内で使

用されるべきクロックを供給し、前記第2および第3のレーンの第1のレベルの遅延セル用の入力、ならびに前記第2および第3のレーンの第2のレベルの遅延セル用の前記入力が、前記ルートクロックと前記第2および第3のレーンによって供給される前記クロックとの間のスキューを最小化するように選択される、請求項1に記載の方法。

【請求項5】

前記第1のレーンならびに前記第2および第3のレーンが、対応するデータレーン内で使用されるべきクロックを供給し、前記第2および第3のレーンの第1のレベルの遅延セル用の入力、ならびに前記第2および第3のレーンの第2のレベルの遅延セル用の前記入力が、前記ルートクロックに関連付けられたデータレーンと前記第2および第3のレーンによって供給される前記クロックに関連付けられたデータレーンとの間のスキューを最小化するように選択される、請求項1に記載の方法。

【請求項6】

前記通信リンクが、差動符号化されたデータ信号およびクロック信号を備える、請求項1に記載の方法。

【請求項7】

前記通信リンクが、第1の集積回路(IC)デバイスを第2のICデバイスと通信可能に結合する、請求項1に記載の方法。

【請求項8】

前記1つまたは複数のクロック信号が、第1の複数の遅延素子のうちの1つまたは複数によって遅延する左クロック信号と、第2の複数の遅延素子のうちの1つまたは複数によって遅延する右クロック信号とを含み、前記第1の複数の遅延素子が、IC上の第1のデータレーンの左側に配置されたいくつかのデータレーンに対応するいくつかの遅延素子を含み、前記第2の複数の遅延素子が、前記第1のデータレーンの右側に配置されたいくつかのデータレーンに対応するいくつかの遅延素子を含む、請求項1に記載の方法。

【請求項9】

前記第1のレーンの前記第1のレベルの遅延セルの出力として前記1つまたは複数のクロック信号のバージョンの間で選択するステップが、

前記左クロック信号と前記右クロック信号との間で選択するステップを含む、請求項8に記載の方法。

【請求項10】

前記第1のレーンの前記第1のレベルの遅延セルの出力として前記1つまたは複数のクロック信号のバージョンの間で選択するステップが、

第1のレベルの遅延セルごとにアクティブクロッキングモードと電源断モードとの間で選択するステップ

を含む、請求項8に記載の方法。

【請求項11】

前記ルートクロックの供給に寄与しない1つまたは複数の遅延セルの電源を切断するステップ

をさらに含む、請求項1に記載の方法。

【請求項12】

第1の集積回路(IC)デバイスを第2のICデバイスと通信可能に結合する通信リンクに対するインターフェースと、

第1のクロックレーンの第1のレベルの遅延セルの出力として1つまたは複数のクロック信号のバージョンの間で選択するための手段であって、前記1つまたは複数のクロック信号の前記バージョンが、第1のクロック信号の少なくとも2つのバージョンを含み、前記第1のクロック信号の各バージョンが、前記第1のクロック信号に関して異なる遅延を被る、手段と、

前記第1のクロックレーンの出力としてルートクロックを供給するための手段であって、前記ルートクロックが前記通信リンク上でデータを送信するために使用される、手段とを備え、

前記ルートクロックを供給するための前記手段が、第1のレーンの第2のレベルの遅延セルの出力を供給するために、前記第1のクロックレーンの前記第1のレベルの遅延セルの前記出力と、複数の他のクロックレーンの第1のレベルの遅延セルの出力との間で選択するように構成される、
装置。

【請求項13】

前記第1のクロックレーンが、1つまたは複数のデータレーン内の対応するトランジスタ経路に整合するトランジスタ経路を有する、請求項12に記載の装置。

【請求項14】

前記ルートクロックおよび前記複数の他のクロックレーンによって供給される出力クロックが、対応するデータレーン内で使用され、前記第1のクロックレーンの前記第1のレベルの遅延セル用の入力、および前記第1のクロックレーン内の第2のレベルの遅延セル用の前記入力が、前記ルートクロックと前記複数の他のクロックレーンによって供給される前記出力クロックとの間のスキューを最小化するように、または前記ルートクロックと前記複数の他のクロックレーンによって供給される前記出力クロックとの間のスキューを最小化するように、あるいは前記ルートクロックに関連付けられたデータレーンと前記複数の他のクロックレーンによって供給される前記出力クロックに関連付けられたデータレーンとの間のスキューを最小化するように、選択される、請求項12に記載の装置。

【請求項15】

前記1つまたは複数のクロック信号が、第1の複数の遅延素子のうちの1つまたは複数によって遅延する左クロック信号と、第2の複数の遅延素子のうちの1つまたは複数によって遅延する右クロック信号とを含み、前記第1の複数の遅延素子が、IC上の第1のデータレーンの左側に配置されたいくつかのデータレーンに対応するいくつかの遅延素子を含み、前記第2の複数の遅延素子が、前記第1のデータレーンの右側に配置されたいくつかのデータレーンに対応するいくつかの遅延素子を含み、前記1つまたは複数のクロック信号のバージョンの間で選択するための前記手段が、前記第1のクロック信号として前記左クロック信号または前記右クロック信号を選択するように構成された論理手段を含む、請求項12に記載の装置。