

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6530658号
(P6530658)

(45) 発行日 令和1年6月12日 (2019.6.12)

(24) 登録日 令和1年5月24日 (2019.5.24)

(51) Int.Cl.	F I
HO 4 N 5/232 (2006.01)	HO 4 N 5/232 4 1 O
HO 4 N 5/378 (2011.01)	HO 4 N 5/378
GO 3 B 17/02 (2006.01)	GO 3 B 17/02

請求項の数 11 (全 18 頁)

(21) 出願番号	特願2015-139109 (P2015-139109)	(73) 特許権者	000001007
(22) 出願日	平成27年7月10日 (2015.7.10)		キヤノン株式会社
(65) 公開番号	特開2016-40905 (P2016-40905A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成28年3月24日 (2016.3.24)	(74) 代理人	100076428
審査請求日	平成30年7月10日 (2018.7.10)		弁理士 大塚 康徳
(31) 優先権主張番号	特願2014-163938 (P2014-163938)	(74) 代理人	100112508
(32) 優先日	平成26年8月11日 (2014.8.11)		弁理士 高柳 司郎
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 撮像装置およびその制御方法、プログラムならびに記録媒体

(57) 【特許請求の範囲】

【請求項 1】

被写体の画像データを生成し、前記画像データに電力供給制御情報を含める撮像手段と

、
前記画像データに対して所定の画像処理を行う画像処理手段と、

前記画像データを前記撮像手段から前記画像処理手段に伝送する伝送手段と、

前記電力供給制御情報に基づいて、前記伝送手段が前記画像データを伝送する際の
前記伝送手段への電力供給を制御し、前記画像処理手段が前記画像データを受信する際の
前記画像処理手段への電力供給を制御する制御手段と、を有することを特徴とする撮像装置。

【請求項 2】

前記電力供給制御情報は、前記画像データの各ラインに含まれることを特徴とする請求
項 1 に記載の撮像装置。

【請求項 3】

前記電力供給制御情報は、通常の電力供給状態と、前記通常の電力供給状態よりも電力
消費が少ない省電力状態とのいずれかの電力供給状態を示すことを特徴とする請求項 1 又
は 2 に記載の撮像装置。

【請求項 4】

前記省電力状態は、電力供給を行わない状態であることを特徴とする請求項 3 に記載の
撮像装置。

【請求項 5】

10

20

前記制御手段は、前記伝送手段が次のフレームの画像データを伝送する前に、前記省電力状態から前記通常の電力供給状態に復帰させることを特徴とする請求項 3 に記載の撮像装置。

【請求項 6】

前記伝送手段は、複数の伝送路を含み、

前記制御手段は、前記伝送手段の前記複数の伝送路の少なくとも 1 つに対する電力供給を制限することを特徴とする請求項 1 から 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記制御手段は、前記伝送手段が有する前記複数の伝送路のうちのいずれかが常に伝送可能となるように前記伝送手段への電力供給を制御することを特徴とする請求項 6 に記載の撮像装置。

10

【請求項 8】

前記撮像手段は積層型の撮像素子を含む
ことを特徴とする請求項 1 から 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

撮像手段が、被写体の画像データを生成し、前記画像データに電力供給制御情報を含める撮像工程と、

画像処理手段が、前記画像データに対して所定の画像処理を行う画像処理工程と、

伝送手段が、前記画像データを前記撮像手段から前記画像処理手段に伝送する伝送工程と、

20

制御手段が、前記電力供給制御情報に基づいて、前記伝送手段が前記画像データを伝送する際の前記伝送手段への電力供給を制御し、前記画像処理手段が前記画像データを受信する際の前記画像処理手段への電力供給を制御する制御工程と、を有することを特徴とする撮像装置の制御方法。

【請求項 10】

コンピュータを、請求項 1 から 8 のいずれか 1 項に記載の撮像装置の、撮像手段及び伝送手段を除く各手段として機能させるためのプログラム。

【請求項 11】

撮像装置が有するコンピュータに請求項 1 から 8 のいずれか 1 項に記載の撮像装置の、撮像手段及び伝送手段を除く各手段として機能させるためのプログラムを格納した、コンピュータが読み取り可能な記録媒体。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置およびその制御方法、プログラムならびに記録媒体に関し、特に撮像装置における電力制御技術に関する。

【背景技術】

【0002】

近年、撮像素子の多画素化や撮像素子からの読み出し速度の高速化に伴い、撮像素子とこれに接続される画像処理用の回路間に求められる伝送容量が増大している。このような背景のもと、撮像素子と画像処理用の回路間を接続する複数の伝送路に、画素データの識別情報を含むヘッダ情報を付加した画像データを送信することで、画像データを効率的に伝送する技術が開示されている（特許文献 1）。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2012 - 120158 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

特許文献 1 に開示された技術によれば、撮像素子と画像処理用の回路間における高容量の伝送を少ない回路規模で実現可能になる。

【 0 0 0 5 】

一方、求められる伝送容量の増大に伴って撮像素子と画像処理用の回路間の伝送路の数が増加することで、伝送に必要な消費電力が増加することが想定される。このため、効率的に消費電力を削減するための、撮像素子と画像処理用の回路間の伝送路および各回路の電力供給を制御する技術が望まれている。

【 0 0 0 6 】

本発明は、上述の従来技術の問題点に鑑みてなされ、撮像素子から出力されるデータの伝送または処理に係る消費電力を容易に低減することが可能な撮像装置およびその制御方法、プログラムならびに記録媒体を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 0 7 】

この課題を解決するため、例えば本発明の撮像装置は以下の構成を備える。すなわち、被写体の画像データを生成し、画像データに電力供給制御情報を含める撮像手段と、画像データに対して所定の画像処理を行う画像処理手段と、画像データを撮像手段から画像処理手段に伝送する伝送手段と、電力供給制御情報に基づいて、伝送手段が画像データを伝送する際の伝送手段への電力供給を制御し、画像処理手段が画像データを受信する際の画像処理手段への電力供給を制御する制御手段と、を有することを特徴とする。

20

【発明の効果】

【 0 0 0 8 】

本発明によれば、撮像素子から出力されるデータの伝送または処理に係る消費電力を容易に低減することが可能になる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】本発明の実施形態 1 に係る撮像装置の一例としてのデジタルカメラの機能構成例を示すブロック図

【図 2】本実施形態に係る送信部の機能構成例を示すブロック図

【図 3】本実施形態に係る受信部の機能構成例を示すブロック図

【図 4】本実施形態に係る電力制御処理を含む画素データに対する一連の処理を示すフローチャート

30

【図 5】本実施形態に係る画素データの読み出しタイミング及び各伝送路に対する電力供給状態を示す図

【図 6】本実施形態に係るヘッダとパケット構造の一例を示す図

【図 7】本実施形態に係る伝送路のパッファ構成の一例を示す図

【図 8】本実施形態に係る画像処理部の機能構成例を示すブロック図

【図 9】実施形態 2 に係る伝送路のパッファ構成の一例を示す図

【図 10】実施形態 2 に係る画素データの読み出しタイミング及び各伝送路に対する電力供給状態を示す図

【図 11】実施形態 2 に係るヘッダとパケット構造の一例を示す図

40

【図 12】実施形態 3 に係る画素データの読み出しタイミング及び各伝送路に対する電力供給状態を示す図

【図 13】実施形態 4 に係る画像データ生成部の機能構成例を示すブロック図

【図 14】実施形態 1 に係る他の形態としてのデジタルカメラの機能構成例を示すブロック図

【図 15】その他の実施形態に係る積層型の撮像素子の一例を示す図

【図 16】その他の実施形態に係る撮像装置の一例としての携帯電話機の機能構成例を示すブロック図

【発明を実施するための形態】

【 0 0 1 0 】

50

(実施形態１)

以下、本発明の例示的な実施形態について、図面を参照して詳細に説明する。なお、以下では撮像装置の一例として、撮像素子と、撮像素子から出力された信号を処理する信号処理部の間の伝送路や当該信号処理部の電力供給を制御可能な任意のデジタルカメラに本発明を適用した例を説明する。しかし、本発明は、デジタルカメラに限らず、このような電力供給の制御が可能な任意の電子機器にも適用可能である。これらの機器には、例えば携帯電話機、ゲーム機、タブレット端末、パーソナルコンピュータ、時計型や眼鏡型の情報端末などが含まれてよい。

【００１１】

(デジタルカメラ１００の構成)

図１は、本実施形態の撮像装置の一例としてデジタルカメラ１００の機能構成例を示すブロック図である。なお、図１に示す機能ブロックの１つ以上は、ＡＳＩＣやプログラマブルロジックアレイ（ＰＬＡ）などのハードウェアによって実現されてもよいし、ＣＰＵやＭＰＵ等のプログラマブルプロセッサがソフトウェアを実行することによって実現されてもよい。また、ソフトウェアとハードウェアの組み合わせによって実現されてもよい。従って、以下の説明において、異なる機能ブロックが動作主体として記載されている場合であっても、同じハードウェアが主体として実現されうる。

【００１２】

撮像部１０１は、画像データ生成部１０２および送信部１０３で構成される。画像データ生成部１０２は、光電変換素子を有する画素が複数、２次的に配列された構成を有する撮像素子を含む。撮像素子は、例えばＣＣＤ（Charge-Coupled Device）イメージセンサやＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサである。撮像素子は、不図示の撮影光学系により結像された被写体光学像を各画素で光電変換し、さらにＡ／Ｄ変換回路によってアナログ・デジタル変換して、画像データを構成する画素単位のデジタル信号（画素データ）を送信部１０３に出力する。

【００１３】

送信部１０３の詳細な構成について図２を参照して説明する。送信部１０３を構成するデータ入力部２０１は、画像データ生成部１０２から出力された画素データを入力して、後の処理ブロックであるパケット生成部２０３に画素データを出力する。ヘッダ生成部２０２は、後述する電力制御を行うための制御情報（電力制御情報）を付加したヘッダを生成してパケット生成部２０３に出力する。

【００１４】

パケット生成部２０３は、データ入力部２０１から入力した画素データに、ヘッダ生成部２０２で生成したヘッダを付加してパケットを生成する。伝送レーン分配部２０４は、パケット生成部２０３から入力したパケットを伝送レーン数に応じて振り分ける。制御コード付加部２０５は、入力したパケットに制御コードを付加して、伝送路出力部２０６に出力する。伝送路出力部２０６は、制御コード付加部２０５において制御コードが付加されたパケットを伝送路１０４に出力して、当該パケットを信号処理部１０５に送信する。

【００１５】

伝送路１０４は、撮像部１０１から出力されたデータを信号処理部１０５に伝送するための伝送路であり、複数の伝送路で構成される。後述するように、撮像部１０１の送信部１０３または信号処理部１０５の受信部１０６により、各伝送路のそれぞれに予め定められた電力量の電力を供給（例えば電源ＯＮ）あるいは制限（例えば電源ＯＦＦ）し、各伝送路の電力供給を制御することができる。なお、以下において電力供給を制御することを電力制御あるいは電源を制御するなどともいう。

【００１６】

信号処理部１０５は、例えばＤＳＰ（Digital Signal Processor）であり、所定のデジタル演算処理を高速に実行するためのプロセッサである。信号処理部１０５は、内部にさらに受信部１０６および画像処理部１０７を有する。

【００１７】

詳細な受信部 106 の機能構成例について図 3 を参照して説明する。受信部 106 を構成する伝送路入力部 301 は、伝送路 104 を介して撮像部 101 から送信されたパケットを受信する。制御コード除去部 302 は、受信したパケットから制御コードを除去し、ヘッダと画素データのみを伝送レーン統合部 303 に出力する。伝送レーン統合部 303 は、複数の伝送路に振り分けられていた画素データを 1 ライン分にまとめてヘッダ処理部 304 に出力する。ヘッダ処理部 304 は、パケットに付加されたヘッダから電力制御情報を取得して、この電力制御情報に応じた処理を実行するとともにヘッダを除去した画素データのみを出力する。ヘッダ処理部 304 は、電力制御情報に応じた処理を実行するため、制御部 108 との通信を行う。データ出力部 305 は、ヘッダ処理部 304 から入力した画素データを画像処理部 107 に出力する。

10

【0018】

画像処理部 107 は、受信部 106 から入力した画素データに基づいて 1 フレームの画像データを形成する。さらに、形成された画像データに色やゲイン等に対する各種補正処理および圧縮処理を施す。画像処理部 107 は、各種処理を施した画像あるいは動画を記録媒体 109 および表示部 110 に出力する。

【0019】

制御部 108 は、例えば CPU もしくは MPU、ROM、RAM を有し、例えば CPU が ROM に格納されたプログラムを RAM の作業エリアに展開して、実行することにより、デジタルカメラ 100 を構成する各機能ブロックを制御する。

【0020】

20

記録媒体 109 は、画像処理部 107 から出力された画像あるいは動画を記録するためのメモリカード等の記録媒体であり、半導体メモリや磁気ディスク等から構成され、着脱可能に接続される。

【0021】

表示部 110 は、画像処理部 107 から出力された画像あるいは動画の表示を行う。表示部 110 は、撮影光学系の絞りや ISO 感度などの各種撮影設定をユーザに操作させるためにメニュー画面の表示を行う。

【0022】

(電力制御処理に係る一連の動作)

次に、図 4 に示すフローチャートおよび図 5 ~ 図 8 を参照して、電力制御処理に係る一連の動作、即ち伝送路 104 および画像処理部 107 のそれぞれに対する電力制御により消費電力を低減する一連の処理について説明する。

30

【0023】

なお、デジタルカメラ 100 において例えばライブビュー表示が行われている状態で、ユーザによって不図示の撮像開始釦が押下された場合に本処理が開始される。

【0024】

S401 において、画像データ生成部 102 は、制御部 108 の指示に基づいて、撮像処理を行う。画像データ生成部 102 は、適切に露光を行って撮像素子から画素データの読み出しを開始する。画像データ生成部 102 は、図 5 に示す同期信号 VD のサイクル、即ち 1 フレーム期間内 (例えば 60 分の 1 秒) に有効画素データを読み出すとともに、所定の範囲 (例えば 1 ライン) ごとの画素データを同期信号 HD の単位で順次読み出す。また、ライン 1 からライン N で構成する有効画素領域の全ての有効画素データを読み出した後には、ブランキング期間を設ける。画像データ生成部 102 は、読み出した画素データを、1 ラインごとに順次送信部 103 に出力する。

40

【0025】

S402 において、送信部 103 は、撮像処理により読み出された画素データの送信処理を行なう。送信部 103 に入力された画素データは、送信部 103 の内部のデータ入力部 201 に入力される。データ入力部 201 は、送信対象の画素データを 1 ラインごとに入力する。

【0026】

50

ヘッダ生成部 202 は、画素データにヘッダ情報として付加する付加情報を生成する。本実施形態においてヘッダ生成部 202 は、例えば複数の伝送路 104 と画像処理部 107 に対する電力制御情報を含むヘッダ情報を生成する。ヘッダ生成部 202 が生成するヘッダ情報を図 6 (a) に示す。ヘッダのビット 0 (bit [0]) は伝送路 104 の電力制御情報を、ビット 1 (bit [1]) は画像処理部 107 の電力制御情報を表し、各ビットが “1” のときに電源が ON の状態に、“0” のときに電源が OFF の状態に制御することを示す。ヘッダ生成部 202 は、電力が供給される伝送路 104 および画像処理部 107 などの対象ごとに付加情報を付加可能である。なお、本実施形態では、電力制御の対象を伝送路 104 と画像処理部 107 とするためにそれぞれを識別するために最低限必要な 2 ビットのヘッダ情報を用いるが、特に 2 ビットに限定されるものではない。ヘッダ情報にはその他の用途に用いるために、画像データ生成部 102 の領域情報や行情報などをさらに付加情報に付加してもよい。このようにすれば、ヘッダ情報を参照するだけで電力制御情報と対応する画素データを容易に特定することができる。

【0027】

パケット生成部 203 は、データ入力部 201 から出力された 1 ライン分の画素データに、ヘッダ生成部 202 で生成されたヘッダ情報を付加する。1 ライン分の画素データにヘッダ情報を付加したパケットのパケット構造は例えば図 6 (b) のようになる。Start Code 601 および End Code 604 は、1 ライン分の画素データを含むパケットの開始および終了を示す制御コードであり、ヘッダ 602 は上述のヘッダ生成部 202 により生成された電力制御情報が設定される。画素データ 603 は撮像素子から読み出された 1 ライン分の画素データである。パケット生成部 203 は、ヘッダ情報を付加したパケットを伝送レーン分配部 204 に出力する。

【0028】

伝送レーン分配部 204 は、伝送路の数に応じて画素データを分配する。分配方法については、どのような方法であっても良いが、例えばヘッダおよび画素データを先頭から 1 バイトずつ順に伝送路のレーン 0、レーン 1... のように割り当てて分配してもよい。分配されたパケットは制御コード付加部 205 に出力され、制御コード付加部 205 は、本パケットの先頭および終端に Start Code 605 および End Code 608 を付加してもよい。図 6 (c) は、生成されたパケットが複数の伝送路 (レーン番号 0 ~ 3) にそれぞれ割り当てられて分配されたパケットの構成を示している。Start Code 605 は、分配されたパケットの開始タイミングを示す。また、End Code 608 は本パケットを受信する側に対して分配したパケットの終了タイミングを示す。そして本パケットを受信する側は、Start Code 605 と End Code 608 の間を分配されたヘッダ 606 および画素データ 607 として認識する。なお、ヘッダ 606 は分配元のヘッダ 602 が 4 バイト以上の長さで構成され、各伝送路に分配された場合を例示したものである。ヘッダ 602 が 4 バイトに満たない場合の分配先のヘッダについては、ヘッダ情報を挿入しない、あるいはパディング用のデータを挿入する等の処理を行ってもよい。制御コード付加部 205 は、Start Code 605 および End Code 608 を付加するとパケットを伝送路出力部 206 に出力する。伝送路出力部 206 に入力されたパケットは、複数の伝送路 104 のうち対応する伝送路に出力され、信号処理部 105 の受信部 106 に対して送信される。

【0029】

S403 において、受信部 106 は、撮像した画素データの受信処理を行なう。複数の伝送路 104 を介して受信したパケットは、伝送路入力部 301 に入力される。このとき、パケットの Start Code 601 と End Code 604 の位置から受信すべきパケットを判別する。伝送路入力部 301 に入力されたパケットは、制御コード除去部 302 に出力され、制御コード除去部 302 はパケットの制御コードを除去する。つまり、パケットは、ヘッダ 602 と画素データ 603 のみの構成となる。

【0030】

伝送レーン統合部 303 は、複数の伝送路を介して受信した画素データをまとめて再び

10

20

30

40

50

1ライン分の画素データに統合する。

【0031】

S404において、ヘッダ処理部304は、ヘッダ情報の処理を行う。ヘッダ処理部304は、統合されたパケットを入力すると同時に、入力されたパケットに付随するヘッダ情報に応じた処理を実行する。図5に示したように、画像データ生成部102の有効画素領域が1行目からN行目であるとする。この場合、例えば1行目からN-1行目までの画素データに付加された電力制御情報のbit[0]が“1”、N行目の画素データに付加された電力制御情報のbit[0]が“0”に設定されている。

【0032】

ここで伝送路の伝送路出力部206および伝送路入力部301のバッファ構成を図7に示す。電力制御情報のbit[0]が“1”である場合、ヘッダ処理部304は、制御部108を介して伝送路出力部206の電力制御スイッチ701および伝送路入力部301の電力制御スイッチ702をONにする。また、電力制御情報がbit[0]が“0”である場合、制御部108を介して伝送路出力部206の電力制御スイッチ701と伝送路入力部301の電力制御スイッチ702をOFFにする。つまり、有効画素領域の終端であるN行目の画素データが伝送された後に伝送路出力部206および伝送路入力部301の電源をOFFに制御する。即ち、受信した画素データに付加された電力制御情報に基づいて、伝送路の電力（あるいは電力供給状態）を制御することが可能になる。従って、撮像部101は、撮像部101からデータが読み出されるタイミングで電力制御情報を送信可能となり、信号処理部105は画素データを受信したタイミングで電力制御情報を処理可能

【0033】

次に、S405において、画像処理部107は、データ出力部305から入力された画素データに対して画像生成処理を行う。図8に画像処理部107の構成を示す。画像生成部801においてS405における画像生成を、補正処理部802では各種補正処理を、圧縮部803では補正後の画素データの圧縮処理を行う。画像生成部801は、データ出力部305から1フレーム分の画素データから画像を形成する。

【0034】

そして、S406において、補正処理部802および圧縮部803は、形成された画像に対して画像処理、即ち上述の各種補正処理および圧縮処理を行う。圧縮部803は、1フレーム分の画像に対する処理が完了すると、画像処理部107の処理が全て終了したことを伝える完了通知を制御部108に送信する。制御部108は、受信した完了通知とヘッダの電力制御情報のbit[1]に基づいて、画像処理部107へのクロック供給または電源を制御する。また、圧縮部803が直接画像処理部107のクロック供給の制御、または電源の制御を実行してもよい。例えば、1~N-1行目の画素データに付加するヘッダの電力制御情報のbit[1]を“1”とする。この場合、画像処理部107の各ブロックへのクロック供給または電力の供給が行われる。一方、N行目のヘッダの電力制御情報のbit[1]を“0”にしておき、かつ1フレーム分の画像処理が終わった際の圧縮部803による処理の完了通知が制御部108に送信される。ヘッダの電力制御情報と、圧縮部803の処理の完了通知に基づいて、制御部108は画像処理部107のクロック供給を停止または電源をOFFにする。

【0035】

S407において、制御部108は、画像処理部107に対する電力制御を完了した後、形成した画像データを表示部110に表示させる。さらにS408において、記録媒体109に対して画像データの保存を行わせると、本電力制御処理に係る一連の動作を終了する。

【0036】

上述のように、有効画素領域の画素データに付加したヘッダ情報、つまり電力制御情報に基づいて伝送路および画像処理部107の電力制御を行うことで、図5に示す画素データを読み出していない期間（以下、ブランキング期間）の消費電力を削減することができ

10

20

30

40

50

る。

【 0 0 3 7 】

さらに、上述した電力制御処理により伝送路および画像処理部 1 0 7 の電力を O F F にした場合に、再度次のフレームの画素データの読み出しを開始する際に伝送路および画像処理部 1 0 7 の電力を O N にする処理について説明する。

【 0 0 3 8 】

伝送路 1 0 4 および画像処理部 1 0 7 の電源を次のフレームにおいて O N にする場合、制御部 1 0 8 は、ブランキング期間において、例えば制御部 1 0 8 からのシリアル通信を用いて伝送路 1 0 4 および画像処理部 1 0 7 を制御する。可能な限り消費電力を低減させるために、通信タイミングは次のフレームが開始される直前にすることができる。具体的なタイミングは、例えば図 5 に示すフレーム 2 の開始直前の 1 H D 期間であり、制御部 1 0 8 は、当該期間にてシリアル通信を送信するようにすればよい。また、図 5 に示すフレーム同期信号 V D に同期して伝送路 1 0 4 および画像処理部 1 0 7 の電源を O N させてもよい。このようにすれば、画素データの送信および受信のために電力を必要とするタイミングまで電力の消費を抑えることができる。

【 0 0 3 9 】

なお、本実施形態は図 1 4 に示すデジタルカメラ 1 4 0 0 の構成においても適用可能である。即ち、図 1 のデジタルカメラ 1 0 0 の構成と比較して撮像部 1 4 0 1 の中に画像処理部 1 4 0 2 が含まれている。画像データ生成部 1 0 2 から読み出された画素データは、撮像部 1 4 0 1 の中で各種画像処理が施された後に、送信部 1 0 3 によってパケット化され、伝送路 1 0 4 を介して受信部 1 0 6 に出力される。受信部 1 0 6 のヘッダ処理部 3 0 4 は、ヘッダの電力制御情報の b i t [0] および b i t [1] に基づいて、伝送路 1 0 4 の電源と画像処理部 1 4 0 2 へのクロック供給または電源の制御を行う。電力制御情報の b i t [0] が “ 1 ” である場合、ヘッダ処理部 3 0 4 は、制御部 1 0 8 を介して伝送路出力部 2 0 6 の電力制御スイッチ 7 0 1 および伝送路入力部 3 0 1 の電力制御スイッチ 7 0 2 を O N にする。また、電力制御情報の b i t [0] が “ 0 ” である場合、ヘッダ処理部 3 0 4 は、伝送路出力部 2 0 6 の電力制御スイッチ 7 0 1 と伝送路入力部 3 0 1 の電力制御スイッチ 7 0 2 を O F F にする。従って、ヘッダ処理部 3 0 4 は、デジタルカメラ 1 0 0 における動作と同様に、有効画素領域の終端である N 行目の画素データが伝送された後に、伝送路出力部 2 0 6 および伝送路入力部 3 0 1 の電源を O F F にする。

【 0 0 4 0 】

一方、画像処理部 1 4 0 2 の電力制御については、N 行目の画素データに付加されたヘッダの電力制御情報の b i t [1] が “ 0 ” である場合、ヘッダ処理部 3 0 4 は画像処理部 1 4 0 2 のクロック供給を停止、もしくは電源を O F F にする。また、ヘッダ処理部 3 0 4 は、デジタルカメラ 1 0 0 と同様に、伝送路 1 0 4 および画像処理部 1 4 0 2 の電力を O F F にした後は、再度次フレームの読み出しが開始される前に伝送路 1 0 4 および画像処理部 1 4 0 2 の電力を O N にする。このとき、ヘッダ処理部 3 0 4 は、シリアル通信およびフレーム同期信号 V D に基づいて各電源を O N にする。

【 0 0 4 1 】

なお、各実施形態における電力制御において、伝送路 1 0 4 や画像処理部 1 0 7 等の各機能ブロックに対して、電源を O N 、 O F F することにより電力供給を制御する例を説明した。しかし、必ずしも各構成の電源を O F F にする必要はなく、例えば省電力供給状態のように消費電力を低下させる電力供給状態に変更または遷移させてもよい。このようにしても、撮像素子から出力されるデータの伝送または一連の信号処理に係る消費電力を容易に低減できる。この場合、ヘッダ生成部 2 0 2 は、例えば電力制御情報の設定において、電源を O N にした状態を通常の電力供給状態として “ 1 ” を割り当て、通常時より少ない省電力供給状態に対して “ 0 ” を割り当てる。

【 0 0 4 2 】

以上説明したように本実施形態では、撮像部 1 0 1 により生成される画素データを含むパケットにヘッダ情報として電力制御情報を付加するようにした。そして、撮像部 1 0 1

10

20

30

40

50

から画素データを受信した受信部 106 において当該電力制御情報に応じて伝送路 104 や画像処理部 107 に供給する電力を制御するようにした。このようにすることで、撮像部 101 が撮像部 101 から画素データが読み出されるタイミングで（即ち動作状況に応じて）動的に電力制御情報を送信できる。さらに、信号処理部 105 は画素データを受信したタイミングで電力制御情報を処理できるため、画素データの送受信に対してより厳密なタイミングで電力制御が行えるようになる。即ち撮像素子から出力されるデータの伝送または処理に係る消費電力を容易に低減することが可能になる。

【0043】

（実施形態 2）

次に、実施形態 2 について説明する。実施形態 2 では、複数の伝送路のうち、少なくとも 1 つの伝送路の電源を常時 ON にしてパケットを送送可能にする構成が実施形態 1 と異なる。より具体的には、本実施形態の伝送路出力部 901 および伝送路入力部 902 が実施形態 1 と異なるが、その他の構成は実施形態 1 と同一である。このため、同一の構成については同一の符号を付して重複する説明は省略し、相違点について重点的に説明する。

【0044】

伝送路の伝送路出力部 901 および伝送路入力部 902 のバッファ構成について図 9 を参照して説明する。有効画素領域の N 行目の電力制御情報の bit[0] が “0” のとき、伝送路出力部 901 および伝送路入力部 902 のバッファの電源は 4 レーンのうち 3 レーンが OFF にされ、1 レーンは ON の状態を維持する。これは、N 行目以降のブランキング期間に 1 レーンを使ってヘッダを送信するための伝送路を確保するためである。即ち、ブランキング期間に電力制御情報を送信することが可能になる。

【0045】

図 10 は、本実施形態におけるタイミングチャートを示している。上述の図 5 と異なり、レーン 0 の伝送路は常に電源が ON となっている。フレーム 2 における画素データ（ライン 1）の読み出しが開始される前に、伝送路（レーン 0）を活用して電力制御情報の bit[0] を “1” にして送信を行う。なお、当該電力制御情報を送信する際の画素データはダミーデータや空のデータであってよい。ヘッダ処理部 304 は、この電力制御情報に基づいて制御部 108 に対して電源が OFF となっている 3 つの伝送路を対象に電源を ON にするように通知を出す。

【0046】

上記のように、伝送路のうち少なくとも 1 レーンの電源を常時 ON にしておく構成により、電源を OFF にしたその他の伝送路を復帰させるタイミングを容易に制御することが可能になる。即ち、フレームの先頭行の画素データの読み出しが開始するタイミングに合わせて電源を OFF にしたその他の伝送路を復帰させることが可能である。また、実施形態 1 では電源を ON にする制御を制御部 108 が行うため、制御部 108 が VD および HD 期間をモニタした上で電源を ON にする制御を行う必要があったが、本実施形態を採用することで制御部 108 における上述のモニタを行う構成が不要となる。

【0047】

以上説明したように、本実施形態では、複数の伝送路のうちの少なくとも 1 つを電力制御情報の送受信のために常に電源を ON にして、次のフレームの画素データの送信が開始される直前に電力制御情報を送信できるようにした。このようにすることで、撮像素子から出力されるデータの伝送または処理に係る消費電力を容易に低減することが可能になるほか、電源を OFF にしたその他の伝送路を復帰させるタイミングを容易に制御することができる。また、制御部 108 は VD および HD 期間のモニタする必要が無くなるため、伝送路を復帰させるための制御部 108 の構成を簡略化することが可能になる。

【0048】

（実施形態 3）

さらに、実施形態 3 について説明する。本実施形態は、電力制御用の bit の代わりに画素データのライン情報をヘッダに含む構成である点が上述の実施形態と異なる。このため、各機能ブロックの構成は上述の実施形態と同一でよく、同一の構成については同一の

10

20

30

40

50

符号を付して重複する説明は省略し、相違点について重点的に説明する。

【 0 0 4 9 】

図 1 1 は、本実施形態で用いるヘッダおよびパケットの構造を示している。本実施形態では、ヘッダ情報として 1 3 ビットのライン情報を設定し、伝送路 1 0 4 および画像処理部 1 0 7 の電力制御を、画素データのライン情報を表すヘッダに基づいて行う。なお、ヘッダ情報は 1 3 ビットに限定されるものではない。

【 0 0 5 0 】

ヘッダ処理部 3 0 4 は、所定の行のライン情報をヘッダから得ることが可能である。例えば、画像データ生成部 1 0 2 の有効画素領域が図 1 2 に示すように 0 行目から 8 1 9 1 行目で構成される場合、各行が何行目に該当するかを示すライン情報をヘッダとする。なお、本実施形態は、実施形態 2 と同様に複数の伝送路のうちの 1 つの伝送路の電源が常に ON である状態として説明する。

【 0 0 5 1 】

例えば、図 1 2 に示すように有効画素領域の最終行が 8 1 9 1 行目であり、ブランキング期間に伝送路 1 0 4 の電力を制御する場合、ヘッダ処理部 3 0 4 は、8 1 9 1 行目のライン情報に基づいて制御部 1 0 8 に伝送路 1 0 4 の電力制御を開始する通知を行う。例えば、ヘッダ処理部 3 0 4 は、予め記憶した電源の状態を変更するためのライン番号とヘッダに記述されたラインが一致する場合に、電力制御を開始する通知を行う。制御部 1 0 8 は、ヘッダ処理部 3 0 4 からの電力制御開始の通知に従って、図 7 に示した電力制御スイッチ 7 0 1 および 7 0 2 を OFF にする。また、ヘッダ処理部 3 0 4 が直接電力制御スイッチ 7 0 1 および 7 0 2 を OFF にしてもよい。

【 0 0 5 2 】

一方、制御部 1 0 8 は、画像処理部 1 0 7 の電力を制御する場合、画像処理部 1 0 7 の処理が全て終了したことを伝える圧縮部 8 0 3 から送信される完了通知とヘッダのライン情報に基づいて、画像処理部 1 0 7 へのクロック供給または電源を制御する。なお、圧縮部 8 0 3 が直接画像処理部 1 0 7 のクロック供給の制御、または電源の制御を実行してもよい。

【 0 0 5 3 】

制御部 1 0 8 は、次のフレームに対して伝送路 1 0 4 および画像処理部 1 0 7 の電源を ON にする場合、上述の実施形態と同様に、ブランキング期間に伝送路 1 0 4 および画像処理部 1 0 7 を制御する。

【 0 0 5 4 】

以上説明したように、本実施形態では、上述の実施形態において用いた電力制御専用の b i t ではなく、有効画素領域のライン情報を表す b i t を使用して、伝送路 1 0 4 および画像処理部 1 0 7 の電力制御を行うようにした。このようにすることで、上述の実施形態のように電力制御専用の b i t を新たに設ける必要がなく、容易な構成で伝送路 1 0 4 および画像処理部 1 0 7 の電力制御を行うことが可能になる。即ち、他の要件によりライン情報を示す b i t を設けていれば、この情報を利用して伝送路 1 0 4 および画像処理部 1 0 7 の電力制御を行うことが可能になる。

【 0 0 5 5 】

(実施形態 4)

さらに実施形態 4 について説明する。本実施形態では、伝送路 1 0 4 および画像処理部 1 0 7 の電力制御に加えて、画像データ生成部 1 3 0 0 の電力制御を行う点で上述の実施形態と異なる。このため、画像データ生成部 1 3 0 0 以外の構成は上述の実施形態と同一でよく、同一の構成については同一の符号を付して重複する説明は省略し、相違点について重点的に説明する。

【 0 0 5 6 】

本実施形態に係る画像データ生成部 1 3 0 0 の構成を図 1 3 に示す。光電変換領域を有する画素部 1 3 0 1 は垂直出力線 1 3 0 2 によって列方向に接続され、各画素部 1 3 0 1 の出力は列アンプ 1 3 0 3 に入力される。各列アンプ 1 3 0 3 の電源は制御スイッチ 1 3

10

20

30

40

50

04により制御される。列アンプ1303によって所定のゲインがかけられた画素信号は、コンパレータ1305に入力される。コンパレータ1305の他方の入力には、参照信号生成器1306の信号が入力され、コンパレータ1305は、画素信号と参照信号とを比較する。また、コンパレータ1305の電源は、制御スイッチ1307で制御される。
【0057】

コンパレータ1305の出力はラッチ回路1308に入力され、コンパレータ1305の出力が変化したタイミングでのカウンタ1309のカウント値がラッチされる。列メモリ1310は、ラッチされたカウンタ値をデジタル信号として記憶しておき、画像データ生成部1300に接続された送信部103に列ごとに画素データを出力する。

【0058】

次に、本実施形態における電力制御について説明する。本実施形態では、上述の伝送路104および画像処理部107の電力制御に加えて、列アンプ1303およびコンパレータ1305の電源を制御する。

【0059】

受信部106のヘッダ処理部304は、電力制御情報のbit[0]が“1”のとき、電力制御スイッチ701、電力制御スイッチ702に加えて、制御スイッチ1304および制御スイッチ1307をONにする。つまり、有効画素領域の1～N-1行目の画素データが伝送される期間は伝送路出力部206、伝送路入力部301、列アンプ1303、コンパレータ1305の電源はONに設定される。一方、電力制御情報のbit[0]が“0”である場合、ヘッダ処理部304は、電力制御スイッチ701、電力制御スイッチ702に加えて、制御スイッチ1304および制御スイッチ1307をOFFにする。従って、有効画素領域の終端であるN行目の画素データが伝送された後に伝送路出力部206、伝送路入力部301、列アンプ1303およびコンパレータ1305の電源がOFFにされる。

【0060】

また、電源がOFFとなった列アンプ1303、コンパレータ1305に対して、制御部108は、例えばランキング期間の終了前の所定のタイミングにおいて、例えばシリアル通信を用いて列アンプ1303、コンパレータ1305の電源をONに制御する。

【0061】

以上説明したように本実施形態では、伝送路104および画像処理部107のみならず、画像データ生成部1300の各種内部電源を1フレーム期間において動的に制御するようにした。このようにすることで、さらに撮像部における電力の消費を低減することができ、システム全体としての消費電力をさらに抑えることが可能になる。

【0062】

(その他の実施形態)

また、本発明は、以下に示す他の実施形態に対しても適用可能である。例えば、図15(a)及び(b)に示す積層型の撮像素子1500に対して本発明を適用できる。図15(a)及び(b)に示す様に、本実施形態の撮像素子1500は、イメージセンサ用チップ1501と高速ロジックプロセス用チップ1502がチップレベルで積層されている。図15(a)は斜投影図、図15(b)は各チップの上面図を示している。イメージセンサ用チップ1501には画素部1505を含む領域が含まれ、高速ロジックプロセス用チップ1502には列AD変換回路や水平走査回路などデジタルデータを含む高速処理が可能な部分1503および1504が含まれる。上述の図14の構成において、例えば、画像データ生成部102に含まれる撮像素子の画素部がイメージセンサ用チップ1501の画素部1505に対応する。また、画像データ生成部102に含まれる撮像素子の列AD変換回路や水平走査回路と撮像素子以外のその他の回路、画像処理部1402、送信部103、が高速ロジックプロセス用チップ1502に配置されるように構成すれば良い。

【0063】

さらに、本発明は、撮像装置の一例としての図16に示す携帯電話機1600にも適用可能である。図16は、携帯電話機1600の機能構成を示すブロック図である。携帯電

10

20

30

40

50

話機 1 6 0 0 は、音声通話機能の他、電子メール機能や、インターネット接続機能、画像の撮影、再生機能等を有する。通信部 1 0 1 0 は、ユーザが契約した通信キャリアに従う通信方式により他の電話機との間で音声データや画像データを通信する。音声処理部 1 0 2 0 は、音声通話時において、マイクロフォン 1 0 3 0 からの音声データを発信に適した形式に変換して通信部 1 0 1 0 に送る。また、音声処理部 1 0 2 0 は、通信部 1 0 1 0 から送られた通話相手からの音声データを復号し、スピーカ 1 0 4 0 に送る。撮像部 1 0 5 0 は、被写体の画像を撮影し、画素データを出力する。撮像部 1 0 5 0 は、各実施形態において上述した撮像部 1 0 1 または撮像部 1 4 0 1 を含む。また、撮像部 1 0 5 0 と画像処理部 1 0 6 0 は、各実施形態で上述した複数の伝送路 1 0 4 で接続されているものとする。画像処理部 1 0 6 0 は、各実施形態で上述した信号処理部 1 0 5 を含み、画像の撮影時においては、伝送路 1 0 4 を介して入力した撮像部 1 0 5 0 により撮影された画素データを処理し、記録に適した形式に変換して出力する。また、画像処理部 1 0 6 0 は、記録された画像の再生時には、再生された画像を処理して表示部 1 0 7 0 に送る。表示部 1 0 7 0 は、数インチ程度の液晶表示パネルを備え、制御部 1 0 9 0 からの指示に応じて各種の画面を表示する。不揮発メモリ 1 0 8 0 は、アドレス帳の情報や、電子メールのデータ、撮像部 1 0 5 0 により撮影された画像データ等のデータを記憶する。

10

【 0 0 6 4 】

制御部 1 0 9 0 は、CPU やメモリ等を有し、不図示のメモリに記憶された制御プログラムに従って携帯電話機 1 6 0 0 の各部を制御する。操作部 1 1 0 0 は、電源ボタンや番号キー、その他ユーザがデータを入力するための各種の操作キーを備える。メモリ I F 1 1 1 0 は、メモリカードなどの記録媒体 1 1 2 0 に対して各種のデータを記録再生する。外部 I F 1 1 3 0 は、不揮発メモリ 1 0 8 0 や記録媒体 1 1 2 0 に記憶されたデータを外部機器に送信し、また、外部機器から送信されたデータを受信する。外部 I F 1 1 3 0 は、USB 等の有線の通信方式や、無線通信など、公知の通信方式により通信を行う。

20

【 0 0 6 5 】

次に、携帯電話機 1 6 0 0 における音声通話機能を説明する。通話相手に対して電話をかける場合、ユーザが操作部 1 1 0 0 の番号キーを操作して通話相手の番号を入力するか、不揮発メモリ 1 0 8 0 に記憶されたアドレス帳を表示部 1 0 7 0 に表示し、通話相手を選択し、発信を指示する。発信が指示されると、制御部 1 0 9 0 は通信部 1 0 1 0 に対し、通話相手に発信する。通話相手に着信すると、通信部 1 0 1 0 は音声処理部 1 0 2 0 に対して相手の音声データを出力すると共に、ユーザの音声データを相手に送信する。

30

【 0 0 6 6 】

また、電子メールを送信する場合、ユーザは、操作部 1 1 0 0 を用いて、メール作成を指示する。メール作成が指示されると、制御部 1 0 9 0 は、メール作成用の画面を表示部 1 0 7 0 に表示する。ユーザは操作部 1 1 0 0 を用いて送信先アドレスや本文を入力し、送信を指示する。制御部 1 0 9 0 は、メール送信が指示されると、通信部 1 0 1 0 に対しアドレスの情報とメール本文のデータを送る。通信部 1 0 1 0 は、メールのデータを通信に適した形式に変換し、送信先に送る。また、通信部 1 0 1 0 は、電子メールを受信すると、受信したメールのデータを表示に適した形式に変換し、表示部 1 0 7 0 に表示する。

40

【 0 0 6 7 】

次に、携帯電話機 1 6 0 0 における撮影機能について説明する。ユーザが操作部 1 1 0 0 を操作して撮影モードを設定した後、静止画或いは動画の撮影を指示すると、撮像部 1 0 5 0 は、静止画データ或いは動画データを撮影して画像処理部 1 0 6 0 に送る。画像処理部 1 0 6 0 は、撮影された静止画データや動画データを処理し、不揮発メモリ 1 0 8 0 に記憶する。また、画像処理部 1 0 6 0 は、撮影された静止画データや動画データをメモリ I F 1 1 1 0 に送る。メモリ I F 1 1 1 0 は、静止画や動画データを記録媒体 1 1 2 0 に記憶する。

【 0 0 6 8 】

また、携帯電話機 1 6 0 0 は、この様に撮影された静止画や動画データを含むファイルを、電子メールの添付ファイルとして送信することができる。具体的には、電子メールを

50

送信する際に、不揮発メモリ 1080 や記録媒体 1120 に記憶された画像ファイルを選択し、添付ファイルとして送信を指示する。

【0069】

また、携帯電話機 1600 は、撮影された静止画や動画データを含むファイルを、外部 I/F 1130 により PC や他の電話機等の外部機器に送信することもできる。ユーザは、操作部 1100 を操作して、不揮発メモリ 1080 や記録媒体 1120 に記憶された画像ファイルを選択し、送信を指示する。制御部 1090 は、選択された画像ファイルを不揮発メモリ 1080 或いは記録媒体 1120 から読み出し、外部機器に送信するよう、外部 I/F 1130 を制御する。

【0070】

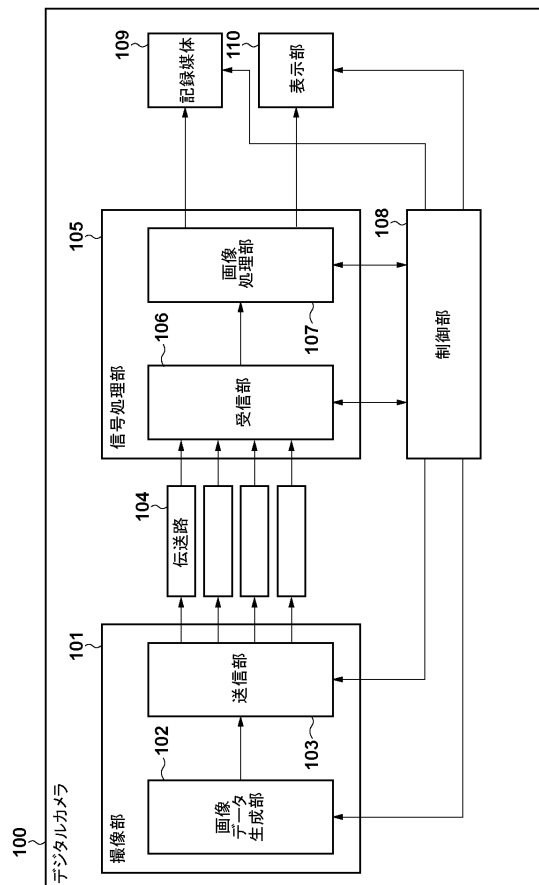
本発明は、上述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路（例えば、ASIC）によっても実現可能である。

【符号の説明】

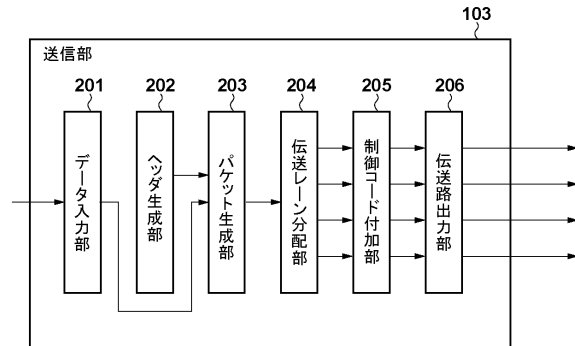
【0071】

101...撮像部、102...画像データ生成部、103...送信部、104...伝送路、106...受信部、107...画像処理部、108...制御部

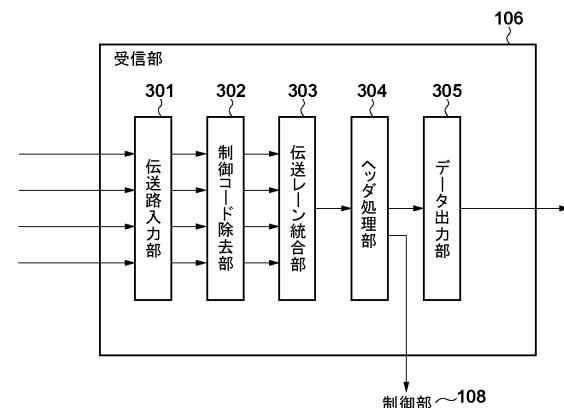
【図 1】



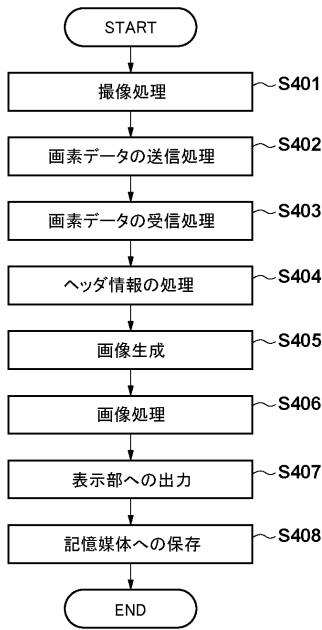
【図 2】



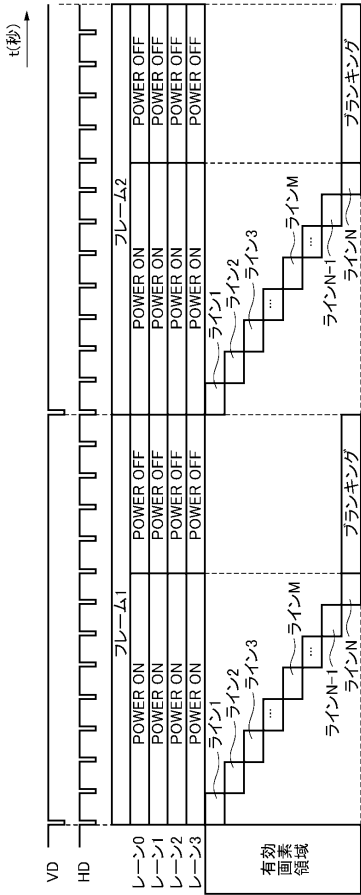
【図 3】



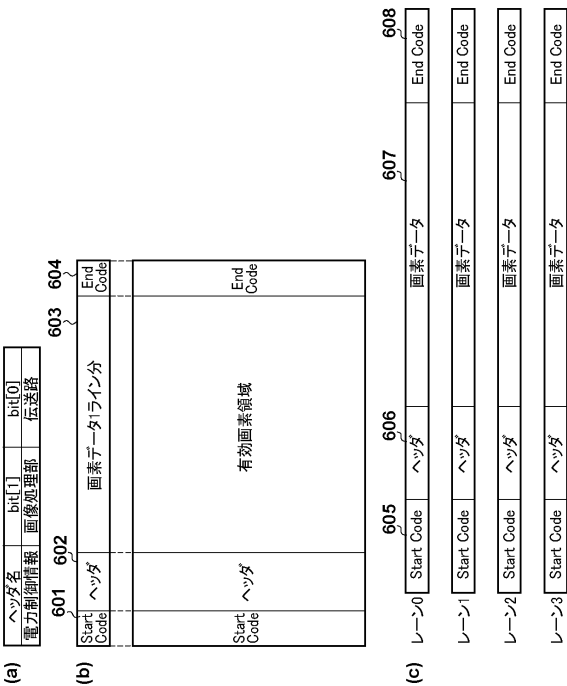
【図 4】



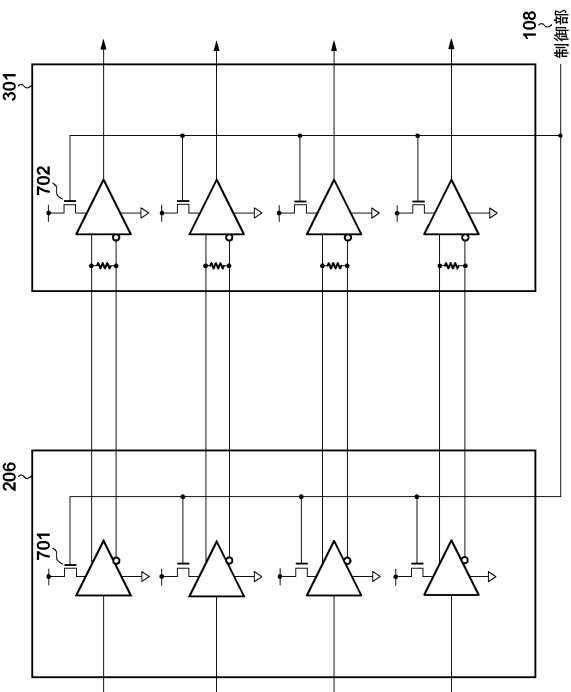
【図 5】



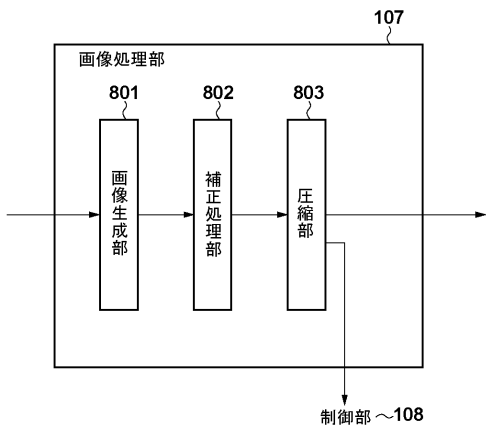
【図 6】



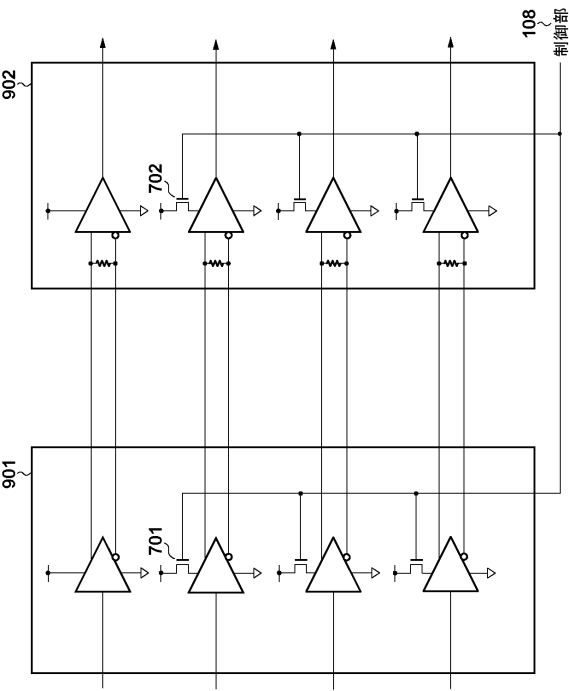
【図 7】



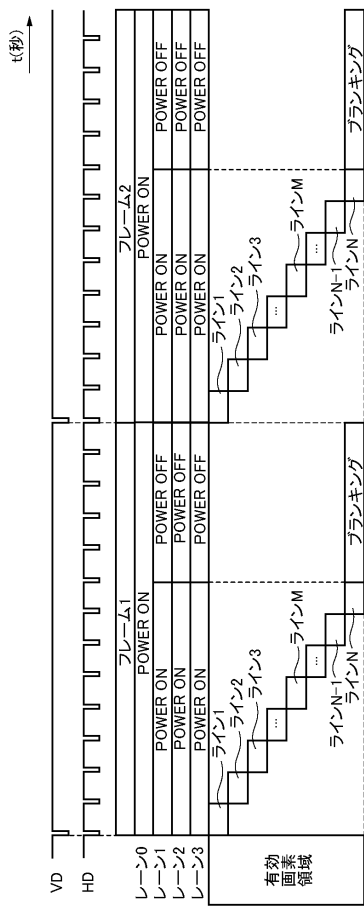
【図 8】



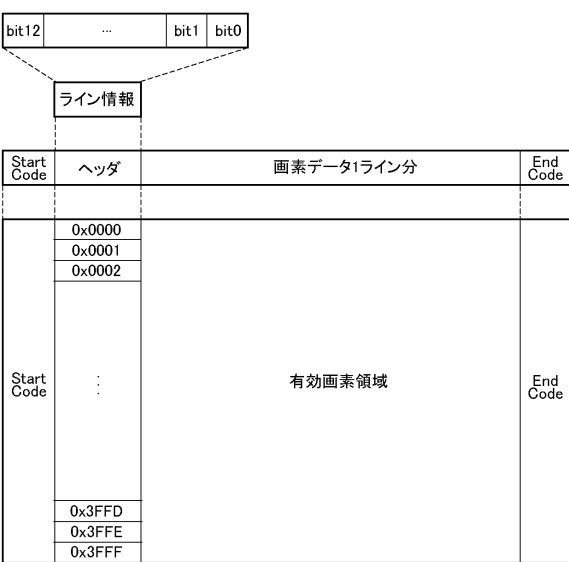
【図 9】



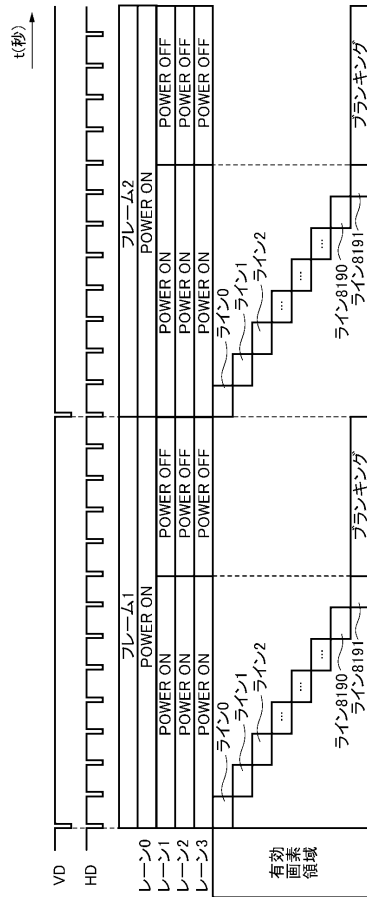
【図 10】



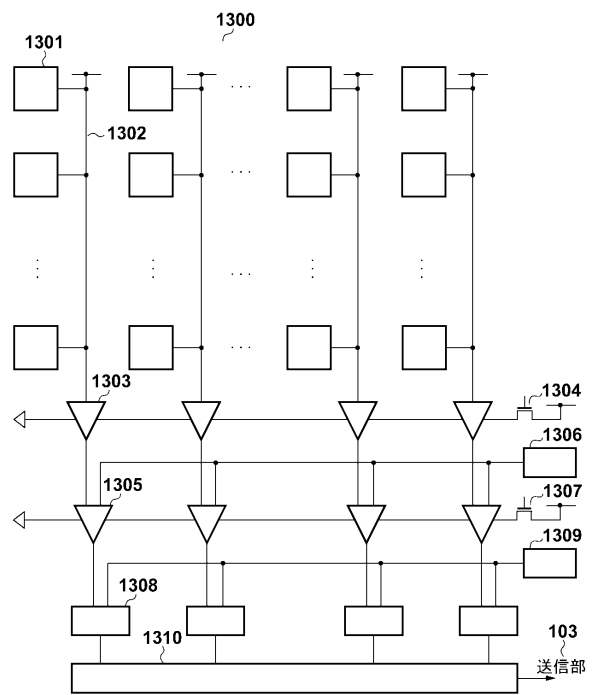
【図 11】



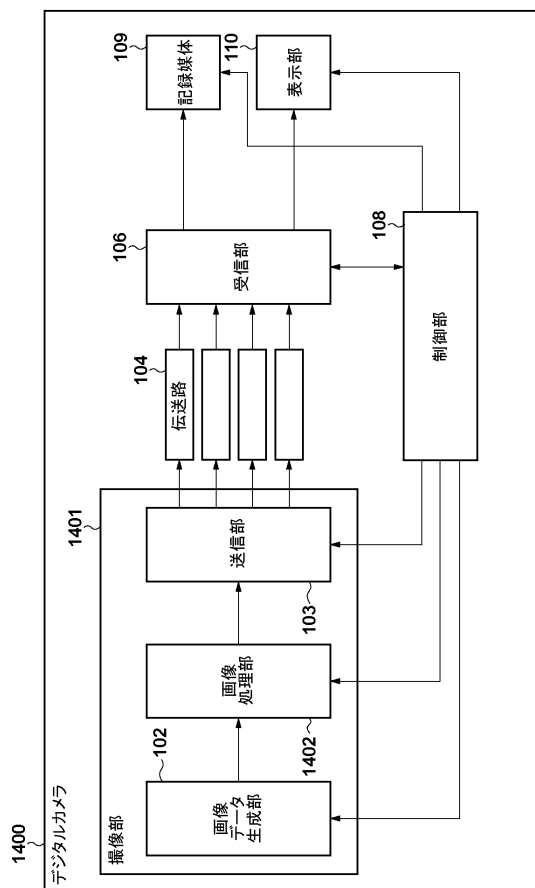
【 図 1 2 】



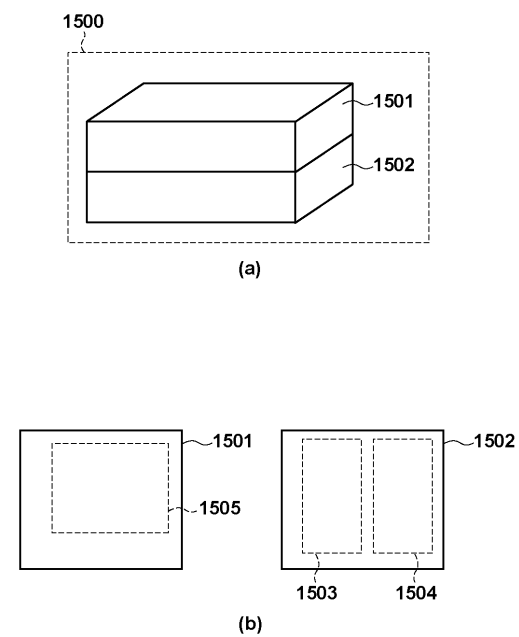
【 図 1 3 】



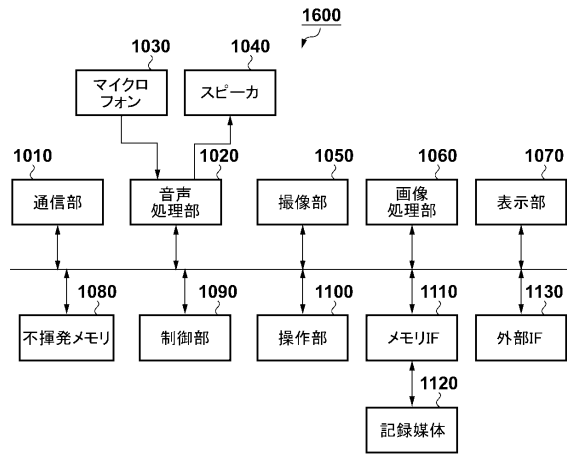
【 圖 1 4 】



【 図 1 5 】



【図 16】



フロントページの続き

(72)発明者 高 田 俊行
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 庄司 琴美

(56)参考文献 特開2003-087639(JP,A)
特開2008-289136(JP,A)
特開2012-120158(JP,A)
特開2007-43665(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/222 - 5/257
G03B 17/02
G03B 17/24
H04N 5/378