

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-206193

(P2009-206193A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/74 (2006.01)	H O 1 L 29/74 A	5 F 0 0 5
	H O 1 L 29/74 B	
	H O 1 L 29/74 D	

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号	特願2008-45041 (P2008-45041)	(71) 出願人	000144393
(22) 出願日	平成20年2月26日 (2008.2.26)		株式会社三社電機製作所
			大阪府大阪市東淀川区西淡路3丁目1番56号
		(74) 代理人	100107847
			弁理士 大槻 聡
		(72) 発明者	松本 好司
			大阪府大阪市東淀川区西淡路3丁目1番56号 株式会社三社電機製作所内
		Fターム(参考)	5F005 AA02 AB02 AE03 AF01 AF02 AH01 BA02 BB02

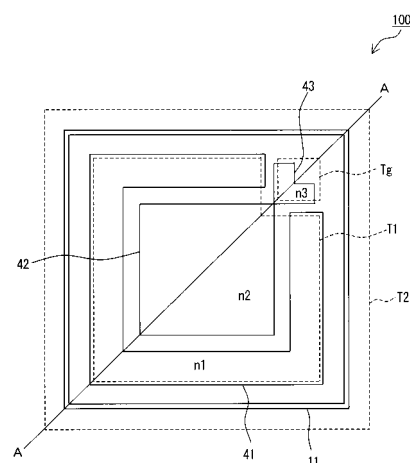
(54) 【発明の名称】 トライアック

(57) 【要約】 (修正有)

【課題】 トライアックの雷サージ特性を向上させ、信頼性の高いトライアックを提供する。

【解決手段】 p層がn層を挟み込む半導体基板のp層内にn層41及び43が選択的に形成され、p層内にn層42が選択的に形成され、トライアックが形成される。その際、n層41～43は、互いに重複しないように配置され、かつ、n層41及び42は、その平面領域がそれぞれ対称形となるように形成される。このため、サージ電圧が印加されてターンオンする初期段階において、異なる2以上の局所領域がオン状態となり、電流集中を緩和することができるので、雷サージ特性を大幅に向上させることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板の両主面から不純物を拡散して形成された第 2 導電型からなる第 1 半導体層及び第 2 半導体層と、

第 1 半導体層の表面から不純物を選択的に拡散し、互いに重複しないように形成された第 1 導電型の第 3 半導体層及び第 4 半導体層と、

第 2 半導体層の表面から不純物を選択的に拡散し、第 3 半導体層と重複しない平面領域に形成された第 1 導電型の第 5 半導体層と、

第 1 及び第 3 半導体層上に形成された第 1 主端子と、

第 1 及び第 4 半導体層上に形成されたゲート端子と、

第 2 及び第 5 半導体層上に形成された第 2 主端子とを備え、

第 3 及び第 5 半導体層が、対称形となる平面領域にそれぞれ形成されていることを特徴とするトライアック。

10

【請求項 2】

第 5 半導体層が、第 3 及び第 4 半導体層によって取り囲まれるように形成されていることを特徴とする請求項 1 に記載のトライアック。

【請求項 3】

第 5 半導体層が、略正方形の領域として形成され、

第 4 半導体層が、第 5 半導体層の対角線上に形成され、

第 3 半導体層が、上記対角線について対称となる形状からなることを特徴とする請求項 2 に記載のトライアック。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トライアックに係り、更に詳しくは、トライアックの耐圧特性、特に、雷サージ特性を向上させるための改良に関する。

【背景技術】

【0002】

トライアックは、1つのゲート端子及び一对の主端子を有し、ゲート端子を用いて主端子間のターンオン制御を行うことができる交流制御素子である。共通のゲート端子を用いて、主端子間の双方向についてそれぞれターンオン制御を行うことができるため、トライアックは双方向サイリスタとも呼ばれ、交流電源の制御回路、例えば、モータやヒータなどの電力制御回路に広く用いられている（例えば、特許文献 1、2）。

30

【0003】

図 8 は、従来のトライアック 102 の一構成例を示した平面図である。図 9 及び図 11 は E-E 切断線、図 10 は F-F 切断線によって、図 8 のトライアック 102 をそれぞれ切断した場合の断面図である。

【0004】

落雷時のようにトライアック 102 の主端子 T1 及び T2 間に 1 kV を越えるような高い電圧が印加された場合、トライアック 102 内にリーク電流が流れ、このリーク電流によってトライアック 102 がターンオンする。図示したメサ型構造のトライアック 102 の場合、オフ状態で高電圧を印加すれば、メサ溝 11 の近傍に電界集中が発生し、メサ溝 11 の壁面付近から低電位の主端子 T1 又は T2 へリーク電流が流れる。このリーク電流が p 型半導体層 31 又は 32 内を横方向に流れることによって当該 p 型半導体層 31、32 内に電圧降下が発生し、トライアック 102 をターンオンさせる。

40

【0005】

図 9 及び図 10 は、ゲート端子 Tg を開放し、主端子 T1、T2 間に、主端子 T2 をプラス（正電位）とする 1 kV を越える高電圧を印加した時の様子を示した図であり、そのときのリーク電流の経路が示されている。リーク電流は、メサ溝 11 付近から p 型半導体層 31 を横断して主端子 T1 へ流れる。このとき、p 型半導体層 31 の抵抗によって電圧

50

降下が生じ、この電位差がトリガーとなってトライアック102をターンオンさせる。つまり、Iモードにおけるターンオンと同様の原理によりトライアック102がターンオンする。

【0006】

図9（E-E切断面）では、n型半導体層41直下の薄いp型半導体層31において抵抗値が高くなっている。このピンチ抵抗にリーク電流が流れると、その電圧降下によって半導体層31、41間のpn接合J3が順バイアスされ、n型半導体層41からp型半導体層31を通してn型半導体層30へ電子が注入される。その結果、n型半導体層30の電位がp型半導体層32よりも低くなり、半導体層30、32間のpn接合J2も順バイアスとなり、p型半導体層32の正孔がn型半導体層30に流れ込んで、トライアック102がターンオンする。従って、この図では、n型半導体層41の右端付近が最初にオン状態となり、その後、オン状態は左に向って広がっていき、最終的にはn型半導体層41の全体がオン状態に至る。

10

【0007】

同様にして、図10（F-F切断図）では、p型半導体層31内において電圧降下を生じさせるリーク電流は、n型半導体層41下のp型半導体層31を経て、左側のメサ溝11付近から主端子T1へ流れる。ただし、図10の電流経路は、図9の電流経路に比べて、n型半導体層41の幅が短いことから、ピンチ抵抗が小さく、p型半導体層31内で生じる電圧降下も小さい。従って、図10のn型半導体層41の左端よりも、図9のn型半導体層41の右端の方が先にオン状態となることがわかる。

20

【0008】

図11（E-E切断図）は、ゲート端子Tgを開放し、主端子T1、T2間に、主端子T1をプラス（正電位）とする1kVを越える高電圧を印加した時の様子を示した図であり、そのときのリーク電流の経路が示されている。リーク電流は、メサ溝11付近からp型半導体層32を横断して主端子T2へ流れる。このとき、p型半導体層32の抵抗によって電圧降下が生じ、この電位差がトリガーとなってトライアック102をターンオンさせる。

【0009】

n型半導体層42上の薄いp型半導体層32は抵抗値が高くなっている。このピンチ抵抗にリーク電流が流れると、その電圧降下によって、半導体層32、42間のpn接合J4が順バイアスされ、n型半導体層42からp型半導体層32を通してn型半導体層30へ電子が注入される。その結果、n型半導体層30の電位がp型半導体層31よりも低くなり、半導体層30、31間のpn接合J1も順バイアスとなり、p型半導体層31の正孔がn型半導体層30に流れ込んで、トライアック102がターンオンする。従って、この図では、主端子T1及びn型半導体層42の重複領域の右端付近が最初にターンオンし、その後、オン状態は左に向って広がっていき、最後に上記重複領域の全体がオン状態となる。

30

【0010】

図8～図11を用いて説明した通り、主端子T1及びT2間にサージ電圧が印加された場合、p型半導体層31又はp型半導体層32内において、リーク電流によって大きな電圧降下が生じる位置において最初にターンオンが発生し、その後にオン状態が広がっていくと考えられる。つまり、サージ電圧が印加されたトライアック102内では、いずれか1点が最初にオン状態となり、その後にオン状態が広がっていく。

40

【0011】

従って、最初にオン状態となる局所領域には、サージ電圧を印加した直後に大電流が流れることになる。トライアック102の雷サージ電圧は、この局所領域の特性によって決定され、雷サージ電圧を大幅に向上させることは容易ではないという問題があった。

【0012】

半導体整流素子のサージ耐量を向上させる種々の方法が従来から提案されている（例えば、特許文献3、4）。特許文献3には、2端子の双方向サイリスタに関して、表面無効

50

電流を消失させることによって、ターンオン動作の不確定さから来るサージ耐量の現象を抑制する方法が開示されている。また、特許文献4には、サイリスタとダイオードとが逆並列に接続された半導体サージ防止素子において、サイリスタ及びダイオードの一方を中央に、他方をその外周部に配置し、一方の熱を他方に吸収させることによって、サージ耐量を向上させる方法が記載されている。しかしながら、このような従来の方法では、雷サージ特性を大幅に向上させることは容易ではないという問題があった。

【特許文献1】特開2005-26262号公報

【特許文献2】特開平10-256530号公報

【特許文献3】特開平5-275687号公報

【特許文献4】特開平10-98202号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明は、上記の事情に鑑みてなされたものであり、トライアックの雷サージ特性を向上させ、信頼性の高いトライアックを提供することを目的とする。

【課題を解決するための手段】

【0014】

第1の本発明によるトライアックは、第1導電型の半導体基板の両主面から不純物を拡散して形成された第2導電型からなる第1半導体層及び第2半導体層と、第1半導体層の表面から不純物を選択的に拡散し、互いに重複しないように形成された第1導電型の第3半導体層及び第4半導体層と、第2半導体層の表面から不純物を選択的に拡散し、第3半導体層と重複しない平面領域に形成された第1導電型の第5半導体層と、第1及び第3半導体層上に形成された第1主端子と、第1及び第4半導体層上に形成されたゲート端子と、第2及び第5半導体層上に形成された第2主端子とを備え、第3及び第5半導体層が、対称形となる平面領域にそれぞれ形成されている。

20

【0015】

この様な構成により、サージ電圧の印加時におけるターンオンの初期段階において、トライアック内の異なる2以上の局所領域をオン状態とすることができる。従って、ターンオン時における電流集中を緩和することができる。しかも、主端子間に印加するサージ電圧の向きにかかわらず、ターンオン時における電流集中を緩和することができる。

30

【0016】

第2の本発明によるトライアックは、第5半導体層が、第3及び第4半導体層によって取り囲まれるように形成されている。このような構成により、チップ面積を顕著に増大させることなく、第3及び第4半導体層の領域として必要な面積を確保しつつ、いずれもが対称形となるように形成することができる。

【0017】

第3の本発明によるトライアックは、第5半導体層が、略正方形の領域として形成され、第4半導体層が、第5半導体層の対角線上に形成され、第3半導体層が、上記対角線について対称となる形状からなる。

【発明の効果】

40

【0018】

本発明によれば、第3及び第5半導体層を対称形となる平面領域にそれぞれ形成することによって、ターンオンの初期段階において、トライアック内の異なる2以上の局所領域をオン状態にする。このため、ターンオン時における電流集中を緩和することができる。従って、トライアックの雷サージ特性を大幅に向上させ、信頼性の高いトライアックを実現することができる。

【発明を実施するための最良の形態】

【0019】

実施の形態1.

図1は、本発明の実施の形態1によるトライアック100の一構成例を示した平面図で

50

ある。図 2 は、A-A 切断線によって、図 1 のトライアック 100 を切断した場合の断面図である。このトライアック 100 を従来のトライアック 102 と比較すれば、その平面レイアウトが異なっている。特に、n 型半導体層 41 及び 42 の平面形状がそれぞれ線対称である点で異なっている。

【0020】

まず、トライアック 100 の断面構造について説明する。トライアック 100 は、n 型半導体基板 10 の両面に p 型半導体層 31 及び 32 がそれぞれ形成され、n 型半導体層 30 を p 型半導体層 31、32 で挟んだ pnp 構造を有している。また、p 型半導体層 31 及び 32 内には、更に n 型半導体層 41~43 が形成されている。n 型半導体層 41 及び 43 は、互いに分離された領域として p 型半導体層 31 内に形成され、n 型半導体層 42 は、平面上で n 型半導体層 41 及び 43 と重複しない領域として p 型半導体層 32 内に形成されている。

10

【0021】

また、トライアック 100 は、一对の主端子 T1、T2 及びゲート端子 Tg を備えている。主端子 T1 及びゲート端子 Tg は、いずれも半導体基板 10 の上面に形成されており、主端子 T1 は n 型半導体層 41 及び p 型半導体層 31 と導通し、ゲート端子 Tg は n 型半導体層 43 及び p 型半導体層 31 と導通している。主端子 T2 は、半導体基板 10 の下面に形成され、n 型半導体層 42 及び p 型半導体層 32 と導通している。メサ溝 11 は、半導体基板 10 の上面に形成された環状の溝部であり、p 型半導体層 31 はメサ溝 11 によって分離されている。

20

【0022】

次に、トライアック 100 の平面レイアウトについて説明する。このトライアック 100 は、略正方形の半導体基板 10 に形成されており、当該半導体基板 10 の外縁付近にメサ溝 11 が形成されている。このメサ溝 11 は、略正方形の環状形状からなり、その内側に略正方形のメサ領域 13 を形成している。このメサ領域 13 内には、n 型半導体層 41~43、主端子 T1 及びゲート端子 Tg などが配置されている。

【0023】

n 型半導体層 42 は、メサ領域 13 の略中央に配置され、n 型半導体層 41 及び 43 は、n 型半導体層 42 の外側を取り囲むように配置されている。n 型半導体層 43 及びゲート端子 Tg は、n 型半導体層 42 の対角線上、つまり、メサ領域 13 の角部に配置されており、n 型半導体層 41 は、上記角部付近を除いて、n 型半導体層 42 の外縁に沿って、n 型半導体層 42 を概ね取り囲む領域として形成されている。

30

【0024】

ゲート端子 Tg 及び n 型半導体層 43 は、ともにメサ領域 13 の対角線、つまり、n 型半導体層 42 に関し対称となる領域として形成されている。ゲート端子 Tg は、略正方形の形状を有し、メサ領域 13 中央側の領域が n 型半導体層 43 の領域内に配置されている。その一方で、ゲート端子 Tg のメサ領域 13 周辺側には n 型半導体層 43 と重複しない領域が残されている。

【0025】

n 型半導体層 43 は、そのメサ領域 13 中央側がゲート端子 Tg からはみ出し、その端辺がゲート端子 Tg と重複しないように配置されている。その一方で、n 型半導体層 43 のメサ領域 13 周辺側には切り欠き部が形成され、少なくとも n 型半導体層 43 と重複しないゲート端子 Tg の領域が残されている。この例では、n 型半導体層 43 は、ゲート端子 Tg の隣接する二辺に沿って形成された「く」の字型の形状を有し、その一部がゲート端子 Tg からメサ領域 13 中央側へはみ出すように配置されている。つまり、n 型半導体層 43 は、n 型半導体層 42 側へ凸となるように 90 度で屈曲し、その外角側が、メサ領域 13 の中央側へゲート端子 Tg からはみ出すように配置されている。

40

【0026】

主端子 T1 は、n 型半導体層 41 及び 42 と重複するように半導体基板 10 の上面に形成されている。また、上記角部のゲート端子 Tg 及び n 型半導体層 43 と重複しないよう

50

に「く」の字型の領域として形成されている。主端子T2は、半導体基板10の下面全面、すなわち、メサ領域13の内外にわたって配置されている。

【0027】

また、n型半導体層41及び42は、所定間隔dを隔てて配置され、トライアック100の $|dv/dt|$ 耐量を確保している。例えば、誘導負荷で使用している場合、電流の位相が電圧よりも遅れ、ターンオフした瞬間に急激な逆電圧が印加される。このとき、n型半導体層30内の空乏層にはキャリアが残存しており、この残存キャリアによって、ホールが移動すればターンオフできなくなるという誤動作が発生する。そこで、所定間隔dを隔ててn型半導体層41及び42を配置すれば、キャリアの再結合を促して素子を速やかにターンオフさせることができ、このような誤動作を防止することができる。

10

【0028】

図3及び図4は、トライアック100にサージ電圧が印加された場合の動作を示した説明図である。このトライアック100は、n型半導体層41及び42の平面レイアウトを工夫することによって、ターンオンの初期段階において、トライアック100内の異なる2以上の局所領域をオン状態とし、ターンオン時における電流集中を緩和している。しかも、主端子T1、T2間に印加するサージ電圧の向きにかかわらず、ターンオンの初期段階において2以上の局所領域がオン状態となるように構成されている。

【0029】

図3は、主端子T2がプラス（正電位）、主端子T1がマイナス（負電位）となるサージ電圧を印加したときの様子を示した図であり、図中の（a）は、トライアック100の平面図、（b）は、B-B切断線による断面図が示されている。主端子T2がプラスとなる電圧を印加した場合、n型半導体層41下のp型半導体層31のピンチ抵抗によって生じる電圧降下に起因してp型半導体層31からn型半導体層30へ電子が注入されてオン状態となる。つまり、ターンオンは、ピンチ抵抗が最も大きくなるn型半導体層41の端部からはじまる。

20

【0030】

このトライアック100では、n型半導体層41が平面上で線対称の細長い領域となるように形成されている。このため、ターンオン時には、まずn型半導体層41の両端付近の局所領域51がオン状態となり、その後、時間の経過とともに、オン領域がこれらの各局所領域51からn型半導体層41の全領域へと広がっていく。つまり、ターンオンの初期段階においてオン状態となる局所領域51が2カ所存在するため、局所領域への電流集中を緩和することができる。また、これらの各局所領域51からオン領域が広がっていくため、オン領域を速やかに広げ、局所領域に電流が集中する時間を短縮することができる。この様にして、ターンオン時のトライアック100内における局所的な電流集中を早期に分散させることによって、サージ電圧の印加時に素子が破壊されにくくなり、雷サージ耐量を向上させることができる。

30

【0031】

図4は、主端子T1がプラス（正電位）、主端子T2がマイナス（負電位）となるサージ電圧を印加したときの様子を示した図であり、図中の（a）は、トライアック100の平面図、（b）は、C-C切断線による断面図が示されている。主端子T1がプラスとなる電圧を印加した場合、n型半導体層42上のp型半導体層32のピンチ抵抗に起因してp型半導体層32からn型半導体層30へ電子が注入されてオン状態となる。つまり、ターンオンは、ピンチ抵抗が最も大きくなるn型半導体層42の端部からはじまる。

40

【0032】

このトライアック100では、n型半導体層42が略正方形の領域として形成されている。このため、ターンオン時に、まずn型半導体層42の4つの頂点付近に位置する各局所領域52がオン状態になり、時間の経過とともに、オン状態がこれらの各局所領域52から広がっていく。つまり、ターンオンの初期段階においてオン状態となる局所領域52が4カ所存在するため、局所領域への電流集中を緩和することができる。また、これらの各局所領域52からオン領域が広がっていくため、オン領域を速やかに広げ、局所領域に

50

電流が集中する時間を短縮することができる。この様にして、ターンオン時のトライアック 100 内における電流集中を早期に分散させることによって、サージ電圧印加時に素子が破壊されにくくなり、雷サージ耐量を向上させることができる。

【0033】

従来のトライアック 102 では、ターンオン時にオン状態となる局所領域が 1 つのみであった。これに対し、本発明によるトライアック 100 では、n 型半導体層 41 及び 42 の平面領域の形状を工夫することにより、ターンオンの初期段階において、異なる 2 以上の局所領域をオン状態にさせている。このため、ターンオンの初期段階における電流集中を緩和するとともに、オン状態の領域を迅速に広げて、上記局所領域に電流集中が発生する時間を短縮することができる。従って、従来のトライアック 102 に比べて、雷サージ電圧を高くすることができる。

10

【0034】

図 5 は、本実施の形態によるトライアックの製造方法の一例を説明するための説明図であり、製造時における A-A 断面が示されている。半導体基板 10 として n 型シリコンウエハが用いられ、その両面からボロン (B) などの不純物を選択的に深く拡散し、一方の主面から他方の主面に至る分離用の p 型半導体層 33 が形成される。次に、この p 型半導体層 33 によって分離された領域全面に対し、両面からガリウム (Ga)、ボロン (B) などの p 型不純物を拡散し、n 型半導体層 30 を挟むように p 型半導体層 31, 32 が形成される。

【0035】

次に、p 型半導体層 31, 32 の表面からリン (P) などの n 型不純物を選択的に拡散し、n 型半導体層 41~43 を形成する。その後、半導体層 30, 31 の接合 J1 に達するメサ溝 11 を半導体基板 10 の上面に形成し、このメサ溝 11 内にガラスなどの絶縁性材料 12 を埋設し、p 型半導体層 31 をメサ溝 11 によって分離する。また、主端子 T1, T2 及びゲート端子 Tg は、半導体基板 10 の表面上に金属膜を蒸着することによって形成される。主端子 T1 は、p 型半導体層 31 及び n 型半導体層 41 に跨って形成され、主端子 T2 は、p 型半導体層 32 及び n 型半導体層 42 に跨って形成され、ゲート端子 Tg は、p 型半導体層 31 及び n 型半導体層 43 に跨って形成されている。最後に、p 型半導体層 33 内の切断線 L-L によって半導体基板 10 をダイシングすることにより、図 1 及び図 2 に示したトライアック 100 が得られる。

20

30

【0036】

図 6 は、本発明によるトライアック 100 の雷サージ電圧を従来のトライアック 102 と比較して示した図である。図中の 71 は、本実施の形態によるトライアック 100 の雷サージ電圧、72 は、従来のトライアック 102 の雷サージ電圧である。なお、トライアック 100 及び 102 は、平面レイアウトのみを異ならせたものである。

【0037】

一般に、トライアックのサージ耐量は、雷サージ電圧として示される。雷サージ電圧は、ゲート端子 Tg を開放した状態で、1 μ 秒で単調増加し、その後の 50 μ 秒で単調減少するサージ電圧をトライアックの主端子 T1, T2 間に印加した場合に、素子が破壊されない最大電圧として測定される。なお、I モードは、主端子 T2 をプラスとする電圧を印加するモードであり、III モードは、主端子 T1 をプラスとする電圧を印加するモードである。

40

【0038】

従来のトライアック 102 の雷サージ電圧は、I モードで 3 kV、III モードで 2 kV であるのに対し、本実施の形態によるトライアック 100 の雷サージ電圧は、I モードで 5 kV、III モードで 4 kV である。従って、平面レイアウトを異ならせるだけで、雷サージ電圧が約 2 倍になり、耐サージ特性が大幅に向上していることがわかる。

【0039】

本実施の形態によれば、n 型半導体層 41 の平面領域を対称形にすることによって、主端子 T2 がプラスとなるサージ電圧が印加された際、ターンオンの初期段階において異な

50

る 2 以上の局所領域をターンオンさせている。従って、オン領域を速やかに広げ、電流集中による素子の破壊を抑制することができる。その結果、主端子 T 2 がプラスとなるサージ電圧に対する耐量を増大させることができる。

【0040】

同様にして、n 型半導体層 4 2 の平面領域を対称形にすることによって、主端子 T 1 がプラスとなるサージ電圧が印加された際、ターンオンの初期段階において異なる 2 以上の局所領域をターンオンさせることができる。従って、主端子 T 1 がプラスとなるサージ電圧に対する耐量を増大させることができる。

【0041】

また、n 型半導体層 4 1, 4 2 の一方が他方を概ね取り囲むように配置することによって、n 型半導体層 4 1, 4 2 の領域として、必要な面積を確保しつつ、いずれもが対称形となるように形成している。このため、主端子 T 1, T 2 のいずれをプラスとする場合であっても、サージ電圧に対する耐量を増大させることができる。

【0042】

特に、n 型半導体層 4 1 を非環状形状とし、n 型半導体層 4 2 を n 型半導体層 4 1 及び 4 3 によって取り囲むように配置することにより、n 型半導体層 4 1 及び 4 2 をそれぞれ線対称の形状として形成することができる。従って、通常動作における性能を顕著に劣化させることなく、サージ電圧に対する耐量を増大させることができる。

【0043】

なお、ここでは、n 型半導体層 4 1, 4 2 の形成領域が、それぞれ線対称の形状である場合の例について説明したが、本発明は、この様な場合には限定されない。例えば、n 型半導体層 4 1, 4 2 の形成領域が、点対称の形状であってもよい。さらに、対称形状でなくとも、ターンオンの初期段階において、異なる 2 以上の局所領域においてオン状態が発生するように形成されていれば同様の効果が得られることは言うまでもない。

【0044】

実施の形態 2.

図 7 は、本発明の実施の形態 2 によるトライアック 101 の一構成例を示した平面図であり、図中の (a) は、トライアック 101 の平面図、(b) は、D-D 切断線による断面図が示されている。このトライアック 101 を図 1 及び図 2 のトライアック 100 (実施の形態 1) と比較すれば、n 型半導体層 4 1, 4 2 に多数の小孔 6 1, 6 2 がそれぞれ形成されている点で異なっている。

【0045】

小孔 6 1 は、n 型半導体層 4 1 内に形成された p 型半導体層 3 1 の小領域 (ショートエミッタ) である。この小孔 6 1 は、n 型半導体層 4 1 の形成時に n 型不純物が拡散されない n 型半導体層 4 1 内の小領域であり、半導体基板 10 の上面から n 型半導体層 4 1 を貫通するように形成されている。このような小孔 6 1 を n 型半導体層 4 1 に形成することによって、p 型半導体層 3 1 のピンチ抵抗が、小孔 6 1 で区切られた小さな抵抗の集合となり、小孔 6 1 が形成されていない場合に比べて、ピンチ抵抗を低減させることができる。

【0046】

半導体層 3 0, 3 1 の接合面 (pn 接合 J 1) の逆バイアス時に形成される空乏層の容量を C、トライアック 100 に印加される急峻な電圧変化を dv/dt とすれば、電流 $I = C (dv/dt)$ がピンチ抵抗に流れる。従って、ピンチ抵抗を R とすれば、電流 I が流れたときの電圧降下は $RC (dv/dt)$ となる。この電圧降下が pn 接合 J 1 の拡散電位 (シリコンであれば 0.7 V) を越えると、当該電圧変化によってターンオンし、トライアック 100 が誤動作することが知られている。この様な誤動作は、n 型半導体層 4 1 内に小孔 6 1 を設けてピンチ抵抗 R を低減することによって抑制することができる。

【0047】

全く同様にして、小孔 6 2 は、n 型半導体層 4 2 内に形成された p 型半導体層 3 2 の小領域 (ショートエミッタ) である。この小孔 6 2 は、n 型半導体層 4 2 の形成時に n 型不純物が拡散されない n 型半導体層 4 2 内の小領域であり、半導体基板 10 の下面から n 型

10

20

30

40

50

半導体層 4 2 を貫通するように形成されている。このような小孔 6 2 を n 型半導体層 4 2 に形成することによって、p 型半導体層 3 2 のピンチ抵抗が、小孔 6 2 で区切られた小さな抵抗の集合となり、小孔 6 2 が形成されていない場合に比べて、ピンチ抵抗を低減させることができる。

【0048】

なお、本実施の形態では、半導体基板 1 0、メサ溝 1 1、メサ領域 1 3、n 型半導体層 4 2 が、正方形の場合の例について説明したが、本発明は、このような場合には限定されない。例えば、これらの形状を三角形、長方形、その他の多角形や、楕円形、円形にすることもできる。また、メサ領域 1 3 を矩形とし、n 型半導体層 4 2 を円形領域にしてもよい。

10

【0049】

また、本実施の形態では、n 型半導体層 4 1 が n 型半導体層 4 2 を取り囲むように配置する場合の例について説明したが、本発明は、このような場合には限定されない。例えば、n 型半導体層 4 2 が n 型半導体層 4 1 を取り囲むように配置することもできる。

【0050】

また、本実施の形態では、n 型半導体層 4 1、4 2 がそれぞれ 1 つの連続する領域として形成されている場合の例について説明したが、本発明は、このような場合には限定されない。例えば、n 型半導体層 4 1 が 2 以上の領域に分割されている場合であっても、ターンオンの初期段階において異なる 2 以上の局所領域をターンオンさせることができるように形成されていればよい。

20

【図面の簡単な説明】

【0051】

【図 1】本発明の実施の形態 1 によるトライアック 1 0 0 の一構成例を示した平面図である。

【図 2】A-A 切断線によって、図 1 のトライアック 1 0 0 を切断した場合の断面図である。

【図 3】主端子 T 2 がプラスとなるサージ電圧を印加したときの様子を示した図である。

【図 4】主端子 T 1 がプラスとなるサージ電圧を印加したときの様子を示した図である。

【図 5】本実施の形態によるトライアックの製造方法の一例を説明するための説明図であり、製造時における A-A 断面が示されている。

30

【図 6】本発明によるトライアック 1 0 0 の雷サージ電圧を従来のトライアック 1 0 2 と比較して示した図である。

【図 7】本発明の実施の形態 2 によるトライアック 1 0 1 の一構成例を示した平面図である。

【図 8】従来のトライアック 1 0 2 の一構成例を示した平面図である。

【図 9】主端子 T 2 がプラスとなるサージ電圧を印加したときの E-E 切断面を示した図である。

【図 10】主端子 T 2 がプラスとなるサージ電圧を印加したときの F-F 切断面を示した図である。

【図 11】主端子 T 1 がプラスとなるサージ電圧を印加したときの E-E 切断面を示した図である。

40

【符号の説明】

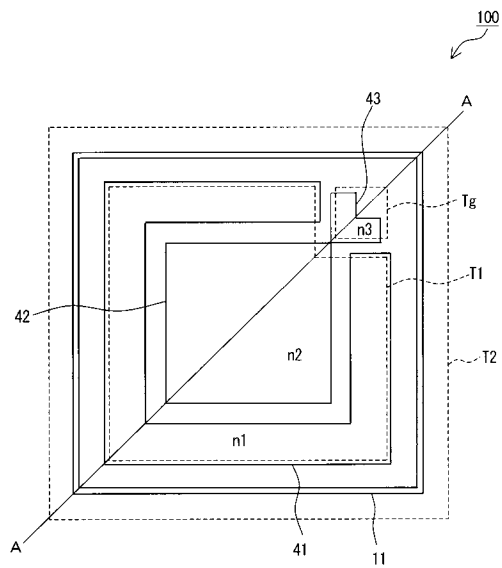
【0052】

- 1 0 n 型半導体基板
- 1 1 メサ溝
- 1 3 メサ領域
- 3 0, 3 1 p 型半導体層
- 4 1 ~ 4 3 n 型半導体層
- 5 1, 5 2 局所領域
- 6 1, 6 2 小孔

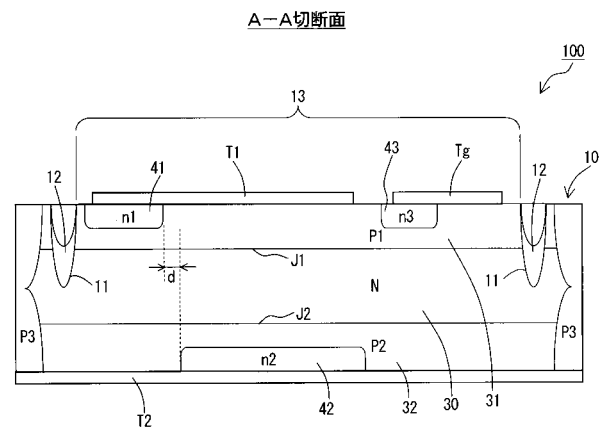
50

100～102 トライアック
 d 所定間隔
 J1～J5 pn接合
 T1, T2 主端子
 Tg ゲート端子

【図1】

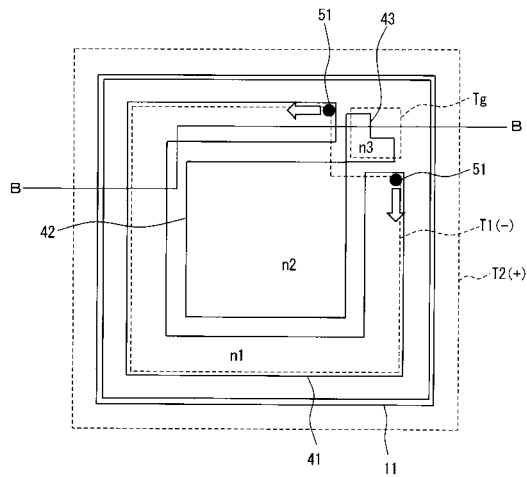


【図2】

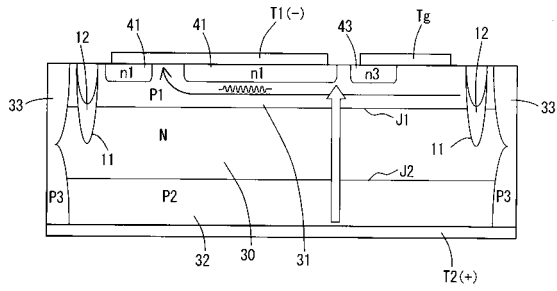


【図 3】

(a) 平面図

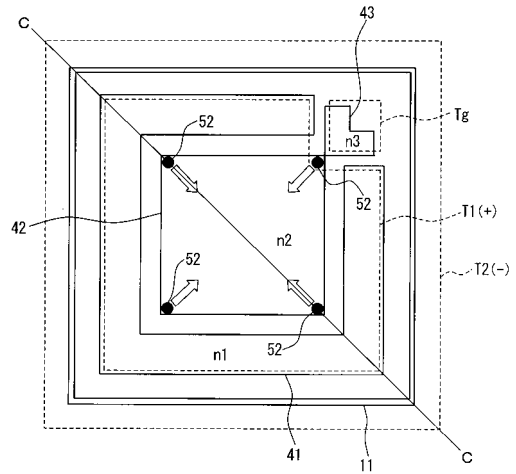


(b) B-B断面図

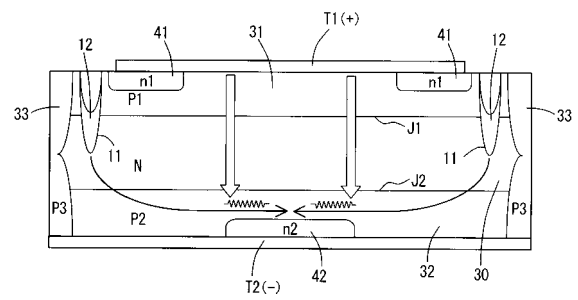


【図 4】

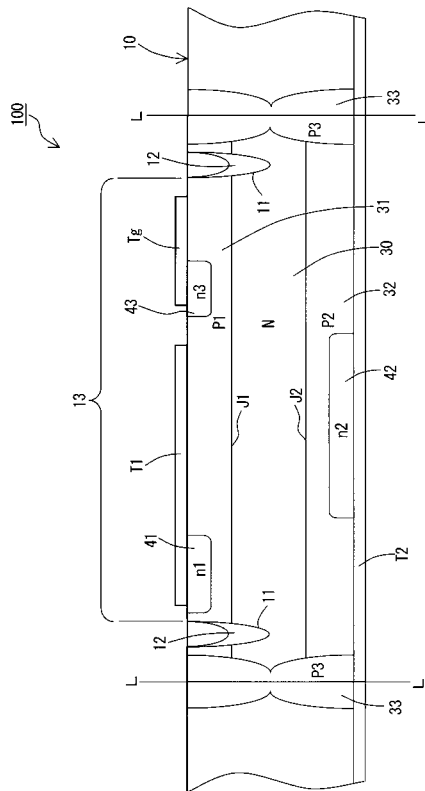
(a) 平面図



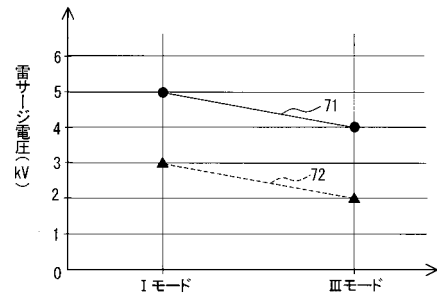
(b) C-C断面図



【図 5】

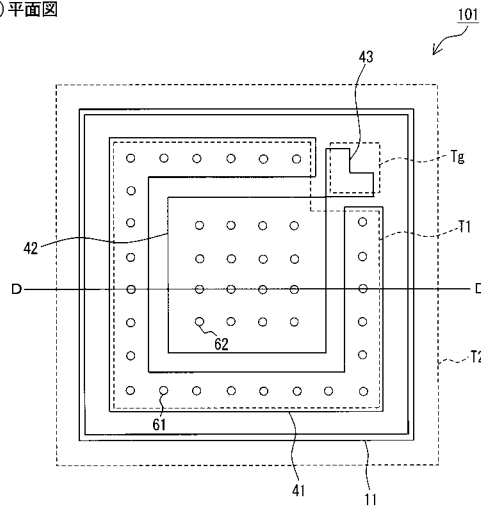


【図 6】

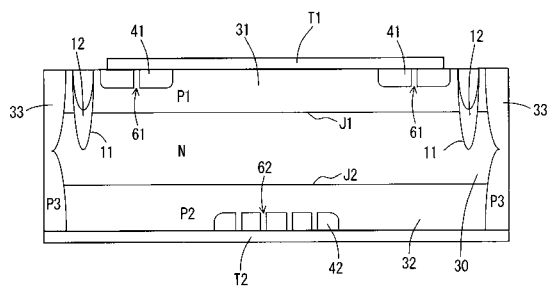


【図 7】

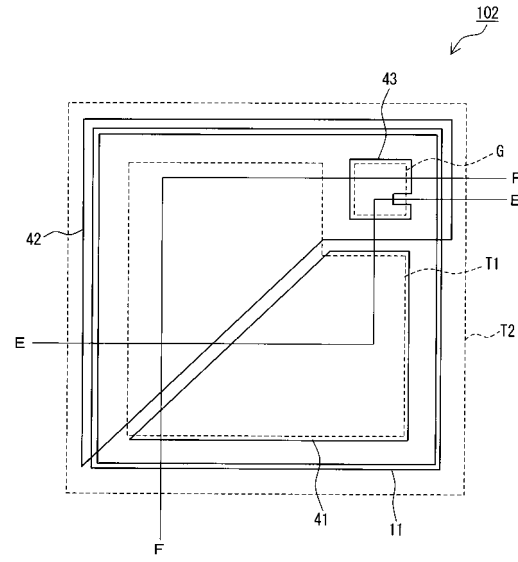
(a) 平面図



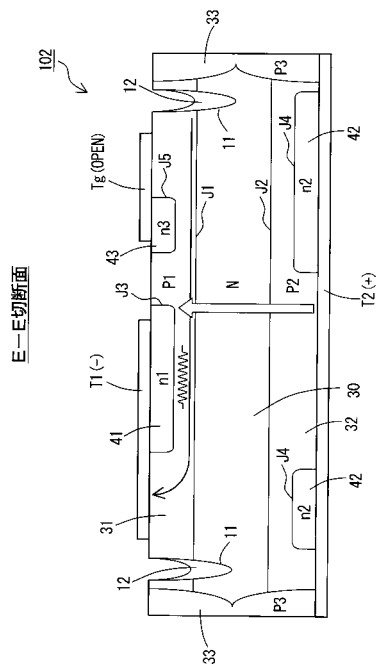
(b) D-D断面図



【図 8】



【図 9】



【図 10】

