



(12) 发明专利申请

(10) 申请公布号 CN 102468342 A

(43) 申请公布日 2012. 05. 23

(21) 申请号 201010541156. 2

(22) 申请日 2010. 11. 10

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 霍宗亮 刘明 金林 刘璟

张满红 李冬梅

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 宋焰琴

(51) Int. Cl.

H01L 29/788(2006. 01)

H01L 29/49(2006. 01)

H01L 27/115(2006. 01)

H01L 21/336(2006. 01)

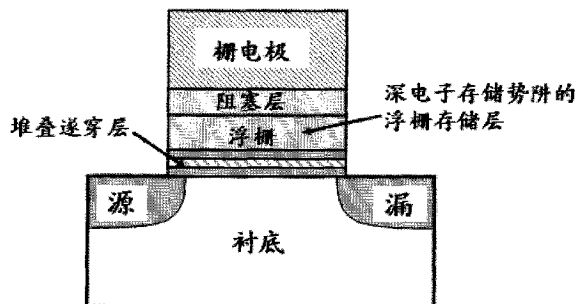
权利要求书 2 页 说明书 5 页 附图 7 页

(54) 发明名称

一种半导体存储单元、器件及其制备方法

(57) 摘要

本发明公开了一种半导体存储单元、器件及其制备方法。本发明公开的半导体存储单元及器件对传统浮栅器件的多晶硅浮栅采用 P 型掺杂, 碳掺杂等处理工艺, 以获得更深的电子存储势阱, 从而有效提高器件的数据保持能力。同时引入多层隧穿介质堆叠的隧穿层势垒工程, 调制器件的能带结构来获得高擦除速度, 从而改善了器件的综合存储特性。



1. 一种半导体存储单元,其特征在于,包括:
衬底;
在所述衬底上沟道区两端形成的源区和漏区;
在所述沟道区上方自下而上依次形成的隧穿层、具有深电子存储势阱的浮栅存储层;
在所述浮栅存储层上方形成的控制栅。
2. 根据权利要求1所述的半导体存储单元,其特征在于,所述具有深电子存储势阱的浮栅存储层由下列材料中的一种构成:
采用P型掺杂手段处理的多晶硅浮栅;
采用碳C掺杂的多晶硅浮栅;
碳化硅SiC;
对采用C掺杂的多晶硅浮栅再进行P型掺杂形成的材料;
对SiC进行P型掺杂形成的材料。
3. 根据权利要求2所述的半导体存储单元,其特征在于,所述对采用C掺杂的多晶硅浮栅进一步进行P型掺杂形成的材料中,进行P型掺杂的材料为下列材料中的至少一种:为B、BF₂、B₂H₆。
4. 根据权利要求2所述的半导体存储单元,其特征在于,所述对SiC进一步进行P型掺杂形成的材料中,进行P型掺杂的材料为下列材料中的至少一种:Al, B, Be, Ga, O。
5. 根据权利要求1所述的半导体存储单元,其特征在于,所述隧穿层为由至少两层隧穿子层所构成的隧穿势垒结构。
6. 根据权利要求5所述的半导体存储单元,其特征在于,所述隧穿势垒结构由三层隧穿子层构成,自沟道区自下向上依次为:
由能带较宽且与衬底界面特性良好的材料制作而成的第一隧穿子层,所述能带较宽且与衬底界面特性良好的材料为下列材料中的一种:SiO₂、HfSiO、HfLaON、Al₂O₃;
能带较窄且价带位置较高的材料构成的第二隧穿子层,所述能带较窄且价带位置较高的材料为下列材料中的一种:Si₃N₄、HfO₂、SiO_xN_y;
由能带较宽的材料构成第三隧穿子层,所述能带较宽的材料为下列材料中的一种:SiO₂、HfSiO、HfLaON、HfAlO、Al₂O₃、。
7. 根据权利要求5所述的半导体存储单元,其特征在于,所述隧穿势垒结构由三层隧穿子层构成,自沟道区自下向上依次为:
能带较窄且价带位置较高的材料构成的第一隧穿子层,所述能带较窄且价带位置较高的材料为下列材料中的一种:Si₃N₄、HfO₂、SiO_xN_y;
由能带较宽的材料构成第二隧穿子层,所述能带较宽的材料为下列材料中的一种:SiO₂、Al₂O₃、HfSiO、HfLaON、HfAlO。
能带较窄且价带位置较高的材料构成的第三隧穿子层,所述能带较窄且价带位置较高的材料为下列材料中的一种:Si₃N₄、HfO₂、SiO_xN_y。
8. 根据权利要求5所述的半导体存储单元,其特征在于,所述衬底为硅Si,所述隧穿势垒结构为由两层隧穿子层构成,自沟道区自下向上依次为:
由能带较宽且与衬底界面特性良好的材料制作而成的第一隧穿子层,所述能带较宽且与衬底界面特性良好的材料为下列材料中的一种:SiO₂、Al₂O₃、HfSiO、HfLaON;

能带较窄且价带位置较高的材料构成的第二隧穿子层,所述能带较窄且价带位置较高的材料为下列材料中的一种: Si_3N_4 、 Al_2O_3 、 HfO_2 、 SiO_xN_y ;

9. 一种半导体存储器件,其特征在于,包括多个权利要求1至8中任一项所述半导体存储单元。

10. 一种半导体存储器件的制备方法,其特征在于,包括:

在执行完毕在先工艺的硅衬底上制备由至少两层隧穿子层所构成的隧穿势垒结构的隧穿层;

在所述隧穿层上制备由具有深电子存储势阱的浮栅存储层;

在所述浮栅存储层上制备阻塞层;

多晶硅栅电极淀积,刻蚀,形成栅极图形;

执行源漏注入、源漏结激活退火、电极制备工艺,完成整个存储器件的制备。

11. 根据权利要求10所述的半导体存储器件的制备方法,其特征在于,所述在隧穿层上制备由具有深电子存储势阱的浮栅存储层包括:

在隧穿层上生长多晶硅浮栅;

对多晶硅浮栅进行P型掺杂注入,并退火激活。

12. 根据权利要求10所述的半导体存储器件的制备方法,其特征在于,所述在执行完毕在先工艺的硅衬底上制备由至少两层隧穿子层所构成的隧穿势垒结构的隧穿层包括:

在执行完毕离子注入工艺的硅衬底上用热氧化的方法生长 1.5nmSiO_2 ,作为第一隧穿子层;

在 SiO_2 隧穿层上淀积 2.5 纳米的 Si_3N_4 薄膜,作为第二隧穿子层;

在 Si_3N_4 隧穿层上淀积 2 纳米 SiO_2 薄膜,作为第三隧穿子层。

一种半导体存储单元、器件及其制备方法

技术领域

[0001] 本发明涉及微电子技术领域,尤其涉及一种半导体存储单元、器件及其制备方法。

背景技术

[0002] 浮栅结构存储器是目前被大量使用和普遍认可的主流存储器类型,是一种十分重要的半导体元器件,被广泛应用于电子和计算机行业。传统的浮栅结构存储器由于其自身结构与材料的选择导致要求快速写入/擦除操作和长时间高稳定性存储相冲突的局限性,且随着技术节点的缩小这一矛盾并没有得到明显改善,限制了浮栅存储器的发展。传统的浮栅存储单元是采用 n 型掺杂的多晶硅薄膜浮栅用于信息的存储。图 1 为现有技术采用 n 型掺杂多晶硅浮栅作为存储层的存储单元的示意图。图 2 为现有技术采用 n 型掺杂多晶硅浮栅作为存储层的存储单元在电荷保持状态下的能带示意图。

[0003] 随着特征尺寸进入到纳米级,如何适应工艺的发展,在减小存储单元尺寸的同时提高存储数据写入、读取、擦除和保持性能,已经成为目前浮栅存储器发展面临的关键问题,这就要求从材料或结构上对传统浮栅存储器进一步改进。图 3 为现有技术采用单层隧穿层的多晶硅浮栅存储单元在擦除状态下的能带示意图。由于高的空穴隧穿势垒,所以擦除主要是电子从多晶硅浮栅隧穿进入衬底,空穴很难从衬底进入浮栅,因此需要很大的擦除电压。擦除电压的增大会带来隧穿层的退化,进而会使得数据驻留特性变差。

[0004] 在实现本发明的过程中,发明人意识到现有技术存在如下缺陷:采用 n 型掺杂多晶硅浮栅作为存储层的存储单元在器件特征尺寸越来越小的情况下,其数据的驻留性能逐渐变差。

发明内容

[0005] (一) 要解决的技术问题

[0006] 本发明的目的就是解决现有技术中采用 n 型掺杂多晶硅浮栅作为存储层的存储单元在器件特征尺寸越来越小的情况下,其数据的驻留性能逐渐变差的技术问题,而提出一种半导体存储器件及其制备方法。

[0007] (二) 技术方案

[0008] 发明人经过研究发现采用 n 型掺杂多晶硅浮栅作为存储层的存储单元在器件特征尺寸越来越小的情况下,其数据的驻留性能逐渐变差。在另一方面,从理论分析可以知道,浮栅的势垒能级如果变深,则电子从浮栅隧穿或者热发射进入衬底所需要的能量越多,所以就可以抑制电子的泄露。为此,可以考虑改变多晶硅浮栅的费米能级深度。因此,本发明通过采用多种方法降低浮栅材料的费米能级,从而提高了存储器件中的数据驻留特性。

[0009] 针对采用降低浮栅材料的费米能级,加深电子势阱所导致的数据参数困难的技术问题,本发明采用由多个隧穿子层构建隧穿层势垒,增大擦除时的衬底空穴注入,通过综合调制器件的能带结构,在提高器件保持特性的前提下也获得了高擦除速度。

[0010] (三) 有益效果

[0011] 本发明公开的改进型的半导体存储单元及器件对传统浮栅器件的多晶硅浮栅采用 P 型掺杂,碳 C 掺杂等处理工艺,以获得更深的电子存储势阱,从而有效提高器件的数据保持能力。

[0012] 同时引入多层隧穿介质堆叠的隧穿层势垒工程,调制器件的能带结构来获得高擦除速度,从而综合改善了器件的存储特性。

附图说明

[0013] 图 1 为现有技术采用 n 型掺杂多晶硅浮栅作为存储层的存储单元的示意图;

[0014] 图 2 为现有技术采用 n 型掺杂多晶硅浮栅作为存储层的存储单元的在电荷保持状态下的能带示意图;

[0015] 图 3 为现有技术采用单层隧穿层的多晶硅浮栅存储单元在擦除状态下的能带示意图;

[0016] 图 4 为根据本发明实施例半导体存储单元的结构示意图;

[0017] 图 5 为根据本发明实施例二半导体存储单元的势垒结构图;

[0018] 图 6 为根据本发明实施例三半导体存储单元的势垒结构图;

[0019] 图 7 为根据本发明实施例四半导体存储单元的势垒结构图

[0020] 图 8a 为根据本发明实施例五半导体存储器件制备方法 SiO_2 隧穿层淀积步骤的示意图;

[0021] 图 8b 为根据本发明实施例五半导体存储器件制备方法 Si_3N_4 隧穿层淀积步骤的示意图;

[0022] 图 8c 为根据本发明实施例五半导体存储器件制备方法 SiO_2 隧穿层淀积步骤的示意图;

[0023] 图 8d 为根据本发明实施例五半导体存储器件制备方法多晶硅浮栅淀积步骤的示意图;

[0024] 图 8e 为根据本发明实施例五半导体存储器件制备方法 B 离子注入,进行 P 型掺杂步骤的示意图;

[0025] 图 8f 为根据本发明实施例五半导体存储器件制备方法 ONO 阻塞层淀积步骤的示意图;

[0026] 图 8g 为根据本发明实施例五半导体存储器件制备方法栅电极淀积步骤的示意图;

[0027] 图 8h 为根据本发明实施例五半导体存储器件制备方法栅堆栈刻蚀步骤的示意图;

[0028] 图 8i 为根据本发明实施例五半导体存储器件制备方法源漏注入步骤的示意图。

具体实施方式

[0029] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0030] 针对现有技术中采用 n 型掺杂多晶硅浮栅作为存储层的存储单元在器件特征尺寸越来越小的情况下,其数据的驻留性能逐渐变差的技术问题,可以采用 P 型掺杂手段处

理的多晶硅浮栅,其费米能级比 n 型掺杂的费米能级低,电子能存储与更深的势阱中,使数据的驻留性能有很大的提高。另外,对传统的多晶硅浮栅进行碳掺杂处理,或者用 SiC 材料(具有带隙宽、导带深的特点)来替代多晶硅薄膜作为浮栅层也可以起到增大电子存储势阱、提高数据驻留特性的目的。但是,由于浮栅采用 P 型掺杂,电子势阱较深,如果采用常规的 SiO₂ 隧穿层结构,电子擦除会很困难。因此,必须对提高电子擦除速度,折衷数据保持和编程/擦除效率的矛盾,综合改善存储性能。

[0031] 本发明公开了一种改进型的半导体存储单元。图 4 为根据本发明实施例一半导体存储单元的结构示意图。如图 4 所示,该半导体存储单元包括:衬底;在衬底上沟道区两端形成的源区和漏区;在沟道区上方自下而上依次形成的隧穿层、具有深电子存储势阱的浮栅存储层、阻挡层;在阻挡层上方形成的控制栅。其中,上述控制栅包括控制栅介质层和栅电极。

[0032] 在传统的半导体存储单元中,采用的多晶硅浮栅作为存储层。本发明对于传统浮栅存储器件(Flash)中的 n 型多晶硅浮栅做如下改进:采用 P 型掺杂,碳 C 掺杂或者用碳化硅 SiC 材料取代 N 型多晶硅浮栅等手段,拉低存储介质的能带,获得更深的电子存储势阱,从而有效提高器件的数据保持能力。

[0033] 上述技术方案中,电荷保持特性良好的多晶硅浮栅层的材料选用 P 型掺杂的多晶硅或者碳掺杂的多晶硅。或者对 C 掺杂的多晶硅浮栅进一步进行 P 型掺杂,其 P 型掺杂物质为 B、BF₂、B₂H₆。还可以采用 SiC 材料取代多晶硅浮栅,并进行 P 型掺杂处理,对 SiC 材料进行 P 型掺杂的物质为 Al, B, Be, Ga, O 等。

[0034] 本发明提出的改进方案,不局限于上述列举的案例,也包括对多晶硅浮栅采用其他处理方式或用其他材料替换多晶硅浮栅来调节能带,获得深电子存储势阱,增强数据保持特性的技术方案。

[0035] 针对电子存储势阱变深导致电子擦除困难的问题,引入隧穿层势垒工程,增大擦除时的衬底空穴注入,通过综合调制器件的能带结构,在提高器件保持特性的前提下也获得了高擦除速度。根据上述思想,本发明还公开了一种半导体存储单元,该存储单元包括:硅衬底;在硅衬底上重掺杂的源导电区和漏导电区;源漏导电区之间载流子沟道上覆盖的采用多层材料顺次堆叠进行能带调制的复合隧穿层;隧穿介质层上覆盖的经过掺杂处理或者材料替换的具有深导带能级(深电子存储势阱)的多晶硅浮栅层;在浮栅上覆盖的阻塞层;以及在控制栅介质层上覆盖的栅电极。

[0036] 上述技术方案中,复合隧穿层由多层介质顺次堆叠构成,其中第一隧穿子层由 SiO₂ 或者 HfSiO、HfLaON 等能带较宽且与 Si 衬底界面特性良好的材料制作而成,第二隧穿子层为 Si₃N₄ 或 SiO_xN_y 等能带较窄且价带位置较高的材料构成,第三隧穿子层由 SiO₂ 或者 HfSiO、HfLaON、HfAlO 等能带较宽的材料构成。图 5 为根据本发明实施例二半导体存储单元的势垒结构图。如图 5 所示,隧穿层的三层隧穿介质堆叠形成两边高,中间低的隧穿势垒结构。

[0037] 上述技术方案中的复合隧穿介质层,也可以选择各层材料堆叠形成两边低,中间高的冠状隧穿势垒结构,如图 6。其中,第一隧穿子层为 Si₃N₄ 或 SiO_xN_y 等能带较窄且价带位置较高的材料构成,第二隧穿子层由 SiO₂ 或者 HfSiO、HfLaON 等能带较宽的材料制作而成,第三隧穿子层为 Si₃N₄ 或 SiO_xN_y 等能带较窄且价带位置较高的材料构成。或者去掉第三

层隧穿层,采用 Si 衬底→高势垒隧穿层→低势垒(高价带位置)隧穿层→浮栅→阻塞层→栅电极的器件结构,如图 7 所示。其中,第一隧穿子层由 SiO_2 或者 HfSiO 、 HfLaON 等能带较宽的材料且与 Si 衬底界面特性良好的材料制作而成,第二隧穿子层为 Si_3N_4 或 SiO_xN_y 等能带较窄且价带位置较高的材料构成。

[0038] 上述技术方案中,控制栅介质层可以由单层 SiO_2 材料构成,或者由 SiO_2 、 Si_3N_4 、 SiO_2 三层介质层(ONO)材料堆叠制作而成;或者由 Al_2O_3 、 HfO_2 、 HfAl_xO_y 、 HfSi_xO_y 、 ZrO_2 、 ZrSi_xO_y 、 La_2O_3 、 Y_2O_3 、 LaAl_xO_y 、 Ta_2O_5 、 TiO_2 等高 K 材料中的任一种或适当的几种组合构成。

[0039] 上述技术方案中,控制栅材料层(7)可以采用金属、金属氮化物、金属硅化物、金属硅氮化合物、金属碳化物、金属碳氮化合物、多晶硅中的任一种或者几种的组合。

[0040] 本发明还公开了一种半导体存储器件的制备方法,包括:

[0041] 步骤一、在执行完毕在先工艺的硅衬底上制备由至少两层隧穿子层所构成的隧穿势垒结构的隧穿层;

[0042] 步骤二、在隧穿层上制备由具有深电子存储势阱的浮栅存储层;

[0043] 步骤三、在浮栅存储层上制备阻塞层;

[0044] 步骤四、多晶硅栅电极淀积,刻蚀,形成栅极图形;

[0045] 步骤五、执行源漏注入、源漏结激活退火、电极制备工艺,完成整个存储器件的制备。

[0046] 此外,基于目前 CMOS 工艺的成熟材料和技术,制备了改进型的半导体存储器件,制备工艺如图 8a 至 8i 所示:

[0047] 步骤 a,在执行完毕离子注入等工艺的硅衬底上用热氧化的方法生长 1.5nm SiO_2 ,作为第一隧穿子层层,如图 8a 所示;

[0048] 步骤 b,在 SiO_2 隧穿层上淀积 2.5 纳米的 Si_3N_4 薄膜,作为第二隧穿子层层,如图 8b 所示;

[0049] 步骤 c,在 Si_3N_4 隧穿层上淀积 2 纳米 SiO_2 薄膜,作为第三隧穿子层层,完成复合隧穿层的制备,如图 8c 所示;

[0050] 步骤 d,在 O/N/O 俘获隧穿层上生长多晶硅浮栅,如图 8d 所示;

[0051] 步骤 e,对多晶硅浮栅进行 P 型注入,并退火激活,如图 8e 所示;

[0052] 步骤 f,在多晶硅浮栅层上进行 O/N/O 阻塞层的生长,如图 8f 所示;

[0053] 步骤 g,多晶硅栅电极淀积,刻蚀,形成栅极图形,如图 8g 所示;

[0054] 步骤 h,栅堆栈刻蚀,如图 8h 所示;

[0055] 步骤 i,在此基础上执行源漏注入、源漏结激活退火、电极制备等工艺,完成整个存储器件的制备,如图 8i 所示。

[0056] 上述方案中,该改进存储方案的制备工艺与传统浮栅器件工艺完全兼容,只需在相关制程增添必要步骤,如隧穿层生长由单层薄膜生长调整为多层薄膜生长,多晶硅淀积变换为其他材料淀积,或者保持多晶硅浮栅,改变其掺杂条件等。器件制备涉及的工艺包括热氧化,化学气相淀积工艺、溅射工艺、原子层淀积工艺、热蒸发工艺、脉冲激光淀积工艺、电子束蒸发工艺或其它可实现结构的工艺,如光刻、刻蚀、表面平坦化、退火等传统方法。

[0057] 从上述技术方案可以看出,本发明具有以下有益效果:

[0058] 1) 本发明指出的改进型的浮栅存储器件对传统浮栅器件的多晶硅浮栅采用 P 型

掺杂, C 掺杂等处理工艺, 以获得更深的电子存储势阱, 从而有效提高器件的数据保持能力;

[0059] 2) 采用 C 掺杂多晶硅工艺可以增大浮栅的电荷存储密度, 有效增大存储窗口。

[0060] 3) 同时引入多层隧穿介质堆叠的隧穿层势垒工程, 调制器件的能带结构来获得高擦除速度, 从而综合改善了器件的存储特性;

[0061] 4) 该改进型浮栅存储器件制造工艺简单, 与常规的浮栅存储器工艺完全兼容, 成本低, 利于广泛应用。

[0062] 以上的具体实施例, 对本发明的目的、技术方案和有益效果进行了进一步详细说明, 所应理解的是, 以上仅为本发明的具体实施例而已, 并不用于限制本发明, 凡在本发明的精神和原则之内, 所做的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

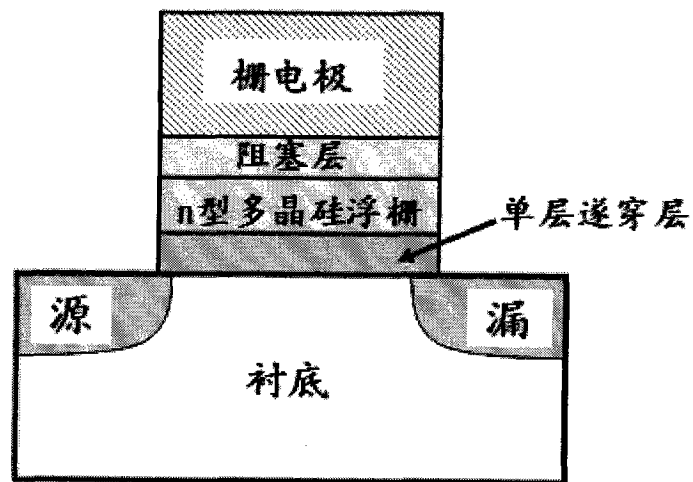


图 1

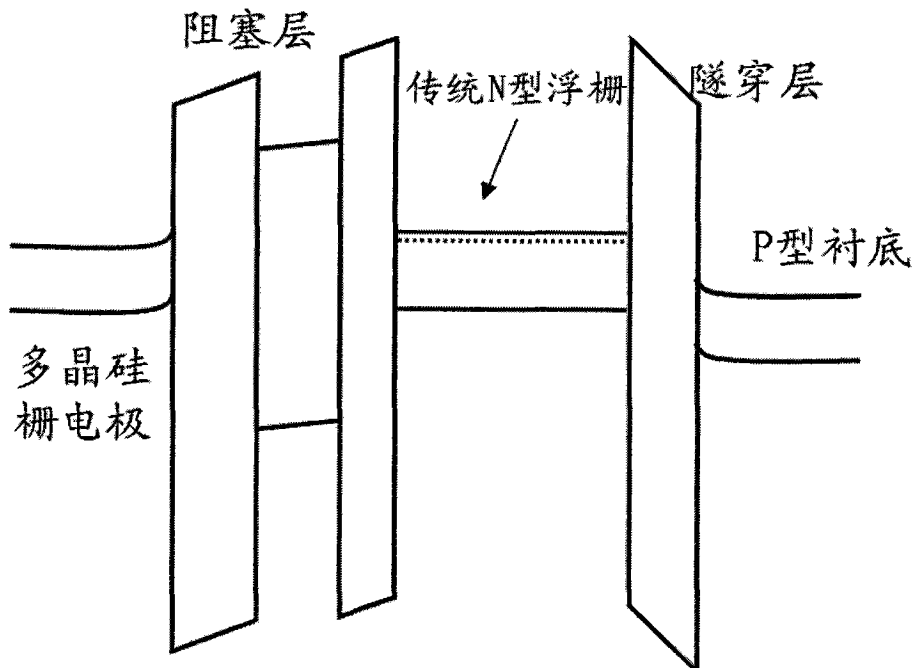


图 2

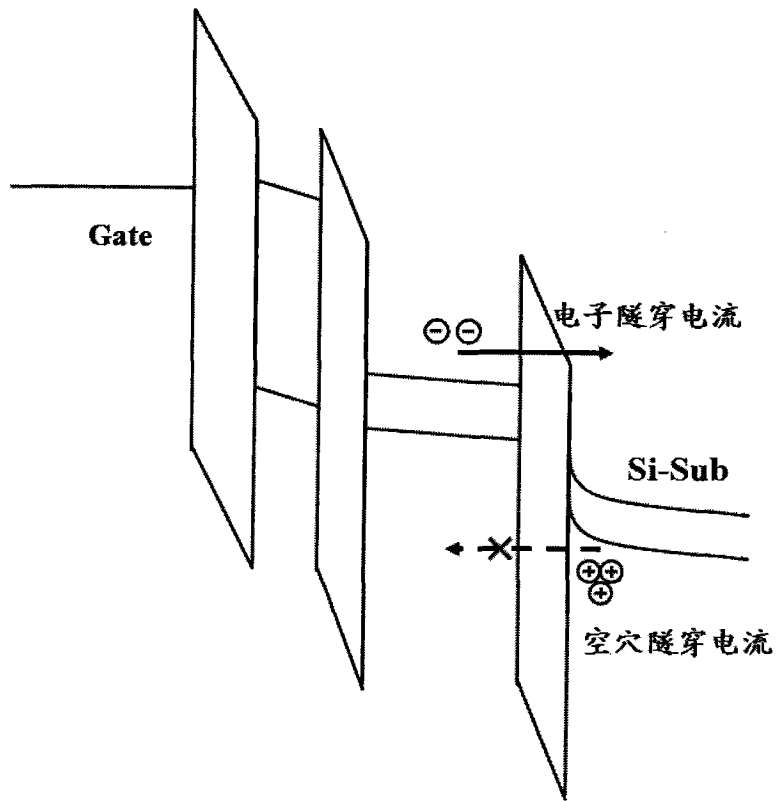


图 3

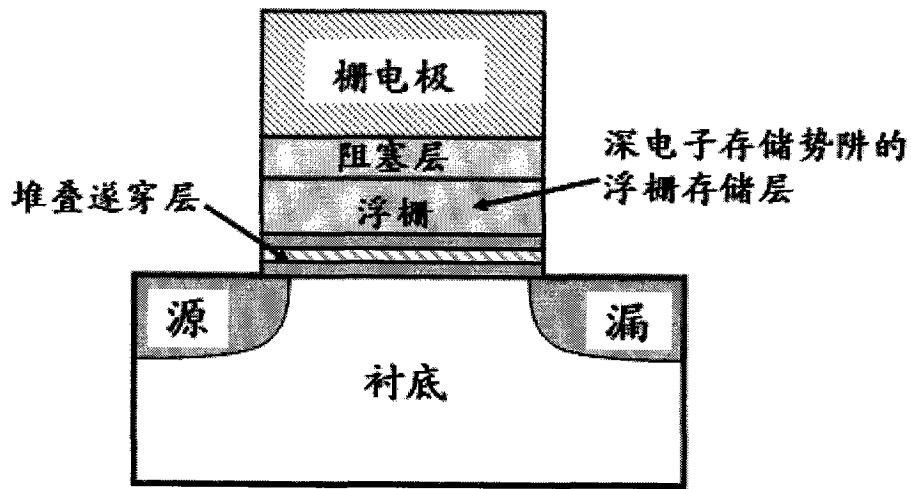


图 4

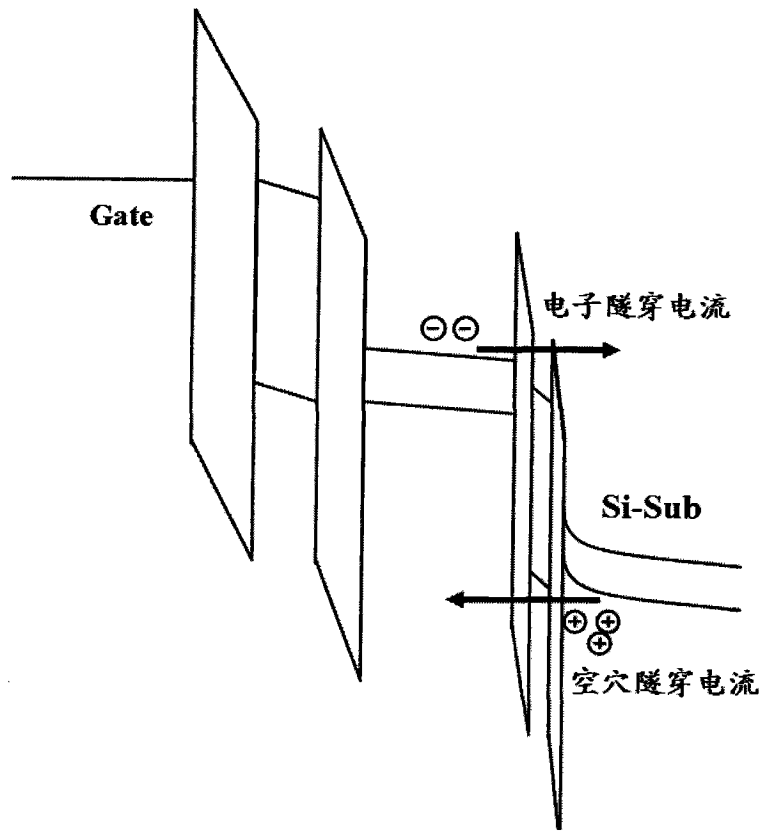


图 5

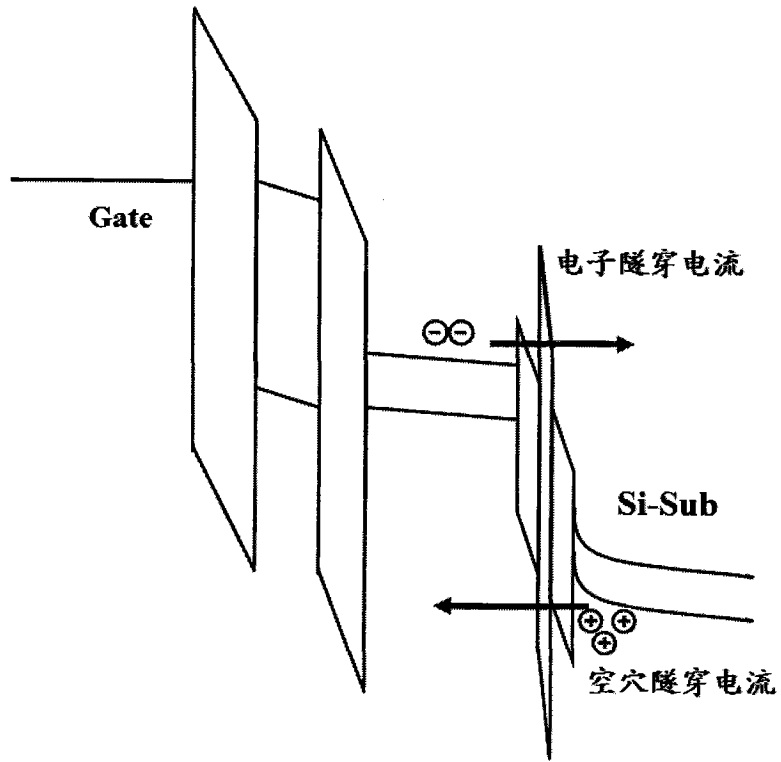


图 6

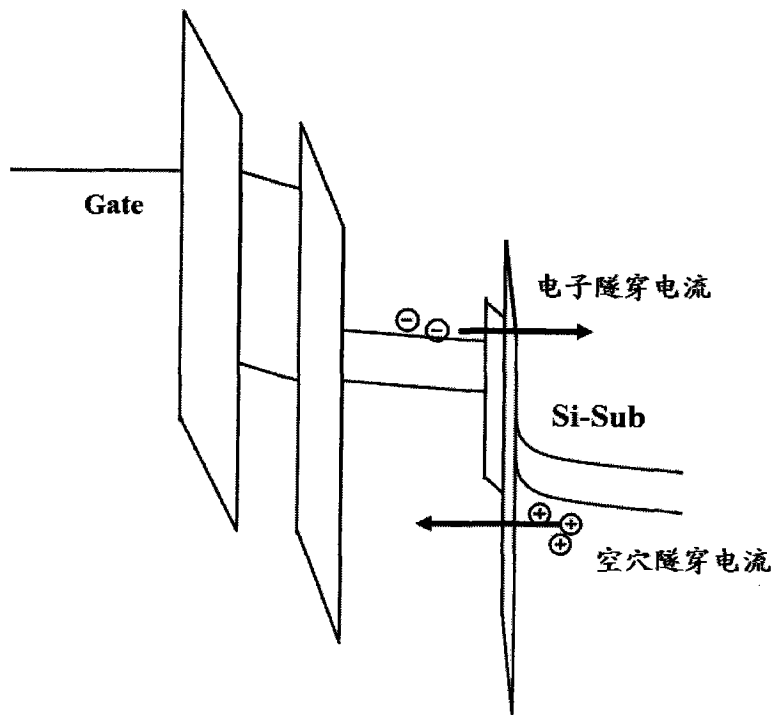


图 7

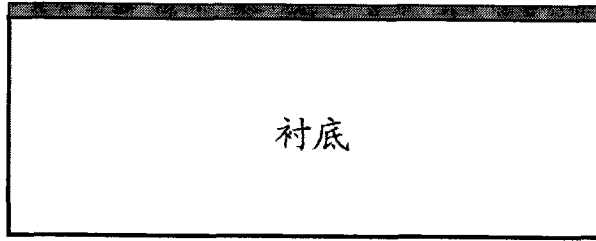


图 8a

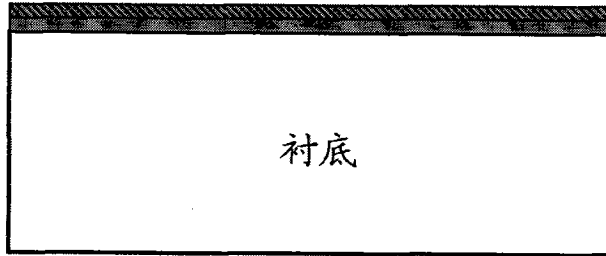


图 8b

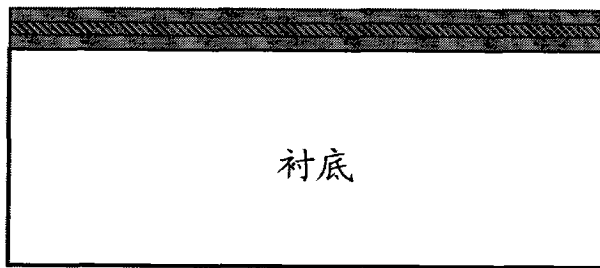


图 8c

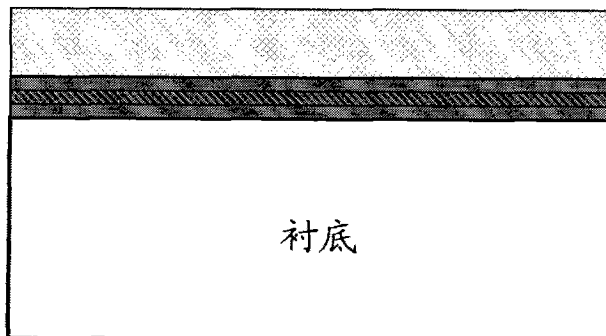


图 8d

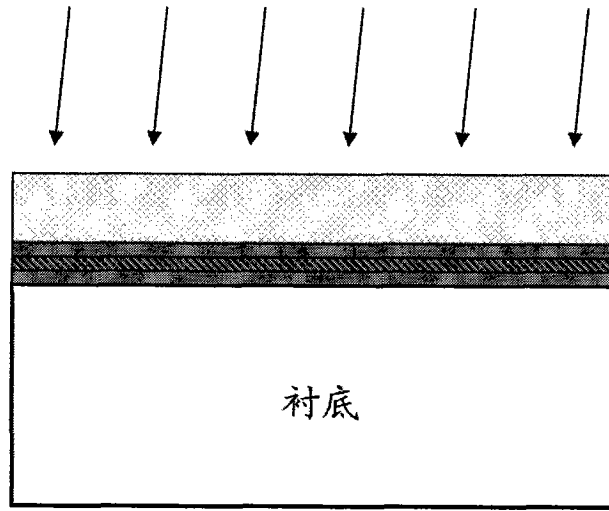


图 8e

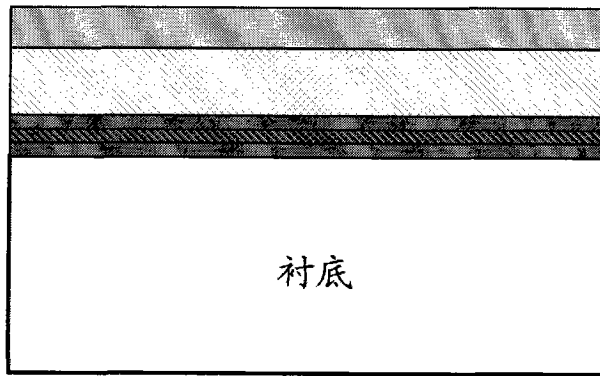


图 8f

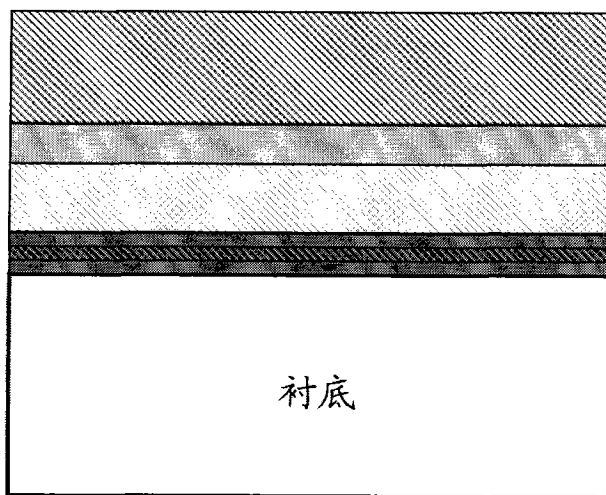


图 8g

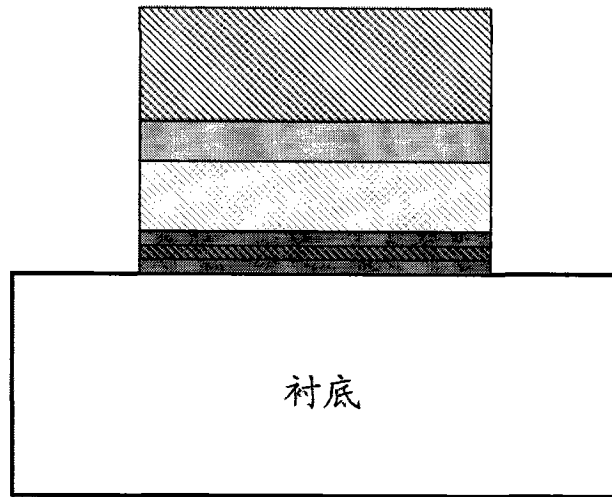


图 8h

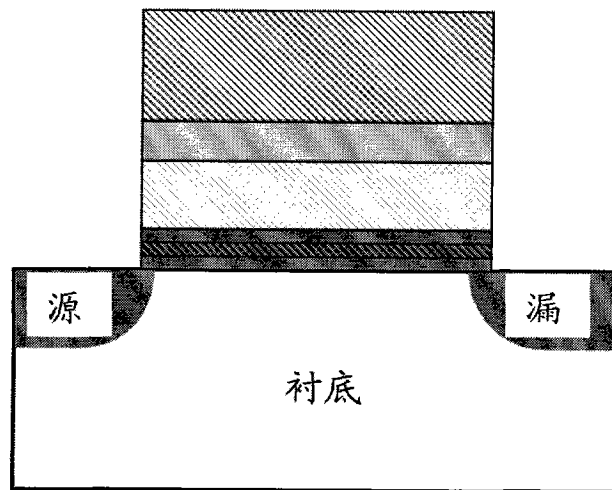


图 8i