

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3606573号  
(P3606573)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.<sup>7</sup>

F I

H03F 1/32

H03F 1/32

H04B 3/06

H04B 3/06

D

請求項の数 3 (全 32 頁)

(21) 出願番号 特願2002-194795 (P2002-194795)  
 (22) 出願日 平成14年7月3日(2002.7.3)  
 (62) 分割の表示 特願2000-260214 (P2000-260214)  
                   の分割  
                   原出願日 平成12年8月30日(2000.8.30)  
 (65) 公開番号 特開2003-32051 (P2003-32051A)  
 (43) 公開日 平成15年1月31日(2003.1.31)  
                   審査請求日 平成14年7月3日(2002.7.3)

(73) 特許権者 000001122  
                   株式会社日立国際電気  
                   東京都中野区東中野三丁目14番20号  
 (74) 代理人 100098132  
                   弁理士 守山 辰雄  
 (72) 発明者 宮谷 徹彦  
                   東京都中野区東中野三丁目14番20号  
                   株式会社日立国際電気内

審査官 佐藤 敬介

(56) 参考文献 特開2001-203539 (JP, A)

最終頁に続く

(54) 【発明の名称】歪補償装置

(57) 【特許請求の範囲】

【請求項1】

増幅器で発生する歪を補償する歪補償装置において、  
 増幅器で発生する歪の補償を制御する歪補償の制御系と被増幅信号が流れて歪補償用の歪が発生させられる主信号系との間の遅延時間を調整することを、基準となる遅延時間に所定の調整時間を加算した時間を遅延時間とした場合における歪残存量と当該基準となる遅延時間から当該所定の調整時間を減算した時間を遅延時間とした場合における歪残存量とで小さい方に対応した調整後の遅延時間を更新後の遅延時間として選択することにより行う、  
 ことを特徴とする歪補償装置。

【請求項2】

請求項1に記載の歪補償装置において、  
 更新される遅延時間を最適な遅延時間に近づけるように、遅延時間の更新を繰り返して行う、  
 ことを特徴とする歪補償装置。

【請求項3】

請求項2に記載の歪補償装置において、  
 基準となる遅延時間における歪残存量と調整後の遅延時間における歪残存量との差が小さくなるに応じて、調整時間を小さくしていく、  
 ことを特徴とする歪補償装置。

10

20

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、増幅器で発生する歪を補償する歪補償装置に関し、特に、当該増幅器により増幅される信号に対して発生させる歪の量を制御するタイミングを調整することにより、高精度な歪補償を実現する歪補償装置に関する。

## 【0002】

## 【従来の技術】

例えば携帯電話システム等の移動無線通信システムでは、基地局装置が統括するエリア（セル）の端までに存する移動局装置との間で無線通信するのを可能とするため、及び、通信状況によっては基地局装置が複数の移動局装置（複数のユーザ）に対して同時に信号を無線送信するため、基地局装置は大電力で信号を送信することが必要となる。また、同様に、基地局装置から無線送信される信号を受信及び増幅して当該増幅信号を移動局装置に対して無線送信する中継局装置（中継増幅器）においても、大電力で信号を送信することが必要となる。

10

## 【0003】

このため、上記のような基地局装置や中継局装置では、セルの端までの物理的距離をカバーすることが可能な（大）電力増幅器（PA：Power Amplifier）により送信対象となる信号（例えば変調波）を所望のレベルに増幅することが行われている。しかしながら、このような増幅器では、素子の限界点（飽和点）近辺で、非線型な応答（AM-AM変換やAM-PM変換）の特性を示してしまい、非線型歪が発生してしまうという問題がある。

20

## 【0004】

また、例えば電波法では、各種の無線通信サービスを行う者に対して、隣接する帯域を用いて無線通信する異なるサービス間での影響を無くすべく、厳しい帯域制限を課する規定が設けられている。

## 【0005】

そこで、上記のような増幅器で発生する非線型歪を補償する方式として、従来では、例えば当該増幅器で発生する非線型歪と逆の特性を有する（つまり、当該非線型歪を打ち消す）歪を前段で発生させることにより当該非線型歪を補償するプリディストータ型歪補償方式が用いられている。

30

## 【0006】

なお、上記のような非線型歪を補償する方式としては、他にも、例えばフィードフォワード型歪補償方式や負帰還型歪補償方式等の歪補償方式がある。ここで、例えばフィードフォワード型歪補償方式では、動作が安定であるという利点があるものの、歪検出ループにおいて（主増幅器で発生する）歪成分を抽出するとともに歪補償ループにおいて当該歪成分を副増幅器で増幅して当該増幅信号を主増幅器の出力信号から差し引く処理を行う必要があることから、回路が複雑となるとともに、副増幅器により電源効率が低下してしまうという問題がある。これに対して、プリディストータ型歪補償方式では、構成が比較的簡易で、副増幅器を必要としないことから、回路規模と電源効率の点で特に有利となる。

40

## 【0007】

次に、上記のようなプリディストータ型歪補償方式により歪補償を行うプリディストータを備えた（歪補償）増幅装置の一例を示す。

図11には、プリディストータを備えた増幅装置（プリディストーション機能付き増幅器）の回路構成例を示してあり、同図を参照して、当該増幅装置の動作例を示す。なお、この増幅装置は、上記のような基地局装置や中継局装置の送信部に設けられており、送信対象となる信号（送信信号）を送信機から入力し、当該信号を増幅器により増幅してアンテナへ出力する。

## 【0008】

まず、送信機から出力される送信対象となる信号が（当該増幅装置に）入力され、当該信

50

号が2つに分配されて、一方の分配信号が遅延手段81に入力される一方、他方の分配信号がレベル検出部85に入力される。

【0009】

ここで、図12には、送信機から増幅装置に入力される段階における信号のスペクトラムの一例を示してあり、同図中の横軸は信号の周波数[kHz]を示しており、縦軸は信号のレベルを電力比[dB]により示してある。同図に示されるように、この段階では、プリディストータ(可変減衰器82及び可変移相器83)による歪や増幅器84による歪を受けていないため、使用帯域外の不要な信号のレベルが低いスペクトラムとなっている。

【0010】

遅延手段81は、入力される信号(一方の分配信号)を遅延させて可変減衰器(アッテネータ)82へ出力する。 10

可変減衰器82は、遅延手段81から入力される信号の振幅を、後述するD/A変換器88から入力される(アナログ)制御信号に応じて変化(減衰)させることにより当該入力信号に対して当該制御信号に応じた量の振幅歪を発生させて、当該信号(振幅歪を含む)を可変移相器83へ出力する。

【0011】

可変移相器83は、可変減衰器82から入力される信号の位相を、後述するD/A変換器89から入力される(アナログ)制御信号に応じて変化させることにより当該入力信号に対して当該制御信号に応じた量の位相歪を発生させて、当該信号(位相歪を含む)を増幅器84へ出力する。 20

なお、この例では、直列に接続された可変減衰器82と可変移相器83や、これらを制御する制御系81、85~90からプリディストータ(前置歪発生器)が構成されている。

【0012】

増幅器84は、可変移相器83から入力される信号を所望のレベルに増幅し、当該増幅信号を(当該増幅装置から)アンテナへ出力する。

ここで、図13には、例えば歪補償が行われなかった場合に増幅器84から出力される信号のスペクトラムの一例を示してあり、同図中の横軸は信号の周波数[kHz]を示しており、縦軸は信号のレベルを電力比[dB]により示してある。同図に示されるように、この場合には、増幅器84で発生する歪に起因して、使用帯域外に歪成分(隣接チャンネルへの漏洩電力)が発生したスペクトラムとなっている。 30

【0013】

また、このような歪成分は、増幅器84で発生する歪とは逆の特性の歪(振幅歪や位相歪)を上記したプリディストータ(可変減衰器82及び可変移相器83)で発生させることにより、補償することができる。

ここで、図14には、プリディストータにより歪補償が行われた場合に増幅器84から出力される信号のスペクトラムの一例を示してあり、同図中の横軸は信号の周波数[kHz]を示しており、縦軸は信号のレベルを電力比[dB]により示してある。同図に示されるように、この場合には、増幅器84で発生してしまう使用帯域外の歪成分(隣接チャンネルへの漏洩電力)が低減させられたスペクトラムとなっている。

【0014】

レベル検出部85は、例えば信号の包絡線を検出する包絡線検出器や、検出される包絡線に関して所定の周波数成分のみを抽出する低域通過フィルタ(LPF: Low Pass Filter)や、抽出される包絡線成分をA/D(Analog/Digital)変換するA/D変換器などから構成されている。そして、レベル検出部85は、このような構成を用いて、入力される信号(他方の分配信号)のレベル(例えば電力レベル)を検出し、当該検出結果をデジタル値により制御部90へ出力する。 40

【0015】

歪抽出手段86は、例えば方向性結合器から構成されており、増幅器84から出力される増幅信号に含まれる歪(例えば当該増幅信号の一部)を抽出して制御部90へ出力する。

クロック源87は、所定の周期のクロック信号を発生させ、当該クロック信号を、レベル 50

検出部 85 や後述する 2 つの D / A 変換器 88、89 のようにデジタル処理を行う各処理部へ出力して供給する。

【0016】

D / A ( Digital / Analog ) 変換器 88 は、クロック源 87 から入力されるクロック信号に応じたタイミングに基づいて、後述する制御部 90 から入力されるデジタル制御信号をアナログ制御信号へ変換して可変減衰器 82 へ出力する。なお、この制御信号は、可変減衰器 82 における振幅変化量 (つまり、発生させる振幅歪の量) を制御するものである。

【0017】

D / A 変換器 89 は、クロック源 87 から入力されるクロック信号に応じたタイミングに基づいて、後述する制御部 90 から入力されるデジタル制御信号をアナログ制御信号へ変換して可変移相器 83 へ出力する。なお、この制御信号は、可変移相器 83 における位相変化量 (つまり、発生させる位相歪の量) を制御するものである。

【0018】

制御部 90 は、例えばデジタル信号処理器 ( DSP : Digital Signal Processor ) から構成されている。そして、制御部 90 は、レベル検出部 85 から入力される検出結果 (検出されたレベル) に基づいて、可変減衰器 82 により当該検出結果に応じた振幅変化量を実現するためのデジタル制御信号を D / A 変換器 88 へ出力するとともに、可変移相器 83 により当該検出結果に応じた位相変化量を実現するためのデジタル制御信号を D / A 変換器 89 へ出力する。

【0019】

具体的には、増幅器 84 の非線型特性では、入力信号のレベルに対して出力信号のレベルが線型ではないこと ( AM - AM 変換 ) から振幅歪が発生するとともに、入力信号のレベルに対して出力信号の位相が線型ではないこと ( AM - PM 変換 ) から位相歪が発生し、発生する振幅歪の量や位相歪の量は増幅器 84 により増幅される信号のレベル (入力される信号のレベルや、出力される信号のレベル) に依存して変化する。そこで、制御部 90 は、増幅器 84 により増幅される信号のレベルを反映するレベルであるレベル検出部 85 による検出結果に基づいて、増幅器 84 で発生する振幅歪を打ち消す量の振幅歪を可変減衰器 82 により発生させるとともに、増幅器 84 で発生する位相歪を打ち消す量の位相歪を可変移相器 83 により発生させる。

【0020】

なお、一例として、増幅器 84 で発生する振幅歪を補償するための補正振幅歪特性 (前記振幅歪とは逆の特性) や増幅器 84 で発生する位相歪を補償するための補正位相歪特性 (前記位相歪とは逆の特性) は予め計算 (或いは測定等) されており、例えばレベル検出部 85 による検出結果の値に対して振幅歪に関する制御値及び位相歪に関する制御値を対応付けて記憶した補正テーブルが制御部 90 のメモリに格納されている。この場合、制御部 90 は、レベル検出部 85 から入力される検出結果の値に対応した振幅歪に関する制御値及び位相歪に関する制御値を補正テーブルから読み出して、これら 2 つの制御値をそれぞれ可変減衰器 82 を制御するためのデジタル制御信号及び可変移相器 83 を制御するためのデジタル制御信号としてそれぞれの D / A 変換器 88、89 へ出力する。

【0021】

また、制御部 90 では、例えば歪抽出手段 86 から入力される信号から歪成分 (使用帯域外の信号成分) のレベル (例えば電力レベル) を検出して、当該検出されるレベルが小さく (好ましくは、最小と) なるように (つまり、歪補償量が大きくなるように) 上記した補正テーブルの内容を更新することもでき、これにより、歪補償の精度を向上させることができる。

【0022】

ところで、上記した遅延手段 81 は、前記一方の分配信号が可変減衰器 82 や可変移相器 83 により処理されるタイミングと、前記他方の分配信号のレベルに応じた制御信号が制御部 90 から D / A 変換器 88、89 を介して可変減衰器 82 や可変移相器 83 に入力さ

10

20

30

40

50

れるタイミングとの間の時間差（遅延時間）を補償する役割（理想的には、これら２つのタイミングを一致させる役割）を担っている。

【 0 0 2 3 】

つまり、入力信号の或る信号部分に対して可変減衰器 8 2 や可変移相器 8 3 により歪（振幅歪や位相歪）を発生させる場合には、これら可変減衰器 8 2 や可変移相器 8 3 は（他の信号部分ではなく）当該信号部分のレベルに応じた制御信号により制御される必要があり、上記した遅延手段 8 1 はこのような処理のタイミングを補償するために設けられている。

【 0 0 2 4 】

【 発明が解決しようとする課題 】

しかしながら、例えば上記図 1 1 に示したような遅延手段 8 1 では、前記遅延時間を微妙（微小）に調整することが困難であるといった不具合があり、このため、例えば当該遅延時間が大きくなってしまった場合には歪補償の精度が劣化してしまうといった不具合があった。

【 0 0 2 5 】

ここで、上記のような不具合を更に詳しく説明する。

すなわち、上記した遅延手段 8 1 では、前記他方の分配信号のレベルを検出して当該検出結果に応じたデジタル制御信号を D / A 変換する処理にかかる遅延時間の他にも、物理的な配線経路によって生じる遅延時間の調整を行うことが必要となる。

【 0 0 2 6 】

一例として、本件の発明者らが想定した増幅装置（なお、一例であって、本発明は、ここで挙げる例に限られない）を検討した結果によると、遅延時間の調整としては、500 psec (psec : picosecond) =  $10^{-12}$  秒のオーダーでの調整が必要となる。この遅延時間を例えばセミリジットケーブルにより調整するとすれば、約 10 cm のケーブルを用意して調整することになる。しかしながら、一般に電子装置の（回路）基板の端から端までは約 30 ~ 40 cm あることを考慮すると、前記 10 cm というのは、配線の引き回しによって容易に発生してしまう遅延時間に相当する。

【 0 0 2 7 】

また、上記のような遅延時間は、例えば基板の寄生容量や、使用される各デバイスの個体差にも依存して変化してしまう。つまり、従来においては、装置（例えば上記図 1 1 に示した増幅装置など）を作成する度毎に、ケーブルの長さを調整する等して遅延時間を調整することが必要となる。しかも、この遅延時間は例えば各電子デバイスの温度特性にも左右され、温度が変化すると当該遅延時間も（微妙に）変化してしまう。また、この遅延時間は、例えば各デバイスの使用年月によっても変化（経年変化）してしまう。

【 0 0 2 8 】

以上のように、上記のような遅延時間を調整することは、装置作成上において非常に重要な要素となっており、従来では、このような遅延時間の調整を微小な単位で行うことが困難であったことから、結果的に、たとえ長時間をかけて困難な調整を行ったとしても装置が高価格となってしまっていた。

【 0 0 2 9 】

また、上記のような遅延時間の調整誤差がプリディストータによる歪補償に対して与えてしまう影響に関する計算機シミュレーションの結果の一例を示す。

なお、この例では、5 MHz 帯域のシングルキャリアを用いた場合を示しており、また、送信対象となる信号の波形に関する条件としては、例えば 3 GPP (3rd Generation Partnership Project) の仕様にある通り、ユーザ数が 50 ユーザであり、当該信号を帯域制限するためのフィルタのロールオフ率が 0.22 であるという条件を用いている。

【 0 0 3 0 】

また、歪成分のレベルを検討するためのパラメータとしては、3 次の相互変調歪成分 (IM3) や 5 次の相互変調歪成分 (IM5) 等といったものもあるが、この例では、説明を

10

20

30

40

50

簡略化するために、使用帯域に隣接する帯域へ漏洩する電力のレベルを表す隣接帯域漏洩電力比 (ACPR: Adjacent Channel Power Ratio) [dBc] により歪成分のレベルを示す。

【0031】

具体的に、図15には、遅延時間(前記一方の分配信号を処理する系と前記他方の分配信号を処理する系との相対的な遅延時間)が振幅歪の補正(補償)に対して与えてしまう影響に関する計算機シミュレーションの結果の一例を示してあり、同図中の横軸は(相対)遅延時間 [ $\times 2 \text{ nsec}$  ( $\text{nsec} : \text{nanosecond} = 10^{-9}$  秒)] を示しており(例えば、“2”という目盛りは4 nsecを示す)、縦軸は歪成分のレベルを隣接帯域漏洩電力比 (ACPR) [dBc] により示している。なお、このシミュレーションでは、(例えば可変移相器83による)位相歪の補正に関する遅延時間はゼロであるとしている。

10

【0032】

また、具体的に、図16には、(相対)遅延時間が位相歪の補正(補償)に対して与えてしまう影響に関する計算機シミュレーションの結果の一例を示してあり、同図中の横軸は(相対)遅延時間 [ $\times 2 \text{ nsec}$ ] を示しており、縦軸は歪成分のレベルを隣接帯域漏洩電力比 (ACPR) [dBc] により示している。なお、このシミュレーションでは、(例えば可変移相器83による)振幅歪の補正に関する遅延時間はゼロであるとしている。

【0033】

上記図15に示されるように、遅延時間が振幅歪の補償に対して与えてしまう影響は比較的小さい一方、上記図16に示されるように、遅延時間が位相歪の補償に対して与えてしまう影響は比較的大きく、いずれに関しても、遅延時間(の調整誤差)が大きくなるに従ってACPRは劣化していく。

20

【0034】

ここで、振幅歪の補償に関してよりも位相歪の補償に関しての方が遅延時間の影響が大きい理由は、一般に、増幅器における振幅歪 (AM-AM変動) ではゲイン変動量が小さい一方、増幅器における位相歪 (AM-PM変動) では位相変動量が大きいためである。つまり、増幅器における位相歪に関しては、その変動幅が大きいため、遅延時間が多少ずれただけでも補償の精度(この例では、ACPR)が大きく変化してしまう。

【0035】

なお、上記図15や上記図16に示した計算機シミュレーションの結果として提示した数値は、例えばシミュレーション上で使用する増幅デバイス等に依存して変化すると考えられるが、位相歪の補償の方が振幅歪の補償と比べて遅延時間による影響を大きく受けてしまうという傾向については本シミュレーションの結果と同じであると考えられる。

30

【0036】

本発明は、上記のような従来の課題を解決するためになされたもので、増幅器で発生する歪を補償するに際して、例えば上記のような遅延時間を微妙(微小)に調整して当該増幅器により増幅される信号に対して発生させる歪の量を制御するタイミングを微妙(微小)に調整することにより、高精度な歪補償を実現することができる歪補償装置を提供することを目的とする。

40

【0037】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る歪補償装置では、次のようにして、増幅器で発生する歪を補償する。

すなわち、増幅器により増幅される信号に対して振幅と位相との少なくともいずれか一方の歪を発生させる歪発生手段に対して、信号レベル検出手段が増幅器により増幅される信号のレベルを検出して、歪量制御手段が信号レベル検出手段により検出されるレベルに基づいて歪発生手段により発生させる歪の量を制御するに際して、制御タイミング調整手段が増幅器で発生する歪が大きく補償されるように、歪量制御手段により歪の量を制御するタイミングを調整する。

50

## 【0038】

従って、増幅器により増幅される信号に対して発生させる歪の量を制御するタイミングを調整するという新規な調整の仕方によって、例えば当該タイミングを微妙（微小）に調整することが可能となり、これにより、高精度な歪補償を実現することができる。

## 【0039】

ここで、歪補償の対象となる増幅器としては、種々なものであってもよく、例えば複数の増幅器から構成された増幅器であってもよい。なお、本発明では、このような増幅器で発生する振幅歪や位相歪が補償の対象となる。

また、増幅器で発生する歪を補償する程度としては、例えば当該歪をゼロに低減させるのが好ましいが、本発明では、必ずしもこのような態様（つまり、ゼロに低減させる態様）が用いられなくともよく、要は、当該歪を低減させることができればよい。

10

## 【0040】

また、増幅器により増幅される信号に対して歪発生手段により歪を発生させる態様としては、例えば増幅器により増幅される前の信号に対して歪を発生させる態様が用いられてもよく、或いは、例えば増幅器により増幅された後の信号に対して歪を発生させる態様が用いられてもよい。

## 【0041】

また、歪発生手段としては、例えば振幅の歪を発生させる機能と位相の歪を発生させる機能との両方を有するのが好ましいが、例えば振幅の歪を発生させる機能のみを有した構成や、或いは、位相の歪を発生させる機能のみを有した構成が用いられてもよい。

20

## 【0042】

また、増幅器により増幅される信号のレベルを信号レベル検出手段により検出する態様としては、例えば当該増幅器により増幅される前の信号のレベルを検出する態様が用いられてもよく、或いは、例えば当該増幅器により増幅された後の信号のレベルを検出する態様が用いられてもよい。

また、検出するレベルとしては、種々なレベルであってもよく、例えば信号の振幅のレベルや、信号の電力（通常、振幅の2乗に比例する）のレベルを検出することができる。

## 【0043】

また、歪量制御手段は、例えば増幅器で発生する歪（振幅歪や位相歪）の量を打ち消す量の歪（増幅器で発生する歪とは逆特性の歪）が歪発生手段により発生させられるように、当該歪発生手段により発生させる歪の量を制御する。なお、増幅器で発生する歪（振幅歪や位相歪）の量は、例えば信号レベル検出手段により検出されるレベルに基づいて推定することが可能である。

30

## 【0044】

また、制御タイミング調整手段による調整によって増幅器で発生する歪が大きく補償されるようにする程度としても、上述のように種々な程度であってもよく、具体的には、必ずしも当該歪がゼロに補償されなくともよく、例えば実用上で有効な精度で歪補償が実現されればよい。

また、歪制御手段により歪の量を制御するタイミングを制御タイミング調整手段により調整することは、例えば上記従来例で示したような遅延時間を調整することに相当する。

40

## 【0045】

また、制御タイミング調整手段としては、例えば常に（或いは、例えば定期的に）増幅器で発生する歪の補償量を検出して、当該補償量が大きくなるように、歪量制御手段により歪の量を制御するタイミングを（常に、或いは、定期的に）調整する構成が用いられるのが好ましいが、例えば予め増幅器で発生する歪が大きく補償されるように調整時間が（固定的に）設定された構成が用いられてもよい。

## 【0046】

また、本発明に係る歪補償装置では、好ましい態様として、歪発生手段は、外部（ここでは、後述するD/A変換手段）から入力されるアナログ制御信号に応じて発生させる歪（振幅歪や位相歪）の量が変化する回路（振幅を変化させる回路や位相を変化させる回路）

50

から構成されている。

また、歪量制御手段は、デジタル制御信号をアナログ制御信号へ変換して外部（ここでは、制御タイミング調整手段）から入力されるタイミング信号に応じたタイミングで出力するD/A変換手段を用いて構成されており、デジタル制御信号を当該D/A変換手段を介して歪発生手段へ出力することにより当該歪発生手段により発生させる歪（振幅歪や位相歪）の量を制御する。

【0047】

また、制御タイミング調整手段は、所定の周期のクロック信号を発生させるクロック信号発生手段と、当該クロック信号発生手段により発生させられるクロック信号からタイミングを調整したタイミング信号を生成するタイミング信号生成手段とを用いて構成されており、タイミング信号生成手段により生成されるタイミング信号をD/A変換手段へ出力することにより、歪量制御手段により歪（振幅歪や位相歪）の量を制御するタイミングを調整する。

10

【0048】

また、本発明に係る歪補償装置では、好ましい態様として、歪量制御手段は、更に、信号のレベルと制御値（歪発生手段により発生させる歪（振幅歪や位相歪）の量を制御するための制御値）とを対応付けて記憶するメモリ手段を用いて構成されており、信号レベル検出手段により検出されるレベルと対応した制御値を当該メモリ手段からデジタル制御信号としてD/A変換手段を介して歪発生手段へ出力することにより当該歪発生手段により発生させる歪（振幅歪や位相歪）の量を制御する。

20

【0049】

また、本発明に係る歪補償装置では、一態様として、タイミング信号生成手段は、クロック信号発生手段により発生させられるクロック信号を可変な利得で増幅する可変増幅器と、当該可変増幅器により増幅された信号のレベルが所定の閾値以上である場合に当該レベルを所定のレベルに制限して出力するリミッタとを用いて構成されており、可変増幅器の利得を調整することでレベル制限のタイミングを調整したりリミッタからの出力信号をタイミング信号とする。

【0050】

ここで、所定の閾値としては、例えば装置の使用状況等に応じて、種々な値が用いられてもよい。

30

また、所定のレベルとしては、種々なレベルであってもよく、一例として、前記所定の閾値（と同じレベル）を用いることができる。

【0051】

また、本発明に係る歪補償装置では、他の態様として、タイミング信号生成手段は、可変な閾値を用いてクロック信号発生手段により発生させられるクロック信号のレベルが当該閾値以上である場合にオン信号を出力する一方、当該クロック信号のレベルが当該閾値未満である場合にオフ信号を出力するコンパレータを用いて構成されており、当該コンパレータの閾値を調整することでオンオフのタイミングを調整した当該コンパレータからの出力信号をタイミング信号とする。

【0052】

ここで、閾値としては、例えば装置の使用状況等に応じて、種々な値が用いられてもよい。

40

また、例えば“1”値と“0”値とから構成されるデジタル信号を例とすると、上記したオン信号は例えば“1”値の信号（或いは、“0”値の信号）に相当し、上記したオフ信号は例えば“0”値の信号（或いは、“1”値の信号）に相当する。

【0053】

また、本発明に係る歪補償装置では、他の態様として、タイミング信号生成手段は、可変な閾値を用いてクロック信号発生手段により発生させられるクロック信号のレベルが当該閾値以上である場合に当該レベルを所定のレベルに制限して出力するリミッタを用いて構成されており、当該リミッタの閾値を調整することでレベル制限のタイミングを調整した

50

当該リミッタからの出力信号をタイミング信号とする。

【0054】

ここで、閾値としては、例えば装置の使用状況等に応じて、種々な値が用いられてもよい。

また、所定のレベルとしては、種々なレベルであってもよく、一例として、前記所定の閾値（と同じレベル）を用いることができる。

【0055】

また、本発明に係る歪補償装置では、一態様として、フリップフロップを用いて、タイミング信号のデューティ（オン状態とオフ状態とからなる信号においてオン状態が占める比率）を変化させることができる。

すなわち、タイミング信号生成手段は、更に、前記タイミングを調整した出力信号（上記したリミッタや上記したコンパレータからの出力信号）を入力して当該信号のデューティを変化させた信号を出力するフリップフロップを用いて構成されており、当該フリップフロップからの出力信号をタイミング信号とする。

【0056】

また、本発明に係る歪補償装置では、他の態様として、フリップフロップを用いてタイミング信号のデューティを変化させるとともに、セレクトアを用いてタイミング信号のタイミングを（更に大きな範囲で）調整することができる。

すなわち、タイミング信号生成手段は、更に、前記タイミングを調整した出力信号（上記したリミッタや上記したコンパレータからの出力信号）を入力して当該信号のデューティを変化させた信号及び当該信号のオンオフを反転させた信号（つまり、前記出力信号のデューティを変化させるとともにオンオフを反転させた信号）を出力するフリップフロップと、当該フリップフロップから出力される2つの信号から一方を選択して出力するセレクトアとを用いて構成されており、当該セレクトアからの出力信号をタイミング信号とする。

【0057】

また、本発明に係る歪補償装置では、好ましい態様として、歪発生手段は、増幅器により増幅される信号の振幅を変化させて当該信号に対して振幅歪を発生させる可変減衰器と、増幅器により増幅される信号の位相を変化させて当該信号に対して位相歪を発生させる可変移相器とを直列に接続して構成されている。

また、歪量制御手段は、可変減衰器による振幅変化量を制御することで当該可変減衰器により発生させる振幅歪の量を制御するとともに、可変移相器による位相変化量を制御することで当該可変移相器により発生させる位相歪の量を制御する。

【0058】

また、制御タイミング調整手段は、信号（増幅器により増幅される信号）が可変減衰器により処理されるタイミングと当該信号が可変移相器により処理されるタイミングとのずれに応じて、歪量制御手段により振幅歪の量を制御するタイミングと当該歪量制御手段により位相歪の量を制御するタイミングとを（例えば前記ずれに相当する分の時間）ずらす。

【0059】

ここで、増幅器により増幅される信号に対して振幅歪を発生させる手段（ここでは、可変減衰器）と当該信号に対して位相歪を発生させる手段（ここでは、可変移相器）との接続順序としては任意であってもよく、つまり、当該信号に対して振幅歪を発生させた後に位相歪を発生させてもよく、或いは、当該信号に対して位相歪を発生させた後に振幅歪を発生させてもよい。

【0060】

また、本発明に係る歪補償装置では、好ましい態様として、信号を無線により送信する無線送信装置に設けられて、当該無線送信装置による送信対象となる信号を増幅する増幅器で発生する歪を補償し、そして、制御タイミング調整手段は、当該送信対象となる信号の帯域（例えばキャリア周波数間隔にキャリア数を乗算した値）を8倍した値の逆数値以下の秒の誤差で、歪量制御手段により歪の量を制御するタイミングを調整する。

【0061】

10

20

30

40

50

ここで、無線送信装置としては、種々な装置であってもよく、好ましい態様としては、移動無線通信システムの基地局装置や中継局装置（中継増幅器）が用いられる。また、無線送信装置は、必ずしも無線送信機能のみを備えた装置でなくともよく、無線送信機能と無線受信機能との両方を備えた装置（無線通信装置）であってもよい。

また、上記した8（倍）はオーバーサンプリング数に相当するものであり、上記で示されるように、8以上の数値であるのが好ましい。

#### 【0062】

ここで、上記したタイミング調整に係る誤差について、デジタルプリディストーションの場合を例として、上記図15及び上記図16に示した計算機シミュレーション結果の例を参照して、詳しく説明する。なお、理想的には、上記従来例で示した（相対）遅延時間がゼロとなるとときに最適な歪補償（歪除去）が実現されるが、ここでは、現実の（誤差が生じてしまう）装置を考慮して、どこまで遅延時間を小さくすれば有効な歪補償が実現されるかを数式及び上記した計算機シミュレーション結果例を用いて検討する。

10

#### 【0063】

一般に、プリディストーションでは、増幅器に入力される信号（被増幅信号）の包絡線によって歪が発生する。増幅器では、AM-AM変換及びAM-PM変換という非線型操作がデバイスにより行われ、これが歪の原因となる。ここで、AM-AM変換は、入力信号のレベルが大きいときに増幅器の利得（ゲイン）が一定ではなくなる現象を示しており、また、AM-PM変換は、入力信号のレベルに応じて増幅器から出力される信号の位相（出力位相）が変化する現象を示している。

20

#### 【0064】

ここで、上記した入力信号とは被増幅信号のことであり、当該被増幅信号の帯域は式1のように表される。なお、キャリア周波数間隔とは、例えば（複数の搬送波周波数が存在する）マルチキャリア信号において、隣接する搬送波を離調する周波数間隔のことである。例えば現在の3GPP仕様では、キャリア周波数間隔は5MHzとなっている。また、キャリア数とは、マルチキャリア信号に含まれる（周波数の異なる）キャリアの数のことである。例えばシングルキャリア伝送ではキャリア数=1となる。

#### 【0065】

##### 【数1】

$$\text{被増幅信号の帯域} = \text{キャリア周波数間隔} \times \text{キャリア数} \quad \cdot \cdot \quad (\text{式1})$$

30

#### 【0066】

ここでは、一例として、4キャリア（キャリア信号=1）のマルチキャリア信号を想定し、この場合、被増幅信号の帯域幅は20MHz（5MHz×4キャリア）となる。デジタルプリディストーションでは、入力信号の包絡線の変動に合わせたプリディストーションが実行される。一般に知られているサンプリング定理によると、入力信号の包絡線変動に正確に追従するためには、その信号帯域幅の2倍以上のサンプリングを実行することが必要とされる。

40

つまり、この場合に必要とされるデジタル回路の動作周期 $T_s$  [sec]は式2で示される。なお、オーバーサンプリング数としては2以上の数値が設定される。

#### 【0067】

##### 【数2】

$$T_s = 1 / (\text{被増幅信号帯域} \times \text{オーバーサンプリング数}) \quad \cdot \cdot \quad (\text{式2})$$

#### 【0068】

一例として、被増幅信号帯域が5MHzであり、4倍サンプリングが行われる場合（オーバーサンプリング数=4である場合）には、 $T_s = 50$  (=  $1 / 20\text{MHz}$ ) [nsec]

50

となる。この場合、オーバーサンプリングとしては、5 MHz の速度で変動する包絡線に対してその4倍の速度で追従する（サンプリングする）ことを表している。

【0069】

また、この場合、相対遅延誤差（遅延時間）の最大値としては、25.0 nsec（50 nsecの半分の値）となる。つまり、デジタル系では、クロックにより動作することから、例えばオン状態（例えば“1”値）とオフ状態（例えば“0”値）とから構成される50 nsec周期のクロック信号のオンオフを反転させて、正転クロック信号（反転していないクロック信号）或いは反転クロック信号を選択的に用いることにより、当該周期の半分の値である25.0 nsec単位で遅延時間の調整を行うことが可能である。

【0070】

次に、上記図15及び上記図16に示した計算機シミュレーションの結果の例に基づいて検討を行う。なお、上述のように、AM-PM変換の方がAM-AM変換と比べて遅延時間の影響を受けやすいため、ここでは、上記図16に示したAM-PM変換に関する計算機シミュレーションの結果例に基づいて検討を行う。

【0071】

まず、システムで要求されるACPRが例えば-65 dBcである場合（規格が-60 dBcであり、5 dBのマージンがある場合を想定）を考える。この場合、上記図16を参照すると、許容される相対遅延誤差は、理想点（相対遅延時間がゼロである点）を基準として、およそ-4 nsec ~ +2 nsecとなる。つまり、許容される変動範囲は6 nsecとなり、これより遅延時間が少なければ問題は生じない。

【0072】

ここで、一例として、シングルキャリアを用いて4倍サンプリングを行う系を考えると、（正転のみの）クロック信号により調整可能な遅延時間T1は式3で示され、また、反転クロック信号をも利用した場合に調整可能な遅延時間T2は式4で示される。

【0073】

【数3】

$$\begin{aligned} T1 &= 1 / (\text{信号帯域} \times \text{オーバーサンプリング数}) \\ &= 1 / (5 \text{ MHz} \times 4) \\ &= 50 \text{ nsec} \quad \dots (\text{式3}) \end{aligned}$$

【0074】

【数4】

$$\begin{aligned} T2 &= T1 / 2 \\ &= 25 \text{ nsec} \quad \dots (\text{式4}) \end{aligned}$$

【0075】

上記式4で示した調整可能な遅延時間T2を考察すると、-65 dBcのACPRを実現するために調整すべき時間単位は6 nsec以内となることから、上記のデジタルクロックにより調整するとともに、更に、8倍の精度で遅延時間を調整することが必要となる。

【0076】

以上のことをまとめると、-65 dBcのACPRを実現するためには、調整すべき時間単位T3は式5で示される。なお、nはオーバーサンプリング数の値（この例では、4）を示しており、また、8は本計算機シミュレーションにより取得された要求精度である。

【0077】

【数5】

10

20

30

40

$$\begin{aligned}
 T3 &\leq \{1 / (\text{信号帯域} \times n \times 8)\} \\
 &\quad \times (\text{クロック反転による調整量である } 1 / 2) \\
 &= \{1 / (5 \text{ MHz} \times 4 \times 8)\} \times (1 / 2) \\
 &= 6.25 \text{ nsec} / 2 \\
 &= 3.125 \text{ nsec} \quad \dots (\text{式5})
 \end{aligned}$$

## 【0078】

10

また、システムで要求されるACPRが例えば - 60 dBc程度である場合を考える。この場合、上記図16を参照すると、許容される相対遅延誤差は、理想点（相対遅延時間がゼロである点）を基準として、およそ - 8 nsec ~ + 6 nsecとなる。つまり、許容される変動範囲は14 nsecとなり、14 nsec以内の誤差で遅延時間を調整すればよい。

## 【0079】

上記と同様に、- 60 dBc程度のACPRを実現するためには、調整すべき時間単位T4は式6で示される。この式6では、オーバサンプリング数が4である場合に、クロックの反転を用いるとともに、更に2倍の精度で遅延時間の調整を行えば、所要のACPRを達成することができることを示している。

20

## 【0080】

## 【数6】

$$\begin{aligned}
 T4 &\leq \{1 / (\text{信号帯域} \times n \times 2)\} \\
 &\quad \times (\text{クロック反転による調整量である } 1 / 2) \\
 &= \{1 / (5 \text{ MHz} \times 4 \times 2)\} \times (1 / 2) \\
 &= 25 \text{ nsec} / 2 \\
 &= 12.5 \text{ nsec} \quad \dots (\text{式6})
 \end{aligned}$$

30

## 【0081】

また、更に、システムで要求されるACPRが例えば - 55 dBcである場合を考える。ここで、ACPR = - 55 dBcは、3GPP規格において、許容次隣接チャネル漏洩電力比（許容される次隣接チャネルへの漏洩電力をあらわすもの）に相当している。次隣接チャネルとは、隣接キャリアから更に1キャリア分だけ周波数間隔がずれた周波数帯を示している。

## 【0082】

具体例として、送信信号キャリアの周波数が2.1125 GHzであって、キャリア周波数間隔が5 MHz (= 0.005 GHz)である場合には、隣接チャネルの周波数は2.1175 GHz（若しくは、2.1075 GHz）となり、次隣接チャネルの周波数は2.1225 GHz（若しくは、2.1025 GHz）となる。つまり、基準となるキャリアから隣接チャネルへ及び隣接チャネルから次隣接チャネルへとキャリア周波数間隔（5 MHz）ずつずれていく。

40

## 【0083】

一般に、現実のプリディストーションでは、純粋な増幅器の歪発生状況とは異なる歪状況が発生する。すなわち、増幅器のみによる歪では、基準となるチャネルから隣接チャネル及び次隣接チャネルへと、基準となるチャネルからの周波数間隔が大きくなるに従って、歪の量は減衰する。ところが、プリディストーションにおいては、例えば隣接チャネルでの歪の量と次隣接チャネルでの歪の量とがほぼ同一の量となってしまう。

50

## 【0084】

このため、例えば隣接チャネルの漏洩電力規格が達成されたとしても、次隣接チャネルでの漏洩電力規格が達成されるとは限らない。

このことを考慮して、ここでは、次隣接チャネル漏洩電力の規格である - 55 dBc を例として考察する。

## 【0085】

この場合、上記図16を参照すると、許容される相対遅延誤差は、理想点（相対遅延時間がゼロである点）を基準として、およそ  $-13 \text{ nsec} \sim +12 \text{ nsec}$  となる。つまり、許容される変動範囲は  $25 \text{ nsec}$  となり、 $25 \text{ nsec}$  以内の誤差で遅延時間を調整すればよい。

10

## 【0086】

上記と同様に、-55 dBc 程度の ACPR を実現するためには、調整すべき時間単位  $T_5$  は式7で示される。この式7では、オーバサンプリング数が4である場合に、クロックの反転を用いれば、（1倍の精度で遅延時間の調整を行って、）所要の ACPR を達成することができることを示している。

## 【0087】

## 【数7】

$$\begin{aligned}
 T_5 &\leq \{ 1 / (\text{信号帯域} \times n) \} \\
 &\quad \times (\text{クロック反転による調整量である } 1/2) \\
 &= \{ 1 / (5 \text{ MHz} \times 4) \} \times (1/2) \\
 &= 50 \text{ nsec} / 2 \\
 &= 25 \text{ nsec} \quad \dots (\text{式7})
 \end{aligned}$$

20

## 【0088】

以上のように、所要の歪量（ここでは、ACPR）を得るためには、少なくとも、 $1 / (\text{信号帯域幅} \times \text{オーバサンプリング数})$  以内の誤差で遅延時間を調整するのがよく、更に、デジタル信号処理においては、全ての動作タイミングがクロックにより制御されることから、例えばクロックを反転させて利用することで半クロックの遅延時間調整も可能である。また、上記図16に示した計算機シミュレーションの結果例によると、好ましい態様としては、オーバサンプリング数として8以上の値を設定して、所要の歪量に低減するための設計マージンを得るべきである。

30

## 【0089】

以下に、本発明に係る歪補償装置の構成例を示しておく。

（1）増幅器で発生する歪を補償する歪補償装置において、

増幅器により増幅される信号に対して振幅と位相との少なくともいずれか一方の歪を発生させる歪発生手段と、

増幅器により増幅される信号のレベルを検出する信号レベル検出手段と、

40

信号レベル検出手段により検出されるレベルに基づいて歪発生手段により発生させる歪の量を制御する歪量制御手段と、

増幅器で発生する歪が大きく補償されるように、歪量制御手段により歪の量を制御するタイミングを調整する制御タイミング調整手段と、

を備えたことを特徴とする歪補償装置。

## 【0090】

（2）（1）に記載の歪補償装置において、

歪発生手段は、外部から入力されるアナログ制御信号に応じて発生させる歪の量が変化する回路から構成されており、

歪量制御手段は、デジタル制御信号をアナログ制御信号へ変換して外部から入力されるタ

50

イミング信号に応じたタイミングで出力するD/A変換手段を用いて構成されており、デジタル制御信号を当該D/A変換手段を介して歪発生手段へ出力することにより当該歪発生手段により発生させる歪の量を制御し、制御タイミング調整手段は、所定の周期のクロック信号を発生させるクロック信号発生手段と、当該クロック信号発生手段により発生させられるクロック信号からタイミングを調整したタイミング信号を生成するタイミング信号生成手段とを用いて構成されており、タイミング信号生成手段により生成されるタイミング信号をD/A変換手段へ出力することにより、歪量制御手段により歪の量を制御するタイミングを調整することを特徴とする歪補償装置。

**【0091】**

(3)(2)に記載の歪補償装置において、歪量制御手段は、更に、信号のレベルと制御値とを対応付けて記憶するメモリ手段を用いて構成されており、信号レベル検出手段により検出されるレベルと対応した制御値を当該メモリ手段からデジタル制御信号としてD/A変換手段を介して歪発生手段へ出力することにより当該歪発生手段により発生させる歪の量を制御することを特徴とする歪補償装置。

**【0092】**

(4)(2)又は(3)に記載の歪補償装置において、タイミング信号生成手段は、クロック信号発生手段により発生させられるクロック信号を可変な利得で増幅する可変増幅器と、当該可変増幅器により増幅された信号のレベルが所定の閾値以上である場合に当該レベルを所定のレベルに制限して出力するリミッタとを用いて構成されており、可変増幅器の利得を調整することでレベル制限のタイミングを調整したりリミッタからの出力信号をタイミング信号とすることを特徴とする歪補償装置。

**【0093】**

(5)(2)又は(3)に記載の歪補償装置において、タイミング信号生成手段は、可変な閾値を用いてクロック信号発生手段により発生させられるクロック信号のレベルが当該閾値以上である場合にオン信号を出力する一方、当該クロック信号のレベルが当該閾値未満である場合にオフ信号を出力するコンパレータを用いて構成されており、当該コンパレータの閾値を調整することでオンオフのタイミングを調整した当該コンパレータからの出力信号をタイミング信号とすることを特徴とする歪補償装置。

**【0094】**

(6)(2)又は(3)に記載の歪補償装置において、タイミング信号生成手段は、可変な閾値を用いてクロック信号発生手段により発生させられるクロック信号のレベルが当該閾値以上である場合に当該レベルを所定のレベルに制限して出力するリミッタを用いて構成されており、当該リミッタの閾値を調整することでレベル制限のタイミングを調整した当該リミッタからの出力信号をタイミング信号とすることを特徴とする歪補償装置。

**【0095】**

(7)(4)乃至(6)のいずれか1つに記載の歪補償装置において、タイミング信号生成手段は、更に、前記タイミングを調整した出力信号を入力して当該信号のデューティを変化させた信号を出力するフリップフロップを用いて構成されており、当該フリップフロップからの出力信号をタイミング信号とすることを特徴とする歪補償装置。

**【0096】**

(8)(4)乃至(6)のいずれか1つに記載の歪補償装置において、タイミング信号生成手段は、更に、前記タイミングを調整した出力信号を入力して当該信号のデューティを変化させた信号及び当該信号のオンオフを反転させた信号を出力するフリップフロップと、当該フリップフロップから出力される2つの信号から一方を選択して出力するセレクタとを用いて構成されており、当該セレクタからの出力信号をタイミング

10

20

30

40

50

信号とすることを特徴とする歪補償装置。

【0097】

(9)(1)乃至(8)のいずれか1つに記載の歪補償装置において、歪発生手段は、増幅器により増幅される信号の振幅を変化させて当該信号に対して振幅歪を発生させる可変減衰器と、増幅器により増幅される信号の位相を変化させて当該信号に対して位相歪を発生させる可変移相器とを直列に接続して構成されており、歪量制御手段は、可変減衰器による振幅変化量を制御することで当該可変減衰器により発生させる振幅歪の量を制御するとともに、可変移相器による位相変化量を制御することで当該可変移相器により発生させる位相歪の量を制御し、制御タイミング調整手段は、信号が可変減衰器により処理されるタイミングと当該信号が可変移相器により処理されるタイミングとのずれに応じて、歪量制御手段により振幅歪の量を制御するタイミングと当該歪量制御手段により位相歪の量を制御するタイミングとをずらすことを特徴とする歪補償装置。

10

【0098】

(10)(1)乃至(9)のいずれか1つに記載の歪補償装置において、信号を無線により送信する無線送信装置に設けられて、当該無線送信装置による送信対象となる信号を増幅する増幅器で発生する歪を補償し、制御タイミング調整手段は、当該送信対象となる信号の帯域をオーバーサンプリング数倍した値の逆数値以下の秒の誤差で、歪量制御手段により歪の量を制御するタイミングを調整することを特徴とする歪補償装置。

20

【0099】

(11)増幅器で発生する歪を補償する歪補償装置において、増幅器により増幅される信号に対して振幅と位相との少なくともいずれか一方の歪を発生させる歪発生手段と、増幅器により増幅される信号のレベルを検出する信号レベル検出手段と、信号レベル検出手段により検出されるレベルに基づいて歪発生手段により発生させる歪の量を制御する歪量制御手段と、増幅器で発生する歪が補償されるように、歪発生手段により信号に対して歪を発生させるタイミングと歪量制御手段により当該信号のレベルに基づいて制御を行うタイミングとの間の遅延時間を調整するために歪量制御手段により歪の量を制御するタイミングを調整する制御タイミング調整手段と、を備えたことを特徴とする歪補償装置。

30

【0100】

【発明の実施の形態】

本発明の第1実施例に係る(歪補償)増幅装置を図面を参照して説明する。

なお、本例の増幅装置は、本発明に係る歪補償装置の一実施例であるプリディストータを備えており、このプリディストータによりプリディストータ型歪補償方式を用いて増幅器で発生する歪を補償する。

【0101】

図1には、本例のプリディストータを備えた増幅装置(プリディストーション機能付き増幅器)の回路構成例を示してある。なお、この増幅装置は、例えば移動無線通信システムの基地局装置や中継局装置の送信部に設けられており、送信対象となる信号(送信信号)を送信機から入力し、当該信号を増幅器により増幅してアンテナへ出力する。

40

【0102】

上記図1に示されるように、本例の増幅装置には、後述するプリディストーションの準備ができるまで送信信号を遅延させる遅延手段1と、送信信号に対してプリディストーションのための補正AM-AM特性を与える可変減衰器(アッテネータ)2と、送信信号に対してプリディストーションのための補正AM-PM特性を与える可変移相器3と、送信信号を所定の送信レベルまで増幅する増幅器4と、送信信号の(包絡線)レベルを検出するためのレベル検出部5と、増幅器4の出力信号から歪成分信号を抽出する歪抽出手段6と

50

、制御部 1 2 から出力されるデジタル信号をアナログ信号へ変換する 2 つの D / A 変換器 7、8 と、各デジタルデバイスに対してクロックを供給するためのクロック源 9 と、クロック源 9 で発生させるクロックとは異なる位相のクロックを生成する 2 つの位相調整手段 1 0、1 1 と、プリディストーションの適応制御や位相調整手段 1 0、1 1 の制御等を行う制御部 1 2 とが備えられている。

**【 0 1 0 3 】**

以下で、本例の増幅装置の動作の一例を示す。

まず、送信機から出力される送信対象となる信号が（本例の増幅装置に）入力され、当該信号が 2 つに分配されて、一方の分配信号が遅延手段 1 に入力される一方、他方の分配信号がレベル検出部 5 に入力される。

10

**【 0 1 0 4 】**

遅延手段 1 は、入力される信号（一方の分配信号）を遅延させて可変減衰器 2 へ出力する。ここで、遅延手段 1 としては、例えば信号を遅延させる遅延線や、帯域通過フィルタ（BPF: Band Pass Filter）等を用いて構成することができる。

可変減衰器 2 は、遅延手段 1 から入力される信号の振幅を、後述する D / A 変換器 7 から入力される（アナログ電圧による）制御信号に応じて変化（減衰）させることにより当該入力信号に対して当該制御信号に応じた量の振幅歪を発生させて、当該信号（振幅歪を含む）を可変移相器 3 へ出力する。

**【 0 1 0 5 】**

可変移相器 3 は、可変減衰器 2 から入力される信号の位相を、後述する D / A 変換器 8 から入力される（アナログ電圧による）制御信号に応じて変化させることにより当該入力信号に対して当該制御信号に応じた量の位相歪を発生させて、当該信号（位相歪を含む）を増幅器 4 へ出力する。

20

なお、本例では、直列に接続された可変減衰器 2 と可変移相器 3 や、これらを制御する制御系 1、5 ~ 1 2 からプリディストータが構成されている。

**【 0 1 0 6 】**

増幅器 4 は、例えば（大）電力増幅器から構成されており、可変移相器 3 から入力される信号を所望の（電力）レベルに増幅し、当該増幅信号を（本例の増幅装置から）アンテナへ出力する。

ここで、本例の増幅器 4 では、例えば可変移相器 3 から入力される信号のレベルが大きい場合に、振幅歪や位相歪が発生する。そして、本例では、増幅器 4 で発生する歪とは逆の特性の歪（振幅歪や位相歪）をプリディストータ（可変減衰器 2 及び可変移相器 3）で発生させることにより、このような歪成分を補償する。

30

**【 0 1 0 7 】**

レベル検出部 5 は、例えばダイオードを用いて信号の包絡線を検出する包絡線検出器や、検出される包絡線に関して所定の周波数成分のみを抽出する低域通過フィルタ（LPF）や、抽出される包絡線成分を A / D 変換する A / D 変換器などから構成されている。そして、レベル検出部 5 は、このような構成を用いて、入力される信号（他方の分配信号）のレベル（例えば電力レベル）を検出し、当該検出結果をデジタル値（デジタル化されたレベル情報）により制御部 1 2 へ出力する。

40

**【 0 1 0 8 】**

なお、レベル検出部 5 により入力信号のレベルを検出する理由は、本例のプリディストーションでは（増幅器 4 に）入力される信号のレベルに応じて変化する増幅器 4 で発生する出力レベル変動や出力位相変動を補正するためであり、つまり、増幅器 4 に入力される送信信号のレベルを検出する（本例では、間接的に検出している）必要があるためである。

**【 0 1 0 9 】**

歪抽出手段 6 は、例えば方向性結合器から構成されており、増幅器 4 から出力される増幅信号に含まれる歪（例えば当該増幅信号の一部）を抽出して制御部 1 2 へ出力する。

**【 0 1 1 0 】**

D / A 変換器 7 は、後述する位相調整手段 1 0 から入力されるクロック信号（タイミング

50

信号)に応じたタイミングに基づいて、後述する制御部12から入力されるデジタル制御信号をアナログ制御信号へ変換して可変減衰器2へ出力する。なお、この制御信号は、可変減衰器2における振幅変化量(つまり、発生させる振幅歪の量)を制御するものである。

#### 【0111】

D/A変換器8は、後述する位相調整手段11から入力されるクロック信号(タイミング信号)に応じたタイミングに基づいて、後述する制御部12から入力されるデジタル制御信号をアナログ制御信号へ変換して可変移相器3へ出力する。なお、この制御信号は、可変移相器3における位相変化量(つまり、発生させる位相歪の量)を制御するものである。

10

#### 【0112】

クロック源9は、所定の周期のクロック信号を発生させ、当該クロック信号を、レベル検出部5や後述する2つの位相調整手段10、11のようにデジタル処理を行う各処理部(なお、本例では、2つのD/A変換器7、8は除く)へ出力して供給する。

#### 【0113】

位相調整手段10は、制御部12からの制御に従って、クロック源9から入力されるクロック信号の位相をずらしたクロック信号(タイミングをずらした信号)を生成し、当該クロック信号(タイミング信号)をD/A変換器7へ出力する。

位相調整手段11は、制御部12からの制御に従って、クロック源9から入力されるクロック信号の位相をずらしたクロック信号(タイミングをずらした信号)を生成し、当該クロック信号(タイミング信号)をD/A変換器8へ出力する。

20

#### 【0114】

制御部12は、例えばデジタル信号処理器(DSP)から構成されている。そして、制御部12は、レベル検出部5から入力される検出結果(検出されたレベル)に基づいて、可変減衰器2により当該検出結果に応じた振幅変化量を実現するためのデジタル制御信号をD/A変換器7へ出力するとともに、可変移相器3により当該検出結果に応じた位相変化量を実現するためのデジタル制御信号をD/A変換器8へ出力する。

#### 【0115】

具体的には、増幅器4の非線型特性では、入力信号のレベルに対して出力信号のレベルが線型ではないこと(AM-AM変換)から振幅歪が発生するとともに、入力信号のレベルに対して出力信号の位相が線型ではないこと(AM-PM変換)から位相歪が発生し、発生する振幅歪の量や位相歪の量は増幅器4により増幅される信号のレベルに依存して変化する。そこで、制御部12は、増幅器4により増幅される信号のレベルを反映するレベルであるレベル検出部5による検出結果に基づいて、増幅器4で発生する振幅歪を打ち消す量の振幅歪を可変減衰器2により発生させるとともに、増幅器4で発生する位相歪を打ち消す量の位相歪を可変移相器3により発生させる。

30

#### 【0116】

なお、一例として、増幅器4で発生する振幅歪を補償するための補正振幅歪特性(前記振幅歪とは逆の特性)や増幅器4で発生する位相歪を補償するための補正位相歪特性(前記位相歪とは逆の特性)は予め計算(或いは測定等)されており、例えばレベル検出部5による検出結果の値に対して振幅歪に関する制御値及び位相歪に関する制御値を対応付けて記憶した補正テーブルが制御部12のメモリに格納されている。この場合、制御部12は、レベル検出部5から入力される検出結果の値(デジタル化されたレベル情報)に対応した振幅歪に関する制御値及び位相歪に関する制御値を補正テーブルから読み出して、これら2つの制御値をそれぞれ可変減衰器2を制御するためのデジタル制御信号及び可変移相器3を制御するためのデジタル制御信号としてそれぞれのD/A変換器7、8へ出力する。

40

#### 【0117】

また、制御部12では、例えば歪抽出手段6から入力される信号から歪成分(使用帯域外の信号成分)のレベル(例えば電力レベル)を検出して、当該検出されるレベルが小さく

50

(好ましくは、最小と)なるように(つまり、歪補償量が大きくなるように)上記した補正テーブルの内容を更新することもでき、これにより、歪補償の精度を向上させることができる。また、このように補正すべき値(補正テーブルの内容)を適応的に更新することができることから、例えば温度特性の変化や経年変化によって生じる微小な遅延時間の誤差に対処することが可能なプリディストーションを提供することもできる。

**【0118】**

また、制御部12は、上記した各位相調整手段10、11に対して制御信号を出力することにより、当該各位相調整手段10、11により行われる(クロック信号の)位相調整を制御する。この場合、本例の制御部12では、上記した歪抽出手段6から入力される信号から検出される歪成分のレベルが小さく(好ましくは、最小と)なるように、前記位相調整を制御する。

10

**【0119】**

ここで、本発明の特徴的な構成部分である上記した2つの位相調整手段10、11について詳しく説明する。

すなわち、上記従来例で示したのと同様に、本例においても、デジタル領域におけるプリディストーションの準備時間の間、遅延手段1では送信信号が遅延させられる。理想的には、送信信号を構成する任意の信号部分に関して、当該信号部分が遅延手段1を介して可変減衰器2や可変移相器3に入力されるタイミングと、当該信号部分のレベルに基づいて制御部12により可変減衰器2や可変移相器3が制御されるタイミングとは同時刻であることが要求される。本例では、遅延手段1による遅延時間の誤差が比較的大きいことから、このような(微小な)タイミングの調整を2つの位相調整手段10、11により行う。

20

**【0120】**

具体的には、一般に、デジタル回路及びアナログインタフェースであるA/D変換器やD/A変換器には、クロックが供給される。

一例として、80MHzのクロック信号がクロック源9から各ブロックへ分配されて供給されているとすると、当該クロック信号の周期が12.5nsであることから、(正転クロック信号のみでは)12.5ns単位でしか(相対)遅延時間の調整をすることができない。また、例えばインバータを用いて反転クロック信号を生成して利用すると6.25(=12.5/2)ns単位での制御が可能となるが、いずれにしても、6.25ns単位での遅延時間調整が限界である。

30

**【0121】**

しかしながら、上記課題で述べたように、一例として、本件の発明者らが想定した増幅装置(なお、一例であって、本発明は、ここで挙げる例に限られない)を検討した結果によると、実際のプリディストーションにおける遅延時間の調整としては、500ps程度の単位で遅延時間を調整することが必要となる。

**【0122】**

そこで、本例の増幅装置では、2つの位相調整手段10、11を備えており、それぞれの位相調整手段10により、クロック源9からのクロック信号とは独立な位相のクロック信号を生成する。つまり、本例では、クロック源9から出力されるクロック信号が各位相調整手段10、11に入力され、各位相調整手段10、11では当該クロック信号の位相が微妙(微小)に調整されて各D/A変換器7、8へ供給される。

40

**【0123】**

本例では、このような構成によって、例えば遅延手段1による遅延時間が短すぎたり長すぎたりするような場合であっても、制御部12からの制御信号で各位相調整手段10、11を制御することにより、比較的容易に遅延時間(可変減衰器2や可変移相器3の制御タイミング)を微妙(微小)に補正することが可能である。

**【0124】**

そして、この結果として、送信信号を構成する各信号部分に対してプリディストーション処理を行うべきタイミングに正しくプリディストーション処理を実行することができ、これにより、増幅器4の出力信号中に残留して含まれる帯域外漏洩電力を十分に低減させる

50

ことができる。また、従来では、例えば熟練者が半日近くもかけて上記した遅延時間を微妙（微小）に調整することもあったが、本例の増幅装置では、このような微調整が（例えば制御部 12 により自動的に）容易に実現される。

**【 0 1 2 5 】**

なお、本例では、好ましい態様として、2つの D/A 変換器 7、8 のそれぞれに対して独立に、処理タイミングの調整が行われている。これに対して、例えばデジタル回路の入力段となる A/D 変換時（例えばレベル検出部 5 からの検出結果の出力時など）にタイミング調整が行われる構成では、2つの D/A 変換器 7、8 のいずれかに適するようにタイミングを与えることは可能だが、2つの D/A 変換器 7、8 のそれぞれに適した（異なる）タイミングを与えることはできない。

10

**【 0 1 2 6 】**

つまり、本例の構成では、可変減衰器 2 や可変移相器 3 の直前に設けられている 2つの D/A 変換器 7、8 のそれぞれに関して遅延時間の調整が（同時に）行われるため、例えばデジタル回路中での線路差による遅延時間を調整することが可能であり、これにより、各 D/A 変換器 7、8 までの経路による微妙（微小）な時間差を吸収してなくすことが可能である。

**【 0 1 2 7 】**

また、本例の構成では、遅延手段 1 から出力される信号が可変減衰器 2 により処理されるタイミングと当該信号が可変移相器 3 により処理されるタイミングとの間にはずれ（オフセット時間）があるため、例えば、各 D/A 変換器 7、8 に与えられるクロック信号（タイ

20

**【 0 1 2 8 】**

次に、上記した各位相調整手段 10、11 の具体的な回路構成例や動作例を示す。なお、本例では、各位相調整手段 10、11 の回路構成としては同様な構成が用いられるため、以下では、一方の位相調整手段 10 を代表させて、これらの回路構成例を示す。

**【 0 1 2 9 】**

図 2 には、位相調整手段 10 の回路構成の一例を示してあり、この位相調整手段 10 は、可変（利得）増幅器 21 とリミッタ 22 とを直列に接続して構成されている。可変増幅器 21 は、制御部 12 から入力される制御信号（例えば制御電圧）に応じて利得（ゲイン）が変化する特性を有しており、クロック源 9 から入力されるクロック信号を制

30

**【 0 1 3 0 】**

リミッタ 22 は、例えば（固定的に設定された）所定の閾値以上のレベルを有する信号が入力される場合に当該信号のレベルを全て同一のレベル（例えば当該閾値に相当するレベル）として出力する特性を有しており、可変増幅器 21 から入力される増幅信号のレベルを当該特性により制限し、当該制限した増幅信号を D/A 変換器 7（位相調整手段 11 に関しては D/A 変換器 8）へ出力する。

**【 0 1 3 1 】**

図 3 を参照して、上記図 2 に示した回路の動作例を示す。なお、同図（a）～同図（d）中のグラフでは、横軸は時刻を示しており、縦軸は信号の電圧レベルを示している。具体的に、同図（a）には、クロック源 9 から出力されるクロック信号の波形の一例を示してある。

40

また、同図（b）には、可変増幅器 21 により増幅されたクロック信号の波形の一例を示してある。

**【 0 1 3 2 】**

また、同図（c）には、増幅されたクロック信号がリミッタ 22 により処理された後の信号の波形の一例を実線で示してあり、また、説明の便宜上から、当該増幅されたクロック信号の波形の一例を点線で示してあるとともに、リミッタ 22 に設定された閾値の一例を示してある。同図（d）に示されるように、リミッタ 22 の閾値以上のレベルとなる入力信号は全て所定のレベル（オン状態）にクリップされるため、リミッタ 22 からは矩形波

50

の信号が出力される。

【0133】

また、同図(d)には、同図(c)に示した場合と比べて可変増幅器21の利得が低く制御された場合に関して、増幅されたクロック信号がリミッタ22により処理された後の信号の波形の一例を実線で示してあり、また、説明の便宜上から、当該増幅されたクロック信号の波形の一例を点線で示してあるとともに、リミッタ22に設定された閾値(同図(c)の場合と同じ値)の一例を示してある。

【0134】

同図(d)に示されるように、可変増幅器21の利得が比較的低い場合には、リミッタ22に入力される正弦波のレベルが相対的に或る程度大きくなったところでそのレベルがクリップされる。このように、可変増幅器21の利得を変化させると、リミッタ22から出力される信号がオン状態となる時間の幅が当該利得に応じて変化する。

10

【0135】

例えば、同図(c)及び同図(d)中に破線で示したように、可変増幅器21の利得が異なる2つの場合に関してリミッタ22により増幅信号のレベルがクリップされる時間を比較すると、リミッタ22から出力される信号の位相が当該利得に応じてずれることになる。

【0136】

本例では、制御部12により可変増幅器21の利得(つまり、増幅後のクロック信号の電圧レベル)を制御して、位相が変移させられたクロック信号(タイミング信号)を生成して当該信号をD/A変換器7の入力クロックとして用いることにより、当該D/A変換器7の動作タイミングを(微)調整することが可能である。つまり、D/A変換器7は例えば入力されるクロック信号の立ち上がり(或いは、立ち下がり)のタイミングで動作することから、当該D/A変換器7から(アナログ)制御信号が出力されるタイミングを微妙(微小)に変移させて調整することが可能となる。

20

【0137】

以上のように、上記図2に示したような位相調整手段10、11の構成では、制御部12から可変増幅器21の利得を制御することにより、種々な位相を有するクロック信号(タイミング信号)を生成することができ、これにより、遅延時間を微妙(微小)に調整することができる。

30

【0138】

また、図4には、位相調整手段10の回路構成の他の一例を示してあり、この位相調整手段10は、増幅器31と比較器(コンパレータ)32とを直列に接続して構成されている。

増幅器31は、例えば出力信号の(電圧)レベルが一定となる(例えば増幅のゲインが一定である)特性を有しており、クロック源9から入力されるクロック信号を増幅し、当該増幅信号を比較器32へ出力する。

【0139】

なお、上記のような特性を有する増幅器31は一般にバッファと呼ばれており、このような増幅器31は、例えば位相調整手段10がクロック源9から物理的に近い位置に配置されるという条件や、位相調整手段10への入力信号(本例では、クロック源9からのクロック信号)に減衰が生じないという条件等が満たされる場合には、回路構成中から省略することが可能である。

40

【0140】

比較器32は、増幅器31から出力される増幅信号を入力するとともに、制御部12から出力される制御信号を入力し、これら2つの信号のレベルの大小を比較して、当該比較結果を“1”値(例えば、Highレベル)と“0”値(例えば、Lowレベル)とから成る信号としてD/A変換器7へ出力する。

【0141】

具体的には、本例では、制御部12から比較器32に入力される制御信号の(電圧)レベ

50

ルは当該比較器 3 2 における閾値として用いられており、当該比較器 3 2 では、増幅器 3 1 から入力される信号の（電圧）レベルが当該閾値以上である場合にオン信号（本例では、“1” 値の信号）を出力する一方、当該レベルが当該閾値未満である場合にオフ信号（本例では、“0” 値の信号）を出力する。

【0142】

また、図 5 には、位相調整手段 1 0 の回路構成の他の一例を示してあり、この位相調整手段 1 0 は、増幅器 4 1 とリミッタ 4 2 とを直列に接続して構成されている。

増幅器 4 1 は、例えば出力信号の（電圧）レベルが一定となる（例えば増幅のゲインが一定である）特性を有しており、クロック源 9 から入力されるクロック信号を増幅し、当該増幅信号をリミッタ 4 2 へ出力する。

10

なお、上記図 4 に示した回路構成に関して述べたのと同様に、このような増幅器 4 1 は、所定の条件が満たされる場合には、回路構成中から省略することが可能である。

【0143】

リミッタ 4 2 は、制御部 1 2 から入力される制御信号に応じて閾値が変化する特性を有するとともに、当該閾値以上のレベルを有する信号が入力される場合に当該信号のレベルを全て同一のレベル（例えば当該閾値に相当するレベル）として出力する特性を有しており、増幅器 4 1 から入力される増幅信号のレベルを当該特性により制限し、当該制限した増幅信号を D/A 変換器 7 へ出力する。

【0144】

具体的には、本例では、制御部 1 2 からの制御（電圧）によりリミッタ 4 2 の閾値が変化させられ、当該リミッタ 4 2 では、増幅器 4 1 から入力される信号の（電圧）レベルが当該閾値以上である場合に、当該レベルを制限して所定の（電圧）レベルのオン信号（本例では、“1” 値の信号）を出力する。

20

【0145】

図 6 を参照して、上記図 4 や上記図 5 に示した回路の動作例を示す。ここで、上記図 4 に示した回路の動作と上記図 5 に示した回路の動作とは同様な特徴を有するため、ここでは、これら 2 つの回路の動作例をまとめて説明する。なお、同図（a）～同図（g）中では、横方向は時刻を示しており、縦方向は信号の電圧レベルを示している。また、同図（f）及び同図（g）については後述する。

【0146】

具体的に、同図（a）には、クロック源 9 から出力されて増幅器（増幅器 3 1 や増幅器 4 1 ）に入力されるクロック信号の波形の一例を示してある。

30

また、同図（b）や同図（d）には、増幅器（増幅器 3 1 や増幅器 4 1 ）により増幅された（例えば固定的に設定された多少のゲインが与えられた）クロック信号の波形の一例を示してある。

【0147】

また、同図（c）や同図（e）には、（比較器 3 2 やリミッタ 4 2 の）閾値を（同図（c）と同図（d）とで）変化させた場合に、位相調整手段 1 0（比較器 3 2 やリミッタ 4 2 ）から D/A 変換器 7 へ出力される信号の波形の一例を実線で示してあり、また、説明の便宜上から、増幅器（増幅器 3 1 や増幅器 4 1 ）により増幅されたクロック信号の波形の一例を点線で示してあるとともに、（比較器 3 1 やリミッタ 4 1 に）設定された閾値の一例を点線で示してある。

40

【0148】

同図（c）や同図（e）に示されるように、上記図 4 や上記図 5 に示したような位相調整手段 1 0、1 1 の構成では、制御部 1 2 から比較器 3 2 の閾値やリミッタ 4 2 の閾値を制御することにより、種々な位相を有するクロック信号（タイミング信号）を生成することができ、これにより、遅延時間を微妙（微小）に調整することができる。つまり、この例では、増幅器（増幅器 3 1 や増幅器 4 1 ）での利得を変化させるのではなく、後段の比較器 3 2 へのリファレンス電圧の値（閾値）や、後段のリミッタ 4 2 の閾値を変化させることにより、クロック信号の位相を変化させることができる。

50

## 【 0 1 4 9 】

また、図 7 には、位相調整手段 1 0 の回路構成の他の一例を示してあり、この位相調整手段 1 0 は、可変（利得）増幅器 5 1 とリミッタ 5 2 とフリップフロップ（D - F F）5 3 とセクタ 5 4 とを直列に接続して構成されている。

## 【 0 1 5 0 】

このような回路構成では、フリップフロップ 5 3 によりクロック信号（タイミング信号）のデューティを制御することなどが実現される。つまり、上述のように、D / A 変換器 7、8 は、入力されるクロック信号（タイミング信号）の立ち上がりや立ち下がり動作するが、現実の D / A 変換器においては、例えば入力クロックの High レベル領域や Low レベル領域に対して最低必要時間（デューティ）が規定されているものがある。この場合、例えば上記図 2 や上記図 4 や上記図 6 に示したような回路構成では、デューティが変動してしまうことから位相調整手段 1 0 により変移可能な位相が制限されてしまうことが生じ得る。そこで、本構成では、上述のようにフリップフロップ 5 3 によりデューティを整形する。

10

## 【 0 1 5 1 】

可変増幅器 5 1 の機能や動作は例えば上記図 2 に示した可変増幅器 2 1 の機能や動作と同様であり、可変増幅器 5 1 は、クロック源 9 から入力されるクロック信号を制御部 1 2 により制御される利得で増幅し、当該増幅信号をリミッタ 5 2 へ出力する。

## 【 0 1 5 2 】

リミッタ 5 2 の機能や動作は例えば上記図 2 に示したリミッタ 2 2 の機能や動作と同様であり、リミッタ 5 2 は、可変増幅器 5 1 から入力される増幅信号のレベルを所定の閾値をもって制限し、当該制限した増幅信号をフリップフロップ 5 3 へ出力する。

20

## 【 0 1 5 3 】

フリップフロップ 5 3 は、2 つの入力端と 2 つの出力端を有しており、リミッタ 5 2 から出力される信号を一方の入力端から入力するとともに、一方の出力端（反転信号の出力端）から出力される反転信号を他方の入力端から入力し、当該一方の出力端から当該他方の入力端及びセクタ 5 4 へ当該反転信号を出力するとともに、他方の出力端からセクタ 5 4 へ正転信号を出力する。

## 【 0 1 5 4 】

ここで、上記した正転信号は、例えばリミッタ 5 2 からフリップフロップ 5 3 に入力される信号のデューティが当該フリップフロップ 5 3 により変化させられた信号であり、また、上記した反転信号は、更に当該信号のオンオフが反転させられた信号である。また、フリップフロップ 5 3 は、一般にデューティを 5 0 % にするために利用されており、本例のような構成では、後述する図 8 を用いて示すように、クロック信号（タイミング信号）のデューティを 5 0 % にすることができる。

30

## 【 0 1 5 5 】

セクタ 5 4 は、2 つの入力端と 1 つの出力端を有しているとともに、制御部 1 2 からの制御信号に応じていずれか一方の入力端から入力される信号（のみ）を選択的に出力端から出力するように出力信号を切り替える機能を有している。そして、セクタ 5 4 は、フリップフロップ 5 3 の前記一方の出力端から出力される反転信号を一方の入力端から入力するとともに、当該フリップフロップ 5 3 の前記他方の出力端から出力される正転信号を他方の入力端から入力し、制御部 1 2 からの制御に従って、当該反転信号或いは当該正転信号のいずれか一方を D / A 変換器 7 へ出力する。

40

## 【 0 1 5 6 】

図 8 を参照して、上記図 7 に示した回路の動作例を示す。なお、同図（a）～同図（g）中では、横方向は時刻を示しており、縦方向は信号の電圧レベルを示している。具体的に、同図（a）には、クロック源 9 から出力されて可変増幅器 5 1 に入力されるクロック信号の波形の一例を示してある。また、同図（b）や同図（d）には、（同図（b）と同図（d）とで異なる利得を用いて可変増幅器 5 1 により増幅されたクロック信号の波形の一例を示してある。

50

## 【 0 1 5 7 】

また、同図 ( c ) や同図 ( e ) には、それぞれ同図 ( b ) や同図 ( d ) と対応して、増幅されたクロック信号がリミッタ 5 2 により処理された後の信号の波形の一例を実線で示してあり、また、説明の便宜上から、当該増幅されたクロック信号の波形の一例を点線で示してあるとともに、リミッタ 5 2 に設定された閾値の一例を点線で示してある。

## 【 0 1 5 8 】

同図 ( c ) や同図 ( e ) に示されるように、可変増幅器 5 1 の利得を変化させると、生成されるクロック信号 ( タイミング信号 ) の位相が変化すると同時に、当該クロック信号のデューティが変化してしまう。

## 【 0 1 5 9 】

そこで、本例では、フリップフロップ 5 3 により、クロック信号 ( タイミング信号 ) のデューティを 5 0 % にする。

具体的に、同図 ( f ) には、リミッタ 5 2 から出力される信号の波形の一例を示してあり、この段階では、当該信号のデューティは可変増幅器 5 1 から出力される信号の ( 電圧 ) レベルに依存して種々な値となる。

## 【 0 1 6 0 】

同図 ( g ) には、フリップフロップ 5 3 から例えば正転信号として出力される信号の波形の一例を実線で示してあるとともに、説明の便宜上から、当該フリップフロップ 5 3 の前記一方の入力端に入力される信号の波形の一例 ( 同図 ( f ) に示したものを ) を点線で示してある。同図 ( g ) に示されるように、フリップフロップ 5 3 から信号が出力される段階では、当該信号のデューティは 5 0 % となっている。つまり、フリップフロップ 5 3 では、例えばリミッタ 5 2 から入力される信号の各立ち上がりの時点でオンオフを繰り返す信号を出力し、このような信号のデューティは 5 0 % となる。

## 【 0 1 6 1 】

また、本例では、位相調整手段 1 0、1 1 から出力されるクロック信号 ( タイミング信号 ) の立ち上がり時間 ( 或いは、立ち下がり時間 ) を変移させることで当該信号の位相を変移させているが、上記したフリップフロップ 5 3 までの回路構成では、位相を 1 8 0 ° 以上変移させることは難しい。

## 【 0 1 6 2 】

そこで、本例では、セクタ 5 4 により、クロック信号 ( タイミング信号 ) の位相を例えば 3 6 0 ° の範囲で制御することを可能とする。

つまり、本例では、一般にフリップフロップ 5 3 からは互いに立ち上がり時間と立ち下がり時間とが反転した正転信号及び反転信号が出力されることを利用しており、具体的には、制御部 1 2 によりセクタ 5 4 を制御して当該正転信号と当該反転信号とのいずれか一方を当該セクタ 5 4 から出力することにより、広い範囲での位相調整を実現することができる。

## 【 0 1 6 3 】

なお、上記図 7 に示したような回路構成では、上記図 8 ( g ) に示されるように各位相調整手段 1 0、1 1 から出力されるクロック信号 ( タイミング信号 ) の周期が当該各位相調整手段 1 0、1 1 に入力される ( クロック源 9 からの ) クロック信号の周期の 2 倍となるため、例えば D / A 変換器 7、8 の入力クロックに必要とされる所要レート ( 2 倍の速度 ( つまり、半分の周期 ) ) を有するクロック信号を出力するクロック源 9 が用いられる。具体例として、D / A 変換器 7、8 による D / A 変換のレートが 8 0 M H z であれば、1 6 0 M H z のクロック信号を出力するクロック源 9 が用いられる。

## 【 0 1 6 4 】

また、上記図 7 では、上記図 2 に示したのと同様な回路構成にフリップフロップ 5 3 やセクタ 5 4 を追加した構成を示したが、これと同様に、例えば上記図 4 に示した比較器 3 2 の後段や上記図 5 に示したリミッタ 4 2 の後段にフリップフロップを備えてクロック信号 ( タイミング信号 ) のデューティを調整することも可能であり、また、更に、例えばフリップフロップの後段にセクタを備えて当該クロック信号に関して調整可能な位相範囲

10

20

30

40

50

を拡大することも可能である。

【0165】

なお、上記図6(f)には、例えば上記図8(f)に示したのと同様に、比較器32やリミッタ42から出力される信号の波形の一例を示してあり、また、上記図6(g)には、例えば上記図8(g)に示したのと同様に、当該信号のデューティがフリップフロップにより50%に変換された信号の波形の一例を実線で示してあるとともに、当該変換前の信号の波形の一例(図6(f)に示したものを)を点線で示してある。

【0166】

次に、図9を参照して、各位相調整手段10、11を制御部12により制御して(相対)遅延時間を調整する仕方の一例として、摂動法を示す。

10

すなわち、本例のプリディストーションによる歪補償は、(増幅器4の)被増幅信号の包絡線に合わせて行われる。このように、測定された包絡線に合わせた歪補償を被増幅信号に対して行う場合には、歪補償の制御系(制御部12やD/A変換器7、8側の系)と被増幅信号が流れる主信号系(可変減衰器2や可変移相器3側の系)との間の(相対的な)遅延時間を調整することが必要である。

【0167】

仮に、上記した遅延時間の調整が不完全であれば、その影響により、最終段に備えられた増幅器4から出力される信号中に歪成分が残存することになる。そして、このような歪成分の有無などは例えばスペクトルアナライザ等を用いて容易に判断することが可能であり、本例の制御部12では、歪抽出手段6を用いて当該歪成分の量をモニタすることにより、遅延時間の存在に起因した歪残存量を検出している。

20

【0168】

以下で、上記のような遅延時間を調整する仕方の一例として、摂動法による調整例を示す。

具体的には、摂動法では、次の(1)~(4)の処理を繰り返して行うことにより、遅延時間を調整する。

【0169】

(1)現時点での遅延時間 $T$ (後述する(4)の処理の後には、 $T = T'$ )における上記した歪成分の量を $P_0$ として保存する。

(2)遅延時間を(+ )だけ調整し(つまり、遅延時間を更に遅らせて( $T +$  )とし、その時の歪成分の量を $P +$ として保存する。

30

(3)上記(2)の処理と共に、遅延時間を(- )だけ調整し(つまり、遅延時間を進ませて( $T -$  )とし)、その時の歪成分の量を $P -$ として保存する。

(4)上記した歪量 $P +$ と上記した歪量 $P -$ との大小を比較して、これらの中で小さい方の歪量( $P +$ 、或いは、 $P -$ )に対応した遅延時間を新たな遅延時間 $T'$ ( $T' = T +$ 、或いは、 $T' = T -$ )として保存する。

【0170】

上記した(1)~(4)の処理を繰り返して行うと、更新される遅延時間 $T$ が最適な状態に近づいていき、上記した歪量 $P_0$ と上記した歪量 $P +$ 、 $P -$ との差が小さくなっていく。

40

また、例えば上記した歪量 $P_0$ と上記した歪量 $P +$ 、 $P -$ との差が小さくなる度に、上記(2)の処理や上記(3)の処理で用いられる調整時間を( $\pm$  )から( $\pm / 2$ )等へと変更して当該調整時間を半減していくようにすると、遅延時間の調整をアダプティブに行うことが可能となって好ましい。

【0171】

ここで、上記図9には、摂動法により遅延時間を調整するイメージの一例を示してあり、同図中の横軸は(相対)遅延時間を示しており、上方向の縦軸は歪成分の量を示しており、下方向の縦軸は経過時間を示している。また、同図には、残存する遅延時間に起因して生じる歪成分(歪抽出手段6により抽出される歪成分)の量を示す曲線 $P$ を示してあり、当該歪成分量が最小となる位置で遅延時間がゼロとなる。

50

## 【0172】

具体例として、摂動法では、まず、現時点での遅延時間  $T$  の位置を開始点として設定する（同図中の 1）。

次いで、次の経過時間において、遅延時間  $(T + \quad)$  の位置の歪量と遅延時間  $(T - \quad)$  の位置の歪量との大きさを比較し、これらの中で小さい方の歪量に対応した例えば遅延時間  $(T + \quad)$  を更新後の遅延時間  $T'$  として選択する（同図中の 2）。

## 【0173】

次いで、次の経過時間において、遅延時間  $(T + \quad + \quad)$  の位置の歪量と遅延時間  $(T + \quad - \quad)$  の位置の歪量との大きさを比較し、これらの中で小さい方の歪量に対応した例えば遅延時間  $(T + \quad + \quad)$  を更新後の遅延時間  $T'$  として選択する（同図中の 3）。

10

## 【0174】

そして、更新される遅延時間が最適な遅延時間（ゼロ）に近づいてきて歪成分が収束してきたことを判定したことに応じて、次の経過時間では、遅延時間  $(T + \quad + \quad + \quad / 2)$  の位置の歪量と遅延時間  $(T + \quad + \quad - \quad / 2)$  の位置の歪量との大きさを比較し、これらの中で小さい方の歪量に対応した例えば遅延時間  $(T + \quad + \quad - \quad / 2)$  を更新後の遅延時間  $T'$  として選択する（同図中の 4）。

以上のような処理を繰り返して行うことにより、更新される遅延時間を次第に最適な遅延時間（ゼロ）に近づけることができる。

## 【0175】

なお、上記手段で述べたように、遅延時間は、例えば  $[1 / \{ \text{キャリア周波数間隔} \times \text{キャリア数} \times n \}]$  秒以内の時間誤差（つまり、本例では、最適な遅延時間であるゼロからの差）で調整されるのが好ましい。ここで、キャリア周波数間隔やキャリア数は本例の増幅装置により処理される送信信号に関する値が用いられ、また、 $n$  としては 8 以上の正の数が設定される。また、 $(\text{キャリア周波数間隔} \times \text{キャリア数})$  は送信信号の帯域に相当する。

20

## 【0176】

以上のように、本例の増幅装置に備えられたプリディストータでは、増幅器 4 により増幅する送信信号に対して可変減衰器 2 や可変移相器 3 により発生させる歪（振幅歪や位相歪）の量を制御するタイミングを位相調整手段 10、11 により調整することにより、当該タイミングを微妙（微小）に調整することが可能となり、これにより、高精度な歪補償を

30

## 【0177】

具体的には、例えば微小な遅延時間の存在に起因してプリディストーションが正常に行われないようなことを回避することができ、また、例えば従来において長時間を要していた微小遅延時間の調整処理を短時間で行うことが可能となり、また、これらの結果として、例えば装置のコストを低減させることも可能である。

## 【0178】

ここで、本例では、増幅器 4 が本発明に言う（歪補償対象となる）増幅器に相当する。また、本例では、可変減衰器 2 や可変移相器 3 の機能により、本発明に言う歪発生手段が構成されている。なお、本例では、可変減衰器 2 や可変移相器 3 により、外部から入力されるアナログ制御信号に応じて発生させる歪の量が変化する回路が構成されている。

40

## 【0179】

また、本例では、レベル検出部 5 の機能により、本発明に言う信号レベル検出手段が構成されている。

また、本例では、制御部 12 や 2 つの D/A 変換器 7、8 の機能により、本発明に言う歪量制御手段が構成されている。

また、本例では、クロック源 9 や 2 つの位相調整手段 10、11 の機能により、本発明に言う制御タイミング調整手段が構成されている。

## 【0180】

また、本例では、2 つの D/A 変換器 7、8 の機能により、本発明に言う D/A 変換手段

50

が構成されている。

また、本例では、クロック源 9 の機能により、本発明に言うクロック信号発生手段が構成されている。

また、本例では、2つの位相調整手段 10、11 がタイミングを調整したクロック信号（タイミング信号）を生成する機能により、本発明に言うタイミング信号生成手段が構成されている。

#### 【0181】

次に、本発明の第2実施例に係る（歪補償）増幅装置を図10を参照して説明する。

なお、本例の増幅装置は、本発明に係る歪補償装置の一実施例であるプリディストータを備えており、このプリディストータによりプリディストータ型歪補償方式を用いて増幅器で発生する歪を補償する。

10

#### 【0182】

上記図10には、本例のプリディストータを備えた増幅装置（プリディストーション機能付き増幅器）の回路構成例を示してある。なお、この増幅装置は、例えば移動無線通信システムの基地局装置や中継局装置の送信部に設けられており、送信対象となる信号（送信信号）を送信機から入力し、当該信号を増幅器により増幅してアンテナへ出力する。

#### 【0183】

同図に示されるように、本例の増幅装置には、遅延手段 61 と、可変減衰器 62 と、可変移相器 63 と、増幅器 64 と、レベル検出部 65 と、歪抽出手段 66 と、2つのメモリ 67、68 と、2つのD/A変換器 69、70 と、クロック源 71 と、2つの位相調整手段 72、73 と、制御部 74 とが備えられている。

20

#### 【0184】

ここで、本例の増幅装置の構成は、可変減衰器 62 や可変移相器 63 を制御するためのメモリ 67、68 が制御部 74 の外部に設けられているといった点を除いては、例えば上記第1実施例の図1に示した増幅装置の構成と同様である。このため、以下では、上記第1実施例の図1に示した増幅装置と同様な構成部分については詳しい説明を省略し、当該増幅装置とは異なる構成部分について詳しく説明する。

#### 【0185】

すなわち、本例の増幅装置では、可変減衰器 62 を制御するための構成として、メモリ 67 が制御部 74 とD/A変換器 69 との間に設けられているとともに、可変移相器 63 を制御するための構成として、メモリ 68 が制御部 74 とD/A変換器 70 との間に設けられている。また、本例の増幅装置では、レベル検出部 65 により信号のレベルを検出した結果がデジタル値として2つのメモリ 67、68 へ出力される。

30

#### 【0186】

一方のメモリ 67 は、可変減衰器 62 を制御するためのルックアップテーブル（LUT：Look Up Table）を有しており、このルックアップテーブルには、レベル検出部 65 から出力される（検出結果の）デジタル値と、可変減衰器 62 で発生させる振幅歪を制御するための（デジタル）制御値とが対応付けられて格納されている。ここで、制御値としては、当該制御値と対応付けられるデジタル値（検出結果）が得られた場合に増幅器 64 で発生する振幅歪をプリディストーションにより補償することができる振幅歪（前記振幅歪とは逆特性の振幅歪）を実現する値が、例えば予め計算（或いは測定等）されて格納されている。

40

#### 【0187】

同様に、他方のメモリ 68 は、可変移相器 63 を制御するためのルックアップテーブル（LUT）を有しており、このルックアップテーブルには、レベル検出部 65 から出力される（検出結果の）デジタル値と、可変移相器 63 で発生させる位相歪を制御するための（デジタル）制御値とが対応付けられて格納されている。ここで、制御値としては、当該制御値と対応付けられるデジタル値（検出結果）が得られた場合に増幅器 64 で発生する位相歪をプリディストーションにより補償することができる位相歪（前記位相歪とは逆特性の位相歪）を実現する値が、例えば予め計算（或いは測定等）されて格納されている。

50

## 【0188】

このように、上記した一方のメモリ67は補正AM-AM特性を記憶するルックアップテーブルを有しているとともに、上記した他方のメモリ68は補正AM-PM特性を記憶するルックアップテーブルを有している。そして、これらのルックアップテーブルは、レベル検出部65から入力されるデジタル値(検出結果)をアドレスとして、当該入力アドレスと対応した記憶値(制御値)をそれぞれのD/A変換器69、70へ出力する処理を実行し、本例では、このような処理により、可変減衰器62や可変移相器63による歪発生量が制御される。

## 【0189】

なお、本例のD/A変換器69、70は、それぞれのメモリ67、68から入力されるデジタル制御信号をアナログ制御信号へ変換して、当該アナログ制御信号を可変減衰器62や可変移相器63へ出力する。

## 【0190】

また、本例では、例えば抽出手段66を用いて検出される歪成分のレベルに基づいて、上記した各メモリ67、68の記憶内容が制御部74により適応的に書き換えられる構成としており、このような構成により、例えば温度特性の変化や経年変化によって生じる微小な遅延時間の誤差に対処することが可能なプリディストーションを実現することができる。

## 【0191】

以上のように、本例の増幅装置では、可変減衰器62や可変移相器63を制御するためのメモリ67、68が制御部74とは別個な構成とされて当該制御部74の外部に配置されているため、当該メモリ67、68への高速なアクセスが可能となって、処理の効率を向上させることができる。

ここで、本例では、2つのメモリ67、68の機能により、本発明に言うメモリ手段が構成されている。

## 【0192】

一例として、本例の増幅装置では、80MHzで動作するデジタル部を想定しているが、一般に、80MHz(12.5ns)程度でのD/A変換処理が必要となる場合には、制御部74から直接的にアクセスすることが困難であることが生じ得る。なお、この理由は、制御部74はデジタル信号処理器(DSP)から構成されることが多く、デジタル信号処理器では入出力レート(外部ハードウェアのアクセススピード)として30MHz程度が限界だからである。

## 【0193】

これに対して、本例の増幅装置では、上述したように、メモリ67、68を制御部74の外部に配置することで高速なアクセスが可能となり、例えば広帯域の送信信号を処理するような場合においても、微妙(微小)な位相調整(D/A変換のタイミング調整)を容易に実現することができる。

## 【0194】

ここで、本発明に係る歪補償装置の構成としては、必ずしも以上に示したものに限られず、種々な構成が用いられてもよい。

例えば、プリディストーションを行うための可変減衰器と可変移相器との配置の順序は任意である。また、例えば、(歪補償の対象となる)増幅器の出力信号から歪成分の信号(誤差信号)を取得することを実現するための構成や、レベル検出部の構成としては、種々な構成が用いられてもよい。

## 【0195】

また、例えば、以上の実施例では示さなかったが、D/A変換器と可変減衰器との間やD/A変換器と可変移相器との間に低域通過フィルタ(LPF)を備えて、これらのD/A変換器からの出力信号を当該低域通過フィルタにより平滑化する構成が用いられてもよく、このような低域通過フィルタの有無は、例えば装置の使用状況等に応じて任意に設定されてもよい。

10

20

30

40

50

## 【 0 1 9 6 】

また、本発明に係る歪補償装置の適用分野としては、必ずしも以上に示した分野に限られず、本発明は種々な分野に適用することが可能なものである。

一例として、本発明に係る歪補償装置は、デジタル処理を用いたプリディストータ型歪補償方式を採用する装置に適用することも可能であり、また、アナログ処理を用いたプリディストータ型歪補償方式を採用する装置に適用することも可能である。

## 【 0 1 9 7 】

また、本発明に係る歪補償装置により行われる各種の処理としては、例えばプロセッサやメモリ等を備えたハードウェア資源においてプロセッサがROMに格納された制御プログラムを実行することにより制御される構成が用いられてもよく、また、例えば当該処理を

10

実行するための各機能手段が独立したハードウェア回路として構成されてもよい。また、本発明は上記の制御プログラムを格納したフロッピー（登録商標）ディスクやCD-ROM等のコンピュータにより読み取り可能な記録媒体として把握することもでき、当該制御プログラムを記録媒体からコンピュータに入力してプロセッサに実行させることにより、本発明に係る処理を遂行させることができる。

## 【 0 1 9 8 】

## 【 発明の効果 】

以上説明したように、本発明に係る歪補償装置によると、例えば増幅器により増幅される信号に対して可変減衰器や可変移相器により発生させる振幅歪や位相歪の量を、当該増幅器により増幅される信号のレベルの検出結果に基づいて制御するに際して、当該増幅器で発生する歪が大きく補償されるように当該制御のタイミングを調整するようにしたため、当該タイミングを微妙（微小）に調整することが可能となり、これにより、高精度な歪補償を実現することができる。

20

## 【 図面の簡単な説明 】

【 図 1 】本発明の第1実施例に係るプリディストータを備えた増幅装置の回路構成例を示す図である。

【 図 2 】位相調整手段の回路構成例を示す図である。

【 図 3 】位相調整手段の動作の一例を説明するための図である。

【 図 4 】位相調整手段の回路構成例を示す図である。

【 図 5 】位相調整手段の回路構成例を示す図である。

30

【 図 6 】位相調整手段の動作の一例を説明するための図である。

【 図 7 】位相調整手段の回路構成例を示す図である。

【 図 8 】位相調整手段の動作の一例を説明するための図である。

【 図 9 】摂動法により遅延時間を調整するイメージの一例を示す図である。

【 図 10 】本発明の第2実施例に係るプリディストータを備えた増幅装置の回路構成例を示す図である。

【 図 11 】従来例に係るプリディストータを備えた増幅装置の回路構成例を示す図である。

【 図 12 】歪が発生していない信号のスペクトラムの一例を示す図である。

【 図 13 】歪が発生した信号のスペクトラムの一例を示す図である。

40

【 図 14 】歪を補償した信号のスペクトラムの一例を示す図である。

【 図 15 】遅延時間が振幅歪の補正に対して与えてしまう影響に関する計算機シミュレーションの結果の一例を示す図である。

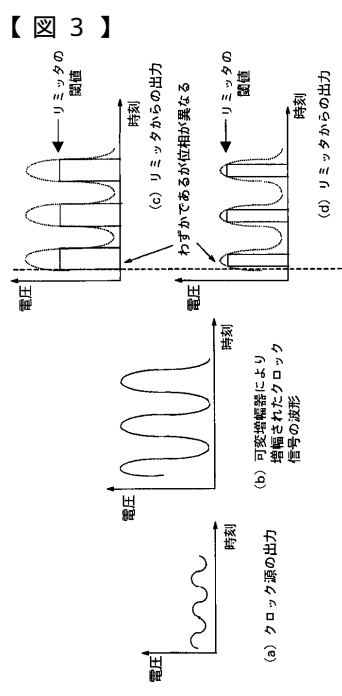
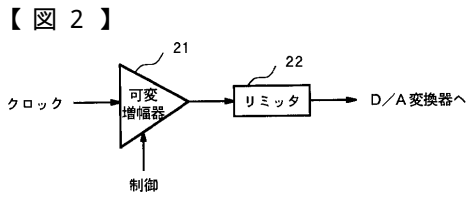
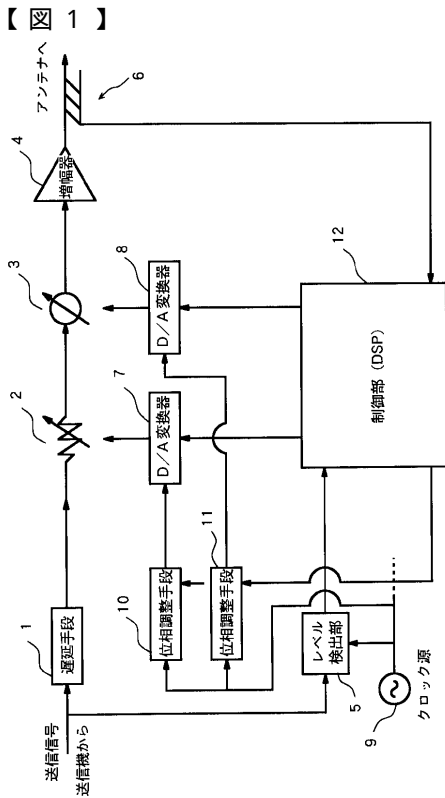
【 図 16 】遅延時間が位相歪の補正に対して与えてしまう影響に関する計算機シミュレーションの結果の一例を示す図である。

## 【 符号の説明 】

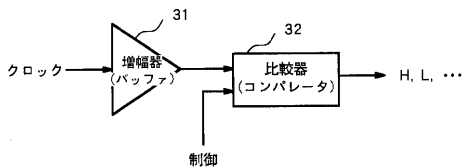
- 1、61・・・遅延手段、
- 2、62・・・可変減衰器（アッテネータ）、
- 3、63・・・可変移相器、
- 4、31、41、64・・・増幅器、
- 5、65・・・レベル検出部、
- 6、66・・・歪抽出手段、
- 7、8、69、70・・・D/A変換器、
- 9、71・・・クロック源、

50

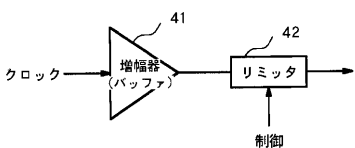
- 10、11、72、73・・・位相調整手段、 12、74・・・制御部、
- 21、51・・・可変増幅器、 22、42、52・・・リミッタ、
- 32・・・コンパレータ、 53・・・フリップフロップ、 54・・・セクタ、
- 67、68・・・メモリ、



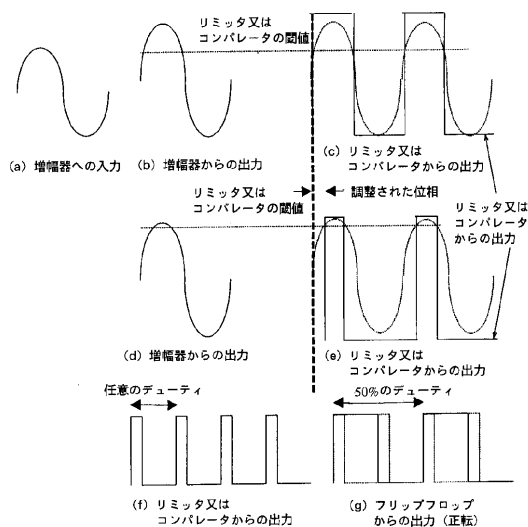
【図4】



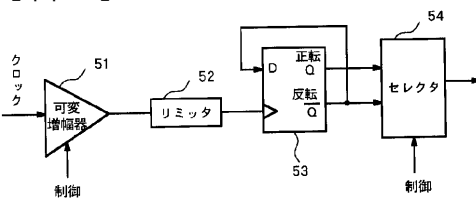
【図5】



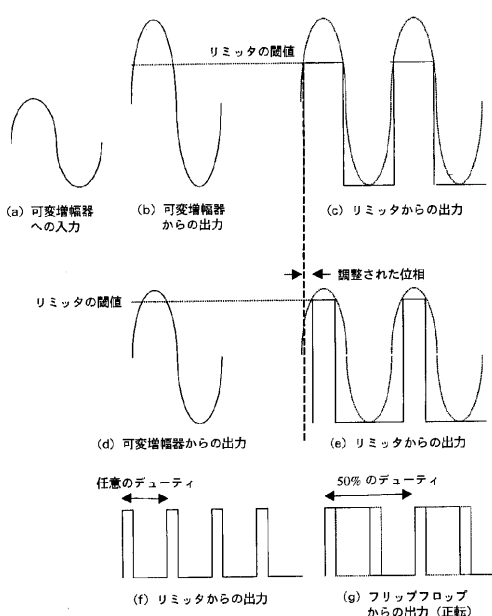
【図6】



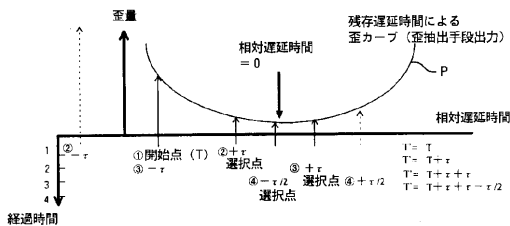
【図7】



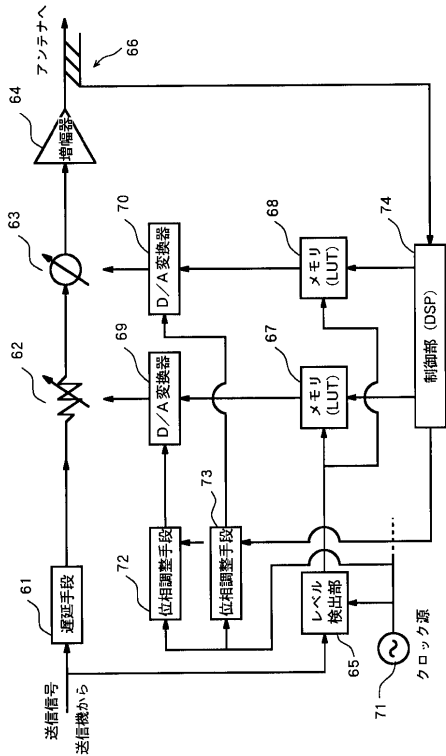
【図8】



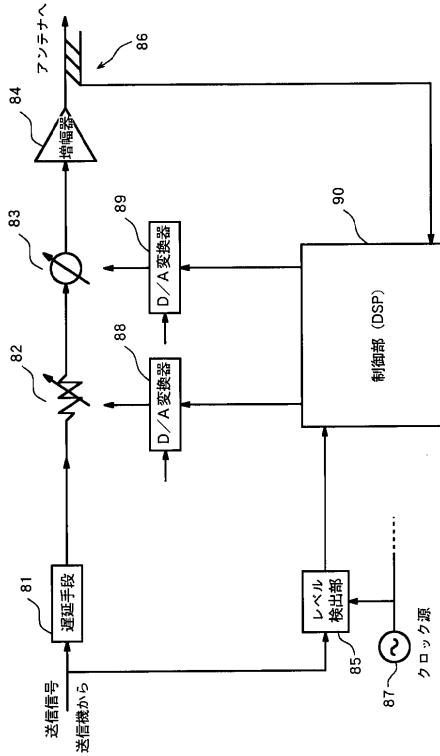
【図9】



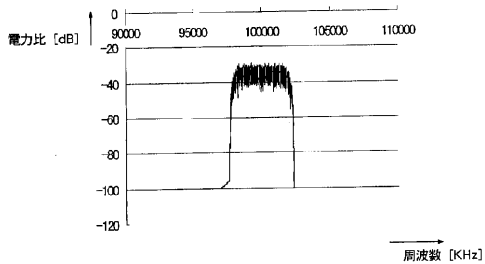
【図 10】



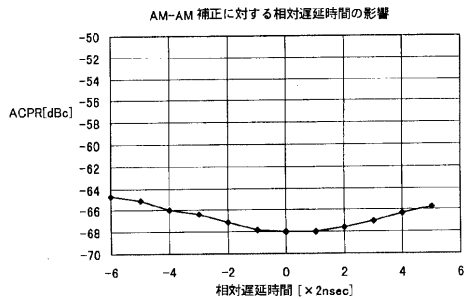
【図 11】



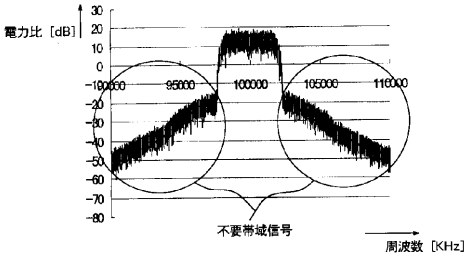
【図 12】



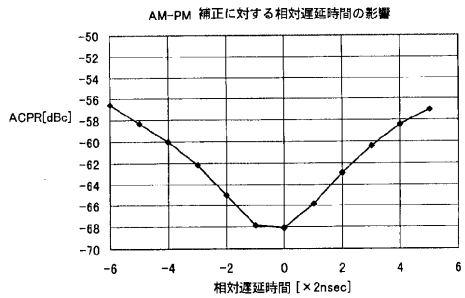
【図 15】



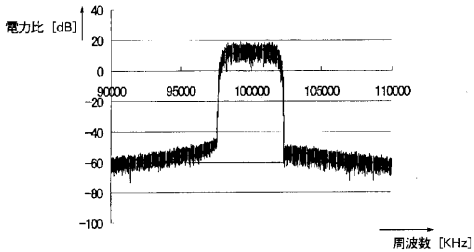
【図 13】



【図 16】



【図 14】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H03F 1/32

H04B 3/06