

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-249205

(P2007-249205A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/28 (2006.01)	G09G 3/28 K	5C080
G09G 3/288 (2006.01)	G09G 3/28 B	5C580
G09G 3/20 (2006.01)	G09G 3/28 E	
	G09G 3/20 624L	
	G09G 3/20 641E	
審査請求 未請求 請求項の数 11 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2007-64713 (P2007-64713)
 (22) 出願日 平成19年3月14日 (2007.3.14)
 (31) 優先権主張番号 10-2006-0023372
 (32) 優先日 平成18年3月14日 (2006.3.14)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 502032105
 エルジー エレクトロニクス インコーポ
 レイティド
 大韓民国, ソウル 150-721, ヨン
 ドウンポーク, ヨイドードン, 20
 (74) 代理人 110000165
 グローバル・アイピー東京特許業務法人
 (72) 発明者 リ ビョンジュン
 大韓民国 キョンギド ヨンインシ スジ
 ウップ ジュクジョンリ ビョクサン1チ
 ャアパート 207ドン903ホ
 Fターム(参考) 5C080 AA05 BB05 DD09 EE28 JJ02
 JJ04 JJ05 JJ06
 5C580 AA03 BA03 BA09 BA12 BA13
 CB01

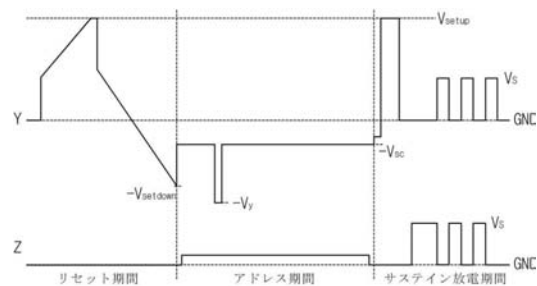
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 サステイン放電に必要な電圧マージンを確保し、高温環境下でも安定したサステイン放電を引き起こすようにしたプラズマディスプレイパネルの駆動方法を提供する。

【解決手段】 サステイン放電期間に、スキャン電極に第1サステインパルス印加する段階；およびサステイン放電期間に、サステイン電極に、スキャン電極と交互に第2サステインパルス印加する段階を含み、第1サステインパルスのサステイン電圧は、リセット期間にスキャン電極を駆動するための電圧源を利用して、第1サステインパルス以降にスキャン電極に印加される残りのサステインパルスのサステイン電圧より大きな値に設定される。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

サステイン放電期間に、スキャン電極に第 1 サステインパルス印加する段階；および前記サステイン放電期間に、サステイン電極に、スキャン電極と交互に第 2 サステインパルス印加する段階を含み、

前記第 1 サステインパルスのサステイン電圧は、リセット期間に前記スキャン電極を駆動するための電圧源を利用して、前記第 1 サステインパルス以降にスキャン電極に印加される残りのサステインパルスのサステイン電圧より大きな値に設定されることを特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 2】

前記第 1 サステインパルスのサステイン電圧は、前記スキャン電極に印加される電圧のなかで最大電圧と実質的に同一であることを特徴とする、請求項 1 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】

前記第 1 サステインパルスのサステイン電圧は、リセット期間に前記スキャン電極に印加される電圧のなかで最大電圧と実質的に同一であることを特徴とする、請求項 1 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】

前記第 1 サステインパルスのパルス幅は、前記残りのサステインパルスのパルス幅と同一であることを特徴とする、請求項 2 又は 3 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】

前記第 1 サステインパルスのパルス幅は、前記第 1 サステインパルスにおける前記残りのサステインパルスのパルス幅より大きいことを特徴とする、請求項 4 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 6】

前記第 1 サステインパルスにおける前記残りのサステインパルス、および、前記第 2 サステインパルスは、基底電圧とサステイン放電に必要な電圧からなるパルスであることを特徴とする、請求項 2 又は 3 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】

前記第 1 サステインパルスにおける前記残りのサステインパルス、および、前記第 2 サステインパルスは、サステイン放電に必要な電圧の半分の大きさを有し、互いに反対極性を有する電圧からなるパルスであることを特徴とする、請求項 2 又は 3 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 8】

スキャン電極に前記第 1 サステインパルスが印加される間、前記サステイン電極には基底電圧が印加されることを特徴とする、請求項 7 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 9】

アドレス期間に、前記スキャン電極に負極性のスキャン基準電圧およびスキャンパルス電圧を印加する段階をさらに含むことを特徴とする、請求項 2 又は 3 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 10】

アドレス期間に、前記サステイン電極に一定のバイアス電圧を印加する段階をさらに含むことを特徴とする、請求項 2 又は 3 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 11】

前記バイアス電圧は 0 V より大きく、サステイン放電に必要な電圧より小さいことを特徴とする、請求項 10 に記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】**【技術分野】**

10

20

30

40

50

【0001】

本発明はプラズマディスプレイパネルの駆動方法に係り、特にサステイン放電に必要な電圧マージンを確保し、高温環境下でも安定したサステイン放電を引き起こすようにしたプラズマディスプレイパネルの駆動方法に関するものである。

【背景技術】

【0002】

プラズマディスプレイパネル(Plasma Display Panel:以下'PDP'ともいう)は、ガス放電により発生する紫外線が蛍光体を励起させるとき、可視光線が発生する現象を利用する表示装置である。PDPは、陰極線管(CRT)に比べ、厚さが薄くて軽く、高鮮明大画面の具現が可能であるなどの利点がある。一般に、PDPはマトリックス状に配列された複数の放電セルからなり、一つの放電セルは画面の一サブピクセルにあたる。

10

【0003】

図1は従来3電極交流面放電型プラズマディスプレイパネルの構造を示す分解斜視図である。図1を参照すれば、各放電セルは上部基板1上に形成されたスキャン電極Yおよびサステイン電極Z、および下部基板9上に形成されたアドレス電極Xを備えている。スキャン電極Yとサステイン電極Zは、通常透明なインジウム-スズ-オキサイド(Indium-Tin-Oxide:以下'ITO'ともいう)からなり、これらの高い抵抗特性による電圧降下を減らすために、これらの上には、Ag、Cu、Crなどの金属のうち少なくとも1種からなるバス電極3がそれぞれ形成される。

20

【0004】

スキャン電極Yとサステイン電極Zが並んで形成された上部基板1には、上部誘電体層4と保護膜5が積層される。保護膜5は、プラズマ放電の時に発生したスパッタリングによる上部誘電体層4の損傷を防止するとともに2次電子の放出効率を高めるため、通常酸化マグネシウム(MgO)からなる。

【0005】

アドレス電極Xが形成された下部基板9上には下部誘電体層8および隔壁6が形成され、下部誘電体層8と隔壁6の表面には蛍光体7が塗布される。アドレス電極Xは、スキャン電極Yおよびサステイン電極Zと垂直な方向に形成され、隔壁6は、アドレス電極Xと平行な方向に形成されて、放電により生成した紫外線および可視光が隣接放電セルに漏洩されることを防止する。蛍光体7は、プラズマ放電の時に発生した紫外線により励起されて、赤色(R)、緑(G)または青色(B)のいずれか一つの可視光線が発生することになる。上部基板1および下部基板9と隔壁6によって形成された放電空間には、ガス放電のためのNe+Xeおよびペニングガスなどが封入される。

30

【0006】

前述したような構造のPDPは、アドレス電極Xとスキャン電極Y間の対向放電により放電セルが選択された後、スキャン電極Yとサステイン電極Z間の面放電により、前記選択された放電セルの放電が維持される。このような放電セルにおいては、サステイン放電の時に発生する紫外線により蛍光体7を発光させることにより、可視光をセルの外部に放出させる。この結果、放電セルは、放電が維持される期間を調整して階調を具現し、その放電セルがマトリックス状に配列されたPDPは画像を表示することができることになる。

40

【0007】

図2は従来技術のPDP駆動方法の代表的なADS駆動方法の階調具現方法を例示する図である。図2を参照すれば、ADS駆動方式においては、階調表現(例えば、256階調)のため、画像を示す1TVフィールド(通常、16.67ms)の間に明るさがそれぞれ違う、つまり発光期間の長さがそれぞれ違う複数個(例えば、8個)のサブフィールド(SF)を置くことが一般的であり、それぞれのサブフィールドは、 2^0 、 2^1 、 2^2 、 2^3 、 2^4 、 2^5 、 2^6 、 2^7 の加重値にあたる程度のサステイン放電期間の長さを有し、これらサブフィールドの組合せで256(= 2^8)階調の表現が可能になる。各サブ

50

フィールドは、放電を均一に起こすためのリセット期間、放電セルを選択するためのアドレス期間、および放電回数によって階調を具現するサステイン放電期間からなる。

【0008】

図3aは図2に示すPDP駆動方法による駆動波形の一例を示す図である。

図3aを参照すれば、リセット期間のセットアップ期間(SU)には、所定傾きを有し、正極性の所定電圧からセットアップ電圧(V_{setup})まで上昇する上昇ランプ波形(Ramp-up)の電圧がすべてのスキャン電極Yに同時に供給される。これと同時に、サステイン電極Zとアドレス電極Xには、基底電圧(GND)が供給される。前記上昇ランプ波形(Ramp-up)の電圧により、全画面の放電セル内でスキャン電極Yとサステイン電極Zおよびアドレス電極X間には弱放電でセットアップ放電が起こり、このセットアップ放電により、アドレス電極Xとサステイン電極Z上には正極性の壁電荷が積もることになり、スキャン電極Y上には負極性の壁電荷が積もることになる。

10

【0009】

リセット期間のセッダウン期間(SD)には、セットアップ電圧(V_{setup})から正極性の所定電圧に下降した後、所定傾きを有し、負極性のセッダウン電圧($-V_{setdown}$)に下降する下降ランプ波形(Ramp-down)の電圧がスキャン電極Yに供給される。下降ランプ波形(Ramp-down)の電圧が供給される間、サステイン電極Zとアドレス電極Xには基底電圧(GND)が継続して供給される。下降ランプ波形(Ramp-down)の電圧により、スキャン電極Yとサステイン電極Zおよびアドレス電極X間には弱放電でセッダウン放電が起こり、このセッダウン放電により、セットアップ放電の時に形成された壁電荷の内、アドレス放電に不必要な過度な壁電荷が消去される。前記セッダウン期間(SD)での壁電荷変化を調べると、アドレス電極X上の壁電荷の変化はほとんどなく、セットアップ放電時に形成されたスキャン電極Y上の負極性の壁電荷はセッダウン放電により一部減少する一方、この減少の分だけ、サステイン電極Z上に負極性の電荷が積もることになる。

20

【0010】

アドレス期間には、負極性のスキャン基準電圧($-V_{sc}$)が供給されてからスキャンパルス電圧($-V_y$)がスキャン電極Yに順次供給されるとともに、前記スキャンパルス電圧($-V_y$)の印加と同期してアドレス電極Xに一般に正極性のデータパルス電圧(V_a)が供給される。スキャンパルス電圧($-V_y$)とデータパルス電圧(V_a)間の電圧差とリセット期間に生成した壁電圧が加わることで、データパルス電圧(V_a)が印加されるセル内でアドレス放電が発生する。アドレス放電によって選択されたセル内には、サステイン放電期間にサステインパルスが供給されるとき、サステイン放電が起こるようになる程度の壁電荷が形成される。前記アドレス期間の間、サステイン電極Zには所定のバイアス電圧(V_{ds})が供給される。

30

【0011】

サステイン放電期間には、スキャン電極Yとサステイン電極Z間に交互にサステインパルスが供給される。サステインパルスが印加される都度、アドレス放電によって選択されたセルは、セル内の壁電圧とサステインパルス電圧(V_s)が加わることで、スキャン電極Yとサステイン電極Z間でサステイン放電、つまり表示放電が発生する。ここで、スキャン電極に印加されるサステインパルスのうち、第1サステインパルスは、サステイン放電が安定に開始されるように、ほかのサステインパルスの幅より広いパルスが使われることもある。

40

【0012】

また、サステイン放電期間にサステインパルスがパネルに供給される場合、スキャン電極Yとサステイン電極Z間の電圧差がサステイン放電に必要な電圧(V_s)であれば、図3bに示すように、スキャン電極Yとサステイン電極Zには、それぞれ $-V_s/2$ および $V_s/2$ からなるサステインパルス波形の電圧が印加されることもできる。

【0013】

図4は図1に示すPDPを駆動するための装置の全体構成を示す図である。

50

図4を参照すれば、従来の3電極交流面放電PDPの駆動装置は、 $m \times n$ 個の放電セル20がスキャン電極ライン $Y_1 \sim Y_m$ 、サステイン電極ライン $Z_1 \sim Z_m$ およびアドレス電極ライン $X_1 \sim X_n$ に連結されるようにマトリクス状に配置されたPDP21と、スキャン電極ライン $Y_1 \sim Y_m$ に前述したようなスキャン駆動波形を供給するためのスキャン駆動装置22と、サステイン電極ライン $Z_1 \sim Z_m$ に前述したようなサステイン駆動波形を同時に供給するためのサステイン駆動装置23と、アドレス電極ライン $X_1 \sim X_n$ に前述したようなアドレス駆動波形を供給するためのアドレス駆動装置24と、外部からの表示データD、水平同期信号H、垂直同期信号V、クロック信号などに基づいて各駆動装置に制御信号を供給する制御回路部25とを含む。リセット区間およびサステイン区間で、前記スキャン電極ライン $Y_1 \sim Y_m$ には、前述したように、セットアップおよびセッダウンパルスとサステインパルスが全ラインに対して同時に印加されるが、アドレス区間で、アドレスパルスは第1ラインから最終ラインまでライン順次に供給されるように制御される。

10

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかし、最近、ディスプレイ画面の大型化が進むにしたがい、前述した従来の駆動方法によりPDPを駆動する場合、アドレスパルスはライン順次に供給されるから、スキャン駆動波形のうち、アドレスパルス、つまりスキャンパルス電圧($-V_y$)が第1ラインに印加される時間と最終ラインに印加される時間までの差が次第に増加することになり、第1ラインと最終ラインのアドレッシングの時、初期条件が変わるという問題点がある。すなわち、図5に示すように、42インチのXGA(1024×768)級のプラズマディスプレイパネルを駆動する場合、スキャンパルス幅が約 $1.5 \mu s$ であるとする、第1スキャン電極ライン Y_1 と第1アドレス電極ライン X_1 間でアドレッシング放電が発生する時間と、最後のスキャン電極ライン Y_{768} と最後のアドレス電極ライン X_{768} 間でアドレッシング放電が発生する時間は、約 $1.152 ms$ ($768 \times 1.5 \mu s$)の差が発生することになる。しかし、前述したようなXGA級以上のプラズマディスプレイパネルを駆動する場合、リセット動作はすべてのラインに対して同時に起こることになるから、最終ラインのアドレッシングの場合、リセット後に積もった壁電荷が、アドレッシング放電が起こる前に、再結合する(recombination)現象が発生し、壁電荷状態が第1ラインの壁電荷状態とは違い、よって第1ラインと最終ラインにおいてアドレッシング条件も変わることになる。よって、前述したような従来技術によれば、最終ラインでの壁電荷の不足により、アドレッシング放電の時に弱放電が招かれ、サステイン放電に必要な電圧の最小値($V_{s, min}$)が上昇し、サステイン放電が不安定になるという問題点がある。

20

30

【0015】

さらに、前述したような駆動波形でプラズマディスプレイパネルを60以上の高温環境下で動作させる場合は、前述した再結合現象がより著しいため、図6に示すように、最終ラインだけでなく、その付近のラインで誤放電によりターンオンされない放電セル60が現れる可能性があるという問題点がある。

【0016】

前述した高温環境下で再結合による誤放電が起こる理由を図7a~図7cに基づいて詳細に説明する。約60以上の高温環境の下で、第1ラインで、リセット直後の放電セルの壁電荷状態とリセット後のアドレッシング時の壁電荷状態は、図7aに示すように、同一であり、最終ラインでのリセット直後の壁電荷状態も、図7bの上側部に示すように、これらと同一であるが、リセット後に最終ラインでアドレッシングするときの壁電荷状態は、図7bの下側部に示すように、サステイン電極に積もった負極性の電荷が減少する現象が生じることになる。このような壁電荷状態の変化は、図7cに示すように、第1ラインとは異なり、リセット後、最終ラインでアドレッシングするまでPDPがスキャンされる間、熱エネルギーにより、スキャン電極上の負極性の電荷のほかの壁電荷との再結合70現象が発生するからであると推測され、このような理由のため、最終ラインでは壁電荷損

40

50

失 (wall charge loss) が招かれてアドレッシング電圧が減少し、よってサステイン放電期間でサステインパルスが印加されるときにサステイン放電に必要な最小電圧 ($V_{s, min}$) が第1ラインと比べて増加することになるので、サステイン放電が不安定になるという問題点が発生する。

【0017】

本発明は前述したような従来技術の問題点を解決するためになされたもので、サステイン放電が始まる場合の初期サステインパルス電圧をセットアップ電圧によって上昇させることにより、従来の駆動回路を利用しながらも、サステイン放電に必要な電圧マージンを確保し、高温環境下でも安定したサステイン放電を引き起こすようにしたプラズマディスプレイパネルの駆動方法を提供することにその目的がある。

10

【課題を解決するための手段】

【0018】

前述した目的を達成するための本発明によるプラズマディスプレイパネルの駆動方法は、サステイン放電期間に、スキャン電極に第1サステインパルスを印加する段階；および前記サステイン放電期間に、サステイン電極に、スキャン電極と交互に第2サステインパルスを印加する段階を含み、前記第1サステインパルスのうち、第1サステインパルスのサステイン電圧は、リセット期間に前記スキャン電極を駆動するための電圧源を利用して、前記第1サステインパルス以降にスキャン電極に印加される残りのサステインパルスのサステイン電圧より大きな値に設定されることを特徴とする。

20

【0019】

前記第1サステインパルスのサステイン電圧は、前記スキャン電極に印加される電圧のなかで最大電圧と実質的に同一であることが望ましい。

【0020】

また、前記第1サステインパルスのサステイン電圧は、リセット期間に前記スキャン電極に印加される電圧のなかで最大電圧と実質的に同一であることが望ましい。

【0021】

前記第1サステインパルスのパルス幅は、前記残りのサステインパルスのパルス幅と等しいことが望ましい。

【0022】

前記第1サステインパルスのパルス幅は、前記第1サステインパルスにおける前記残りのサステインパルスのパルス幅より大きいことが望ましい。

30

【0023】

前記第1サステインパルスにおける前記残りのサステインパルス、および前記第2サステインパルスは、基底電圧とサステイン放電に必要な電圧からなるパルスであることが望ましい。

【0024】

前記第1サステインパルスにおける前記残りのサステインパルス、および前記第2サステインパルスは、サステイン放電に必要な電圧の半分の大きさを有し、互いに反対極性を有する電圧からなるパルスであることが望ましい。

40

【0025】

スキャン電極に前記第1サステインパルスが印加される間、前記第2サステイン電極には基底電圧が印加されることが望ましい。

【0026】

アドレス期間に、前記スキャン電極に負極性のスキャン基準電圧およびスキャンパルス電圧を印加する段階をさらに含むことが望ましい。

【0027】

また、アドレス期間に、前記サステイン電極に一定のバイアス電圧を印加する段階をさらに含んで、前記バイアス電圧は0Vより大きく、サステイン放電に必要な電圧より小さいことが望ましい。

50

【発明の効果】

【0028】

本発明によれば、サステイン放電が始まる場合の初期サステインパルス電圧をセットアップ電圧によって上昇させることにより、従来の駆動回路をそのまま利用しながらも、60以上の高温環境下でもサステイン放電に必要な電圧マージンを確保することができるだけでなく、低階調の表現能力を向上させることができ、画質改善に有利な効果がある。

【発明を実施するための最良の形態】

【0029】

以下、添付図面に基づいて本発明の好ましい実施例を説明する。

【0030】

図8は、本発明の好ましい一実施例により、スキャン電極に印加される駆動波形の一例を示す図である。

図8を参照すれば、本発明の好ましい第1実施例では、スキャン電極に印加されるサステインパルスの第1サステイン電圧として、リセット期間のセットアップ電圧 ($V_{set up}$) と同じ大きさの電圧を印加させている。また、前記第1サステインパルス以後のほかのサステインパルスのサステイン電圧とサステイン電極ラインに印加されるサステインパルスのサステイン電圧としては、従来技術と同様に、サステイン放電に必要なサステイン電圧 (V_s) の大きさを有する電圧を印加させている。よって、前述したように、従来の技術によってスキャン電極ラインに印加される駆動波形によれば、最終付近のラインでアドレッシング放電によって形成された壁電圧が減少しても、第1サステインパルス電圧としてセットアップ電圧 ($V_{set up}$) の高電圧を印加することにより、サステイン放電に必要な電圧の最小値 ($V_{s, min}$) を上昇させる必要なしに、サステイン放電が安定に発生するようにすることができるので、周辺温度が上昇しても誤放電が発生しない。さらに、第1サステインパルス電圧としてセットアップ電圧 ($V_{set up}$) を印加することにより、プラズマディスプレイパネルの低階調表現能力を高めることができるので、画質改善にも効果がある。また、本実施例によれば、従来技術のようにサステイン放電が安定に開始するため、スキャン電極に印加されるサステインパルスのうち、第1サステインパルスの幅を広くしなくても、サステイン放電が安定に開始できる。

【0031】

図9は、本発明の好ましい第2実施例において、スキャン電極に印加されるサステインパルスの波形を示すもので、第1サステインパルスを除いた残りのサステインパルスおよびサステイン電極に印加されるサステインパルスは、サステイン放電に必要な電圧の半分にあたる電圧 ($V_s / 2$) と絶対値は同一であるが、符号が異なって構成される点のみが前記第1実施例と違い、ほかの構成はすべて前記第1実施例と同様である。本実施例においても、第1サステインパルスのサステイン電圧として、リセット波形のセットアップ電圧 ($V_{set up}$) と同一の電圧が印加されているから、前述した第1実施例と同様に、第1サステインパルス電圧としてセットアップ電圧 ($V_{set up}$) を印加することにより、サステイン放電に必要な電圧の最小値 ($V_{s, min}$) を上昇させる必要なしに、サステイン放電が安定に起こるようにすることができ、特に周辺温度が上昇しても誤放電が発生しないだけでなく、これにより、プラズマディスプレイパネルの低階調表現能力を高めることができ、画質改善にも効果がある。

【0032】

図10に示す駆動波形では、図9と同様に、第1サステインパルスとしてセットアップ電圧と同一の電圧がスキャン電極に印加され、第1サステインパルスがスキャン電極に印加される間、サステイン電極には基底電圧が印加される。図10に示す駆動波形によれば、前述した第2実施例において得られた効果に加えて、サステイン電極に印加されるサステインパルスのうち、第1サステインパルスの電圧として負極性の $-V_s / 2$ の電圧を印加する必要がなくなり、駆動効率が一層向上するという効果がある。

【0033】

図11は本発明の好ましい一実施例によるプラズマディスプレイパネルの駆動装置を概

10

20

30

40

50

略的に示す図である。

図 11 は、スキャン電極 Y とサステイン電極 Z にそれぞれ $-V_s/2$ および $V_s/2$ からなるサステインパルス波形の電圧を供給する駆動装置を例示的に示す。詳細な図示は省略したが、各電圧供給部は、図 9 ~ 図 10 に示すような駆動波形をパネルに供給するが、その駆動波形を生成するために、制御回路部 (図示せず) の制御信号によって適切なタイミングに開閉するスイッチなどを含む回路等が備わる。

【 0034 】

リセット期間で、セットアップ電圧供給部 110 は、図示しない電源供給部からセットアップ電圧 (V_{setup}) を受け、所定電圧からセットアップ電圧 (V_{setup}) まで上昇する上昇ランプ波形の電圧をスキャン電極 Y に供給し、セッダウン電圧供給部 120 は、電源供給部からセッダウン電圧 ($V_{setdown}$) を受け、セッダウン電圧 ($V_{setdown}$) まで下降する下降ランプ波形の電圧をスキャン電極 Y に供給する。スキャン電極 Y に上昇ランプ波形および下降ランプ波形の電圧が供給されるうち、サステイン電極 Z には、サステイン駆動部 160 を介して基底電圧が供給される。

10

また、アドレス期間で、スキャン基準電圧供給部 130 およびスキャンパルス電圧供給部 140 は、電源供給部から所定電圧を受け、図 9 または図 10 に示すようなスキャン基準電圧 ($-V_{sc}$) とスキャンパルス電圧 ($-V_y$) からなる電圧波形をスキャン電極 Y にライン順次に供給し、アドレス駆動部 170 は、前記スキャンパルス電圧 ($-V_y$) と同期して、データパルス電圧 (V_a) をアドレス電極 X に供給する。この期間で、サステイン電極 Z には、サステイン駆動部 160 から所定のバイアス電圧 (V_{dc}) が供給される。

20

【 0035 】

サステイン放電期間では、アドレス電極 X に基底電圧が供給されるとともに、Y サステイン駆動部 150 および Z サステイン駆動部 160 が電源供給部から適切な電圧を受け、 $-V_s/2$ および $V_s/2$ からなるサステインパルス波形をスキャン電極 Y およびサステイン電極 Z にそれぞれ供給する。

【 0036 】

本発明による PDP 駆動装置は、セットアップ電圧供給部 110 とサステインパルス供給経路との間にスイッチ S100 をさらに含む。これにより、サステイン放電期間で、スキャン電極 Y に第 1 サステインパルスを供給するタイミングにスイッチ S100 をターンオンさせ、電源供給部から、サステインパルス供給経路を通じて、セットアップ電圧 (V_{setup}) と同一大きさの電圧をスキャン電極 Y に供給することができる。

30

【 0037 】

前述したように、第 1 サステインパルスのサステイン電圧 (V_s) としてセットアップ電圧 (V_{setup}) を印加する方法は、従来のプラズマディスプレイパネルの駆動回路の構成を変更させるか別の構成を追加することなしに簡単に具現することができる。たとえば、図 11 に示す駆動回路は単に説明の目的で各電圧供給部を概略的に示しているが、本発明は、従来のセットアップ電圧を供給する電圧源を用いる場合、駆動回路に、例えば一つのスイッチのみを追加することで、スキャン電極ラインにセットアップ電圧 (V_{setup}) と同一の電圧を第 1 サステインパルスのサステイン電圧に印加することができる。

40

【 0038 】

上述した本発明の好ましい実施例は本発明を例示するものに過ぎず、このような例示から当業者は多様な変形および改変の形態を想到可能である。例えば、図 11 には、単に説明の目的で各電圧供給部を概略的に示しているが、各電圧供給部の具体的構成および各電極ラインに印加される電圧波形の形態がどのように変形・改変されたとしても、スキャン電極ラインに印加される第 1 サステインパルスのサステイン電圧としてセットアップ電圧 (V_{setup}) と同一の電圧が印加される限り、本発明による効果を十分に達成することができる。したがって、本発明は、詳細な説明で言及した特定の形態に限定されるものと理解されるべきではなく、特許請求の範囲の記載によって定義される本発明の技術思想およびその範囲内のすべての変形物、均等物および代替物を含むものと理解されなければ

50

ならない。

【産業上の利用可能性】

【0039】

本発明は、サステイン放電に必要な電圧マージンを確保し、高温環境下でも安定したサステイン放電を引き起こすようにしたプラズマディスプレイパネルの駆動方法に適用可能である。

【図面の簡単な説明】

【0040】

【図1】従来の3電極交流面放電型プラズマディスプレイパネルの構造を示す分解斜視図である。

10

【図2】従来技術のPDP駆動方法の代表的なADS駆動方法の階調具現方法を例示する図である。

【図3a】図2に示すPDP駆動方法による駆動波形の例を示す図である。

【図3b】図2に示すPDP駆動方法による駆動波形の例を示す図である。

【図4】図1に示すPDPを駆動するための装置の全体構成を示す図である。

【図5】42インチのXGA(1024×768)級のプラズマディスプレイパネルを駆動する場合の第1ラインと最終ラインのアドレスパルスが印加される時間の差を例示する図である。

【図6】60以上の高温環境下で誤放電により、最終ライン付近でターンオンされない放電セルが表す従来技術の問題点を示す図である。

20

【図7a】図6に示すような誤放電が生じる理由を説明するための図である。

【図7b】図6に示すような誤放電が生じる理由を説明するための図である。

【図7c】図6に示すような誤放電が生じる理由を説明するための図である。

【図8】本発明の好ましい一実施例によりスキャン電極に印加される駆動波形の一例を示す図である。

【図9】本発明の好ましい一実施例によりスキャン電極に印加される駆動波形のほかの一例を示す図である。

【図10】本発明の好ましい一実施例によりスキャン電極に印加される駆動波形のさらにはほかの一例を示す図である。

【図11】本発明の好ましい一実施例によるプラズマディスプレイパネルの駆動装置を概略的に示す図である。

30

【符号の説明】

【0041】

1 上部基板

4 上部誘電体層

5 保護膜

6 隔壁

7 蛍光体

8 下部誘電体層

9 下部基板

110 セットアップ電圧供給部

150 Yサステイン駆動部

160 Zサステイン駆動部

S100 スイッチ

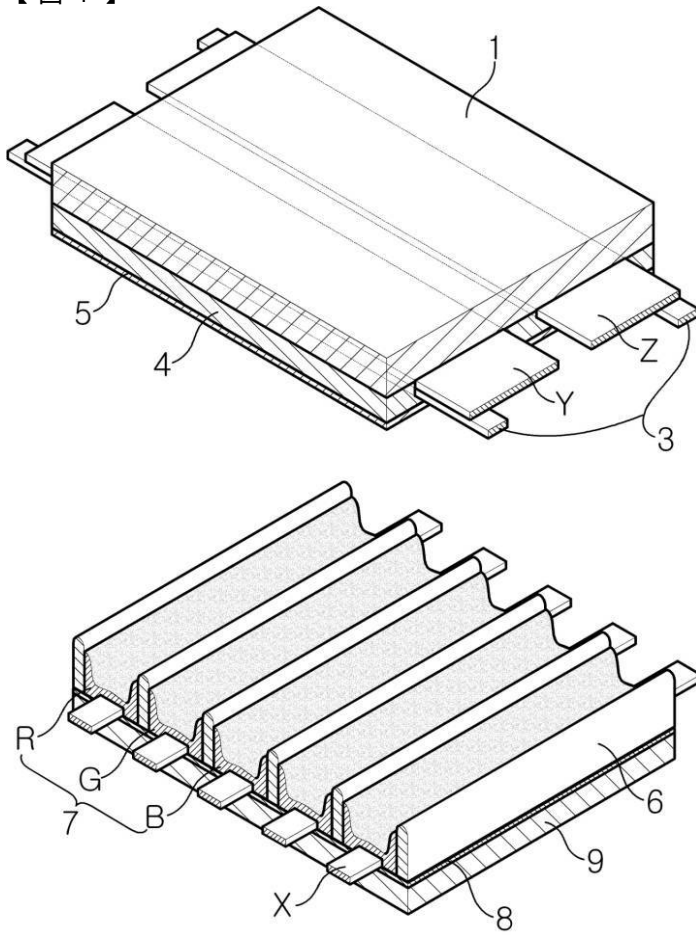
X アドレス電極

Y スキャン電極

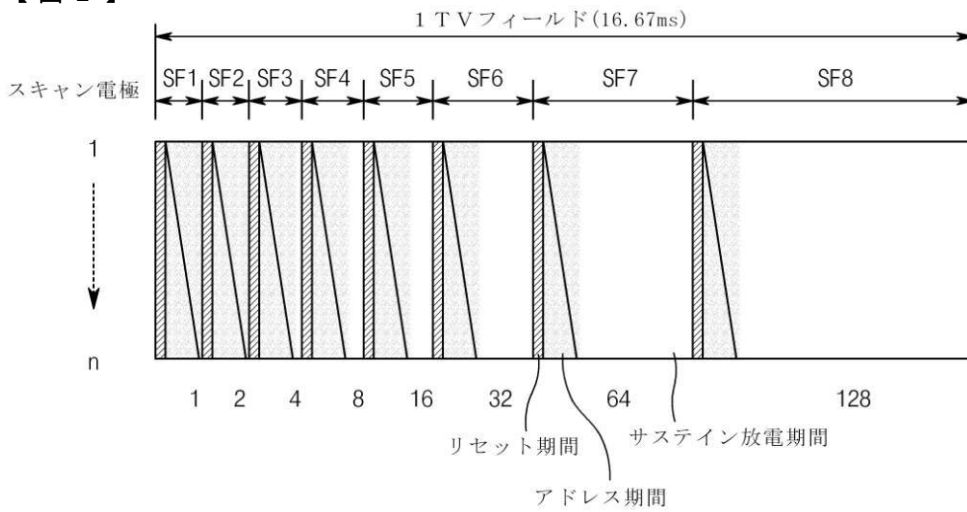
Z サステイン電極

40

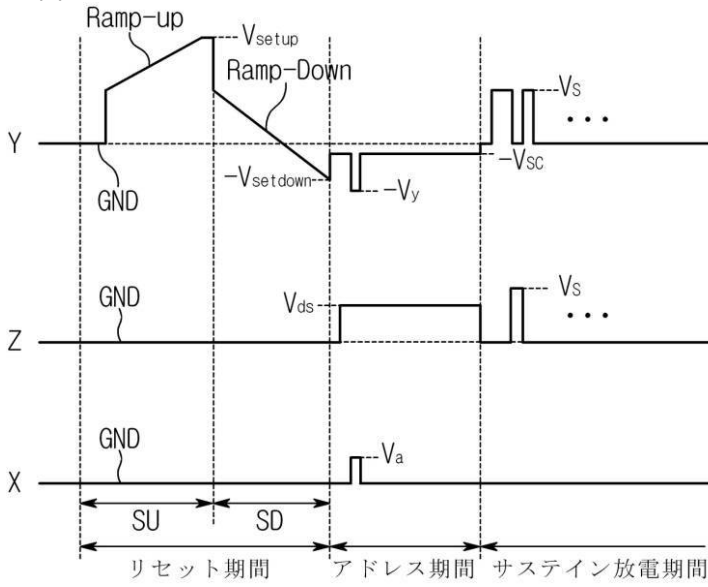
【図1】



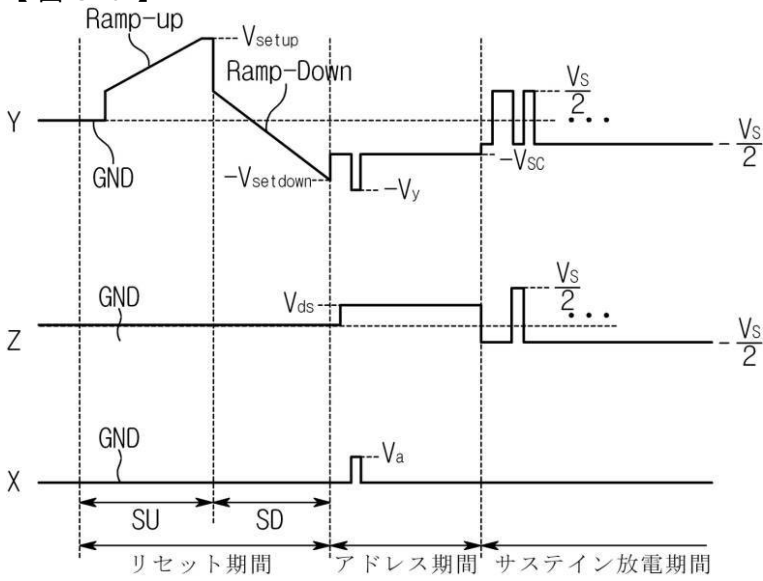
【図2】



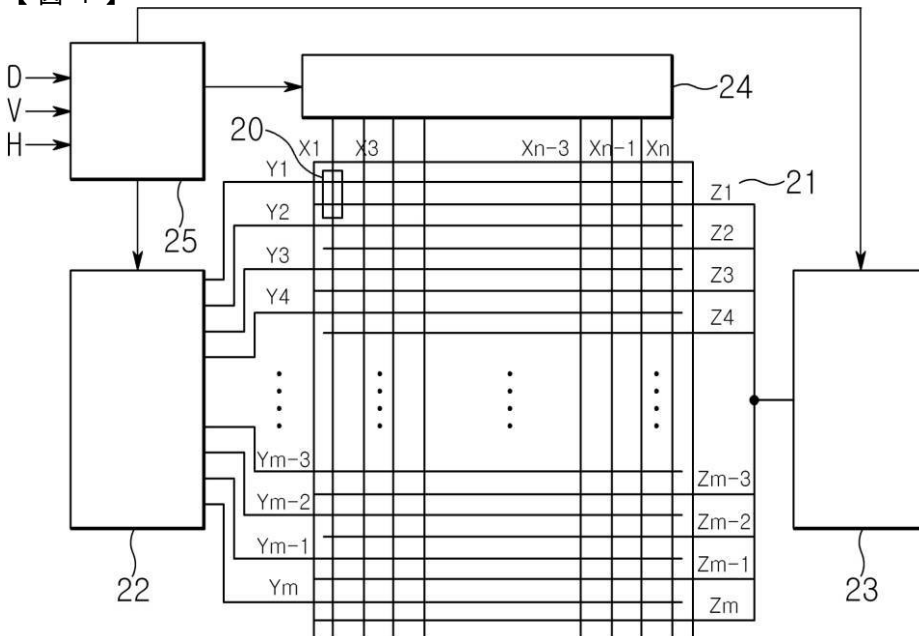
【図 3 a】



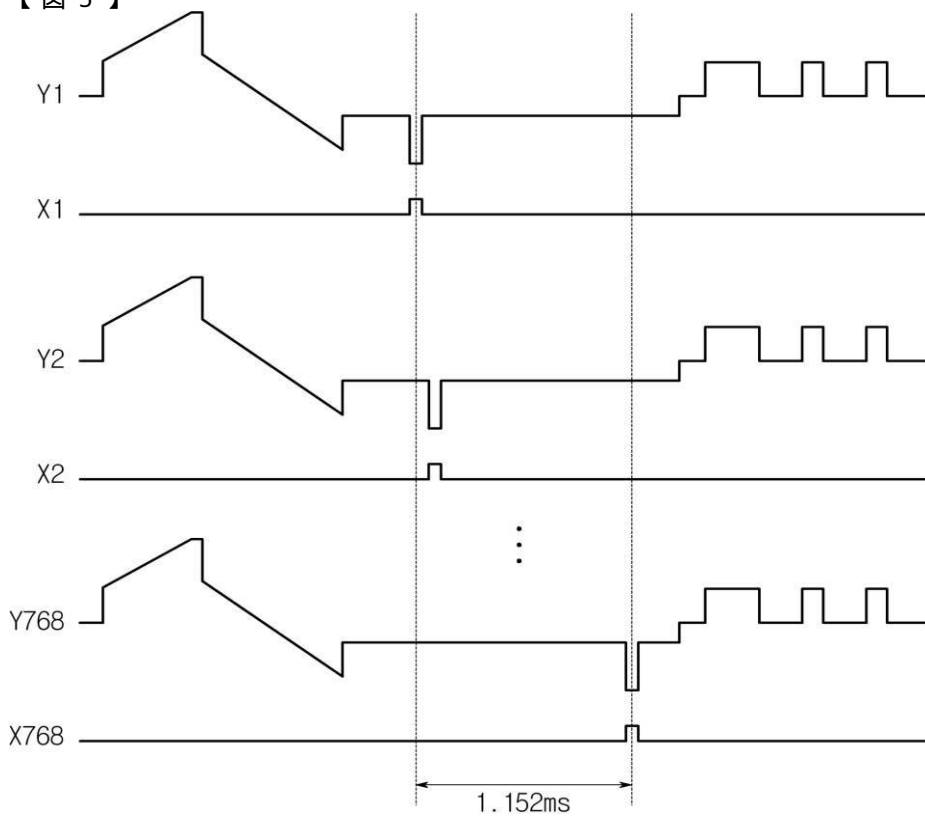
【図 3 b】



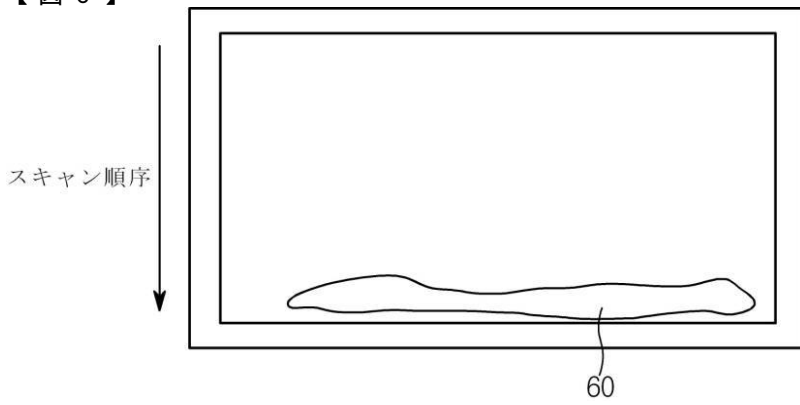
【図 4】



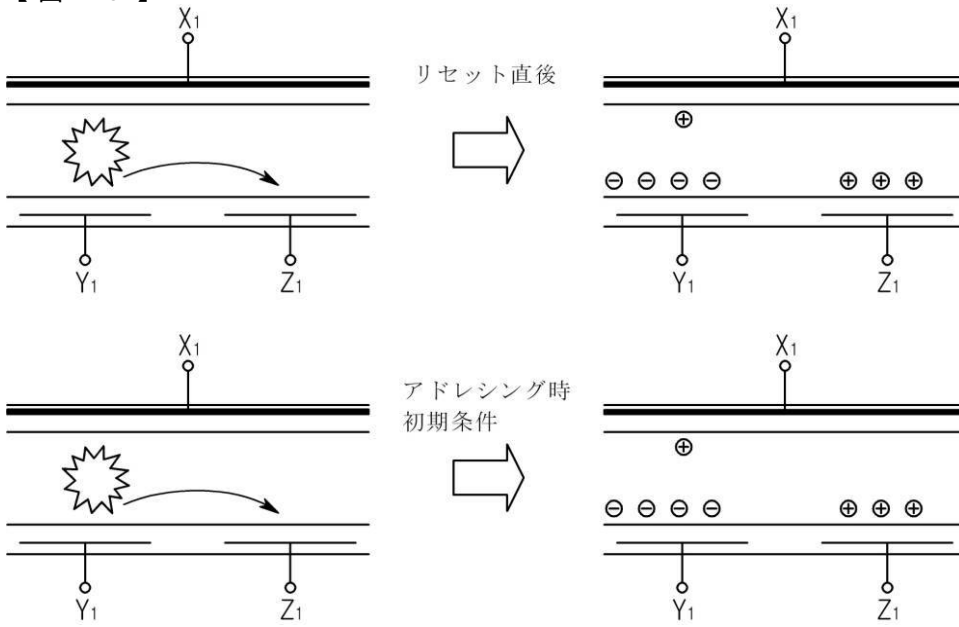
【 図 5 】



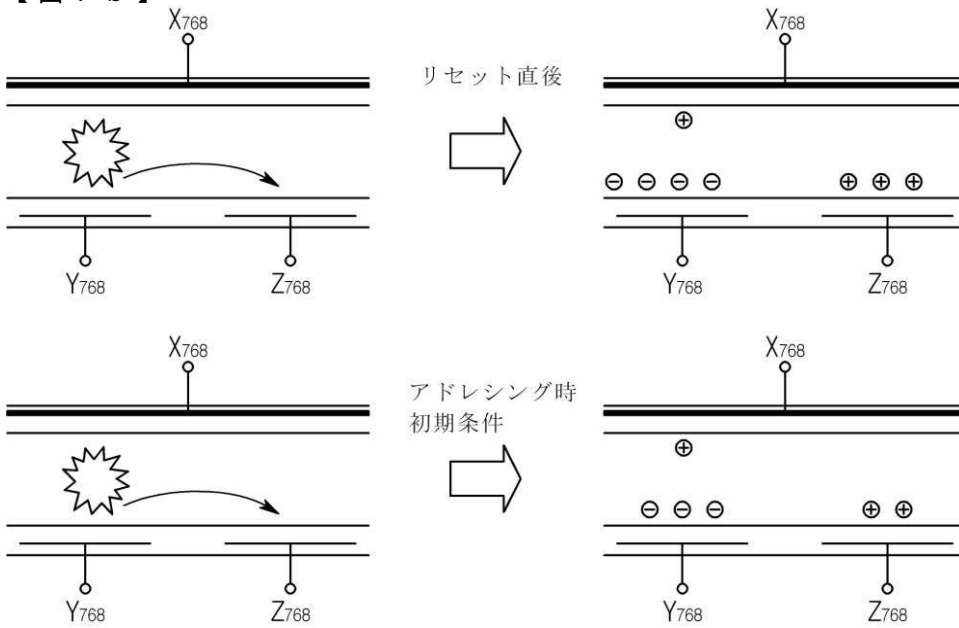
【 図 6 】



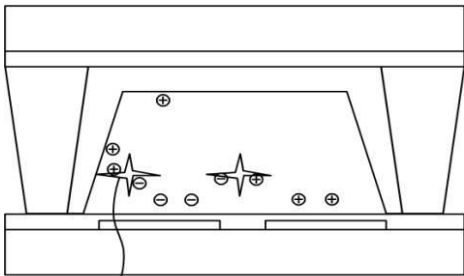
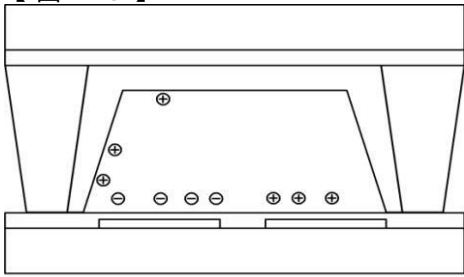
【図7a】



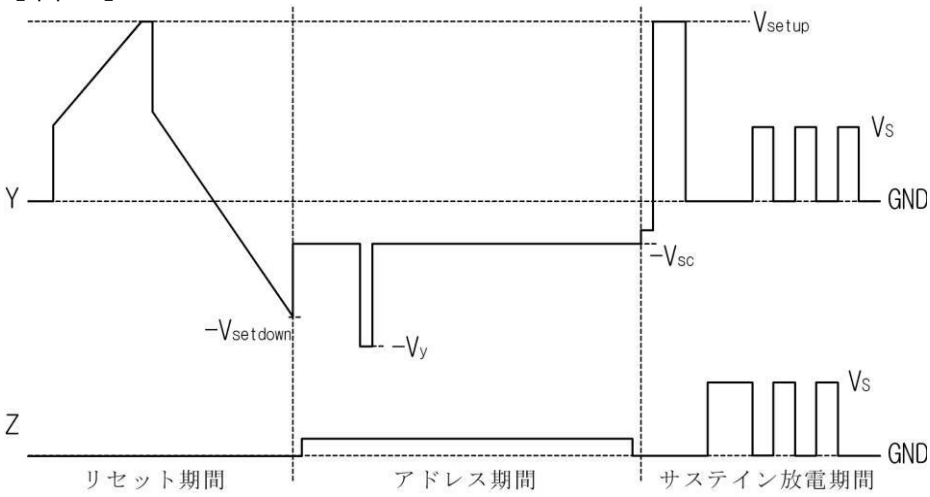
【図7b】



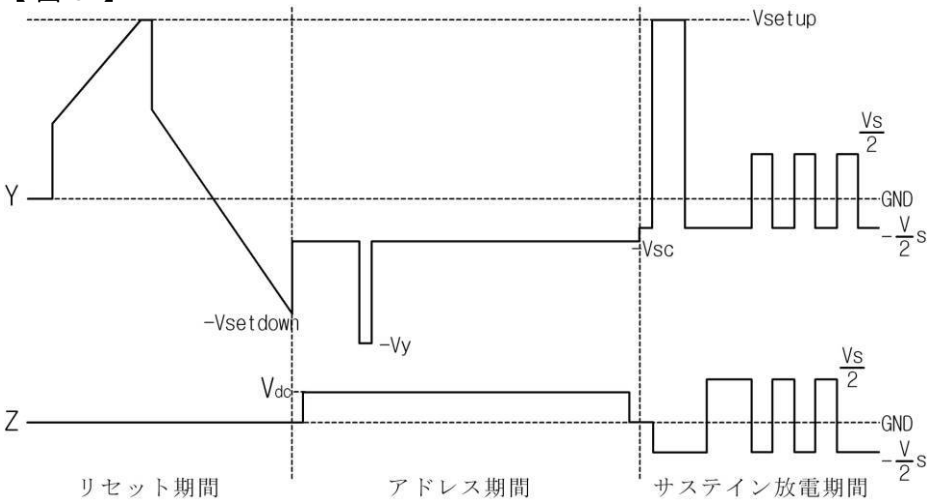
【図7c】



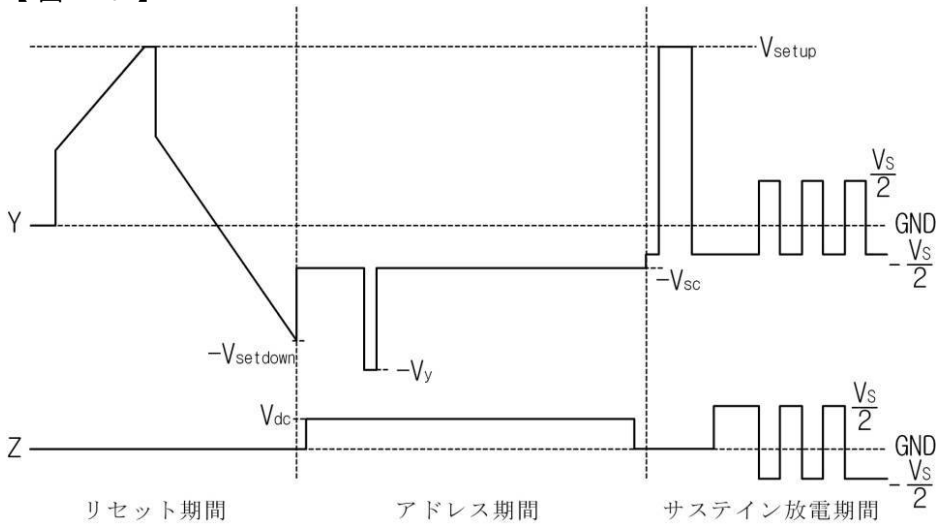
【図8】



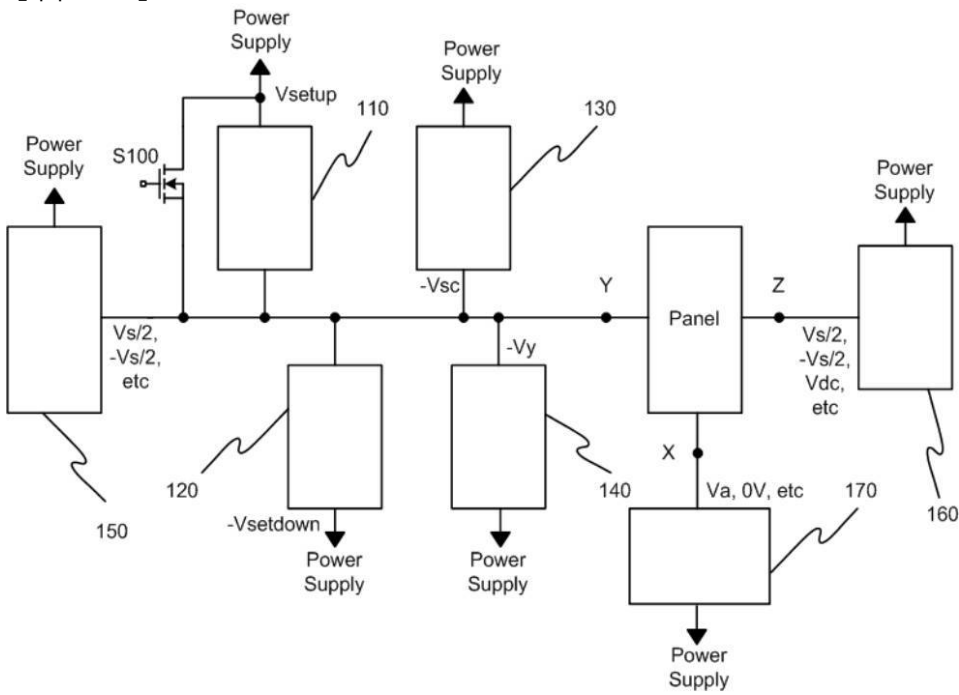
【図9】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 A