



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0083816
(43) 공개일자 2017년07월19일

(51) 국제특허분류(Int. Cl.)
H03L 7/107 (2006.01) H03L 7/081 (2006.01)
H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/1077 (2013.01)
H03L 7/0814 (2013.01)
(21) 출원번호 10-2016-0003157
(22) 출원일자 2016년01월11일
심사청구일자 없음

(71) 출원인
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
(72) 발명자
이자열
충청남도 논산시 양촌면 황산벌로1126번길 47-3
이민재
광주광역시 북구 첨단과기로 123, C동 1002호 (오룡동)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 18 항

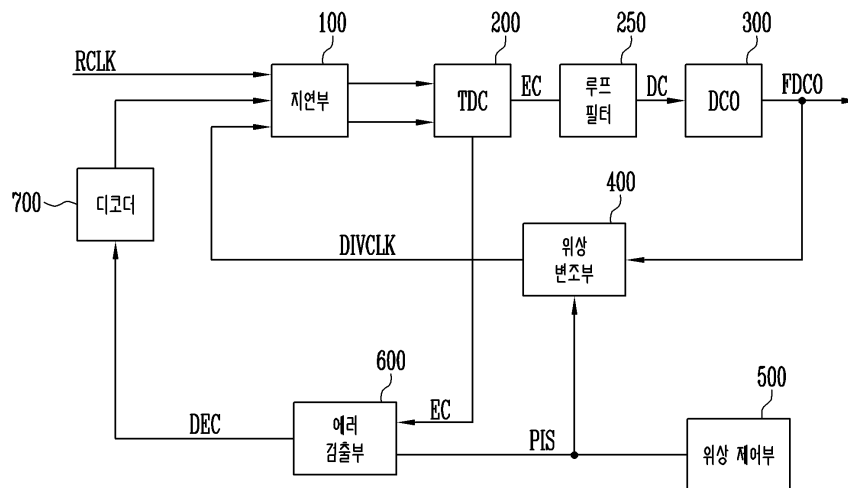
(54) 발명의 명칭 디지털 위상 고정 루프 및 그의 구동방법

(57) 요약

본 발명은 스퍼(spurious) 잡음을 최소화할 수 있도록 한 디지털 위상 고정 루프에 관한 것이다.

본 발명의 실시예에 의한 디지털 위상 고정 루프는 디지털 코드에 대응하여 출력 발진 신호를 생성하기 위한 디지털 제어 발진기와, 위상 제어부로부터의 위상 제어코드에 대응하여 상기 출력 발진 신호를 위상 보간하기 위한 위상 변조부와, 기준 클럭신호와 상기 위상 변조부로부터 출력되는 변조 클럭신호의 시간차를 이용하여 에러 코드를 생성하기 위한 시간 디지털 변환부와, 상기 위상 제어코드 및 상기 에러 코드에 대응하여 상기 위상 보간시 발생하는 위상 천이에러를 보상하기 위한 딜레이 코드를 생성하는 에러 검출부와, 상기 기준 클럭신호 및 상기 변조 클럭신호 중 적어도 하나를 지연하여 상기 시간 디지털 변환부로 공급하기 위한 지연부와, 상기 딜레이 코드에 대응하여 상기 지연부를 제어하기 위한 제 1디코더를 구비한다.

대표도 - 도3



(52) CPC특허분류

H03L 7/0991 (2013.01)

H03L 7/1075 (2013.01)

(72) 발명자

김천수

대전광역시 유성구 어은로 57, 132동 803호 (어은동, 한빛아파트)

허민욱

광주광역시 북구 문산로 65, 101동 1304호 (문흥동, 문흥동 공간아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026600

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 한국전자통신연구원연구개발지원

연구과제명 미래 사물지능통신 서비스를 위한 초고속 광역 와이파이 기술개발

기여율 1/1

주관기관 한국전자통신연구원

연구기간 2015.03.01 ~ 2016.02.29

명세서

청구범위

청구항 1

디지털 코드에 대응하여 출력 발진 신호를 생성하기 위한 디지털 제어 발진기와,

위상 제어부로부터의 위상 제어코드에 대응하여 상기 출력 발진 신호를 위상 보간하기 위한 위상 변조부와,

기준 클럭신호와 상기 위상 변조부로부터 출력되는 변조 클럭신호의 시간차를 이용하여 에러 코드를 생성하기 위한 시간 디지털 변환부와,

상기 위상 제어코드 및 상기 에러 코드에 대응하여 상기 위상 보간시 발생하는 위상 천이 에러를 보상하기 위한 딜레이 코드를 생성하는 에러 검출부와,

상기 기준 클럭신호 및 상기 변조 클럭신호 중 적어도 하나를 지연하여 상기 시간 디지털 변환부로 공급하기 위한 지연부와,

상기 딜레이 코드에 대응하여 상기 지연부를 제어하기 위한 제 1디코더를 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 2

제 1항에 있어서,

상기 위상 변조부는

상기 출력 발진 신호를 이용하여 0도의 위상을 가지는 제 1클럭신호(I), 90도의 위상을 가지는 제 2클럭신호(Q), 180도의 위상을 가지는 제 3클럭신호(IB) 및 270도의 위상을 가지는 제 4클럭신호(QB)를 생성하기 위한 제 1분주기와;

상기 제 1클럭신호(I) 내지 제 4클럭신호(QB)를 상기 위상 보간하여 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들을 생성하기 위한 위상 보간부를 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 3

제 2항에 있어서,

상기 위상 보간부는 상기 위상 제어코드에 대응하여 상기 제 1클럭신호(I), 상기 제 2클럭신호(Q), 상기 제 3클럭신호(IB), 상기 제 4클럭신호(QB), 상기 제 1보간 클럭신호들 중 어느 하나, 상기 제 2보간 클럭신호들 중 어느 하나, 상기 제 3보간 클럭신호들 중 어느 하나 또는 상기 제 4보간 클럭신호들 중 어느 하나를 상기 변조 클럭으로써 출력하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 4

제 2항에 있어서,

상기 위상 변조부는

상기 위상 보간부와 상기 지연부 사이에 위치되는 제 2분주기를 더 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 5

제 2항에 있어서,

상기 제 1분주기는 1/2 분주기인 것을 특징으로 하는 디지털 위상 고정 루프

청구항 6

제 2항에 있어서,

상기 제 1보간 클럭신호들은 상기 제 1클럭신호(I)와 상기 제 2클럭신호(Q)를 위상 보간하여 생성되고,

상기 제 2보간 클럭신호들은 상기 제 2클럭신호(Q)와 상기 제 3클럭신호(IB)를 위상 보간하여 생성되고,

상기 제 3보간 클럭신호들은 상기 제 3클럭신호(IB)와 상기 제 4클럭신호(QB)를 위상 보간하여 생성되고,

상기 제 4보간 클럭신호들은 상기 제 4클럭신호(QB)와 상기 제 1클럭신호(I)를 위상 보간하여 생성되는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 7

제 2항에 있어서,

상기 위상 보간부는

상기 위상 제어코드 중 제 1제어코드에 대응하여 상기 제 1클럭신호(I) 또는 제 3클럭신호(IB)를 출력하기 위한 제 2멀스와,

상기 위상 제어코드 중 제 2제어코드에 대응하여 상기 제 2클럭신호(Q) 또는 제 4클럭신호(QB)를 출력하기 위한 제 3멀스와,

상기 위상 제어코드 중 제 3제어코드에 의하여 선택되는 제 1인버터, 상기 위상 제어코드 중 제 4제어코드에 의하여 선택되는 제 2인버터를 각각 포함하는 복수의 위상 제어기들과,

상기 위상 제어기들의 출력단에 접속되는 증폭기를 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 8

제 7항에 있어서,

상기 제 3제어코드 및 제 4제어코드에 대응하여 하나의 위상 제어기에 포함된 제 1인버터 및 제 2인버터 중 어느 하나가 상기 제 2멀스 또는 제 3멀스로부터 출력되는 신호를 공급받는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 9

제 2항에 있어서,

상기 에러 검출부는 상기 제 1보간 클럭신호들에 대응하는 0도 내지 90도의 위상에 대응하여 상기 딜레이 코드를 생성하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 10

제 9항에 있어서,

상기 에러 검출부는

상기 제 1보간 클럭신호들의 위상 천이 에러값들을 누적하기 위한 코드 생성기들과,

상기 제 1보간 클럭신호들의 위상에 대응하여 상기 위상 제어코드를 변경하기 위한 제 2디코더와,

상기 변경된 위상 제어코드에 대응하여 상기 코드 생성기들 중 특정 코드 생성기를 선택하기 위한 엔코더와,

상기 변경된 위상 제어코드에 대응하여 상기 특정 코드 생성기에 누적된 위상 천이 에러값에 대응하는 상기 딜레이 코드를 출력하기 위한 제 1멀스와,

상기 에러 코드에 상수값을 곱하기 위한 곱셈기와,

상기 특정 코드 생성기로부터의 상기 딜레이 코드에 상기 상수값을 가산하여 상기 특정 코드 생성기로 공급하기 위한 가산기를 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 11

제 10항에 있어서,

상기 에러 코드는 양수(+1) 또는 음수(-1)로 설정되는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 12

제 1항에 있어서,

상기 지연부는

상기 기준 클럭신호를 지연하기 위한 제 1지연부와,

상기 변조 클럭신호를 지연하기 위한 제 2지연부를 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 13

제 1항에 있어서,

상기 제 1디코더는

상기 딜레이 코드에 대응하여 상기 기준 클럭신호의 상승 에지와 상기 변조 클럭신호의 상승 에지가 일치되도록 상기 지연부를 제어하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 14

제 1항에 있어서,

상기 시간 디지털 변환부는

상기 기준 클럭신호가 상기 변조 클럭신호보다 빠른 위상을 갖는 경우 음수의 에러 코드를 출력하고, 상기 변조 클럭신호가 상기 기준 클럭신호보다 빠른 위상을 갖는 경우 양수의 에러 코드를 출력하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 15

제 1항에 있어서,

상기 에러 코드를 누적하고, 상기 누적된 에러 코드에 대응하여 상기 디지털 코드를 생성하기 위한 루프 필터를 더 구비하는 것을 특징으로 하는 디지털 위상 고정 루프.

청구항 16

디지털 코드에 대응하여 출력 발진 신호를 생성하는 단계와;

상기 출력 발진 신호를 1/2분주하여 제 1클럭신호(I), 제 2클럭신호(Q), 제 3클럭신호(IB) 및 제 4클럭신호(QB)를 생성하는 단계와;

상기 제 1클럭신호(I), 상기 제 2클럭신호(Q), 상기 제 3클럭신호(IB) 및 상기 제 4클럭신호(QB) 사이의 위상을 보간하여 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들을 생성하는 단계와;

상기 제 1클럭신호(I), 상기 제 2클럭신호(Q), 상기 제 3클럭신호(IB), 상기 제 4클럭신호(QB), 상기 제 1보간 클럭신호들 중 어느 하나, 상기 제 2보간 클럭신호들 중 어느 하나, 상기 제 3보간 클럭신호들 중 어느 하나 및 상기 제 4보간 클럭신호들 중 어느 하나를 변조 클럭신호로 출력하는 단계와;

상기 제 1보간 클럭신호들의 위상에 대응하여 위상 천이 에러를 보상할 수 있는 딜레이 코드를 생성하는 단계와;

상기 딜레이 코드에 대응하여 기준 클럭신호 및 상기 변조 클럭신호 중 어느 하나를 지연하는 단계를 포함하는 것을 특징으로 하는 디지털 위상 고정 루프의 구동방법.

청구항 17

제 16항에 있어서,
 상기 제 1보간 클럭신호들은 상기 제 1클럭신호(I)와 상기 제 2클럭신호(Q)를 위상 보간하여 생성되고,
 상기 제 2보간 클럭신호들은 상기 제 2클럭신호(Q)와 상기 제 3클럭신호(IB)를 위상 보간하여 생성되고,
 상기 제 3보간 클럭신호들은 상기 제 3클럭신호(IB)와 상기 제 4클럭신호(QB)를 위상 보간하여 생성되고,
 상기 제 4보간 클럭신호들은 상기 제 4클럭신호(QB)와 상기 제 1클럭신호(I)를 위상 보간하여 생성되는 것을 특징으로 하는 디지털 위상 고정 루프의 구동방법.

청구항 18

제 16항에 있어서,
 상기 디지털 코드에 대응하여 상기 제 1보간 클럭신호들, 상기 제 2보간 클럭신호들, 상기 제 3보간 클럭신호들 및 상기 제 4보간 클럭신호들의 위상 천이 에러가 보상되는 것을 특징으로 하는 디지털 위상 고정 루프의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 디지털 위상 고정 루프 및 그의 구동방법에 관한 것으로, 특히 스퍼(spurious) 잡음을 최소화할 수 있도록 한 디지털 위상 고정 루프 및 그의 구동방법에 관한 것이다.

배경 기술

[0002] 멀티밴드 이동통신용 RF 주파수 합성기를 구현하기 위하여 전하 펌프(Charge pump) 위상 고정 루프(Phase locked loop : 이하 "PLL"이라 함)가 주로 사용되고 있다. 이와 같은 전하 펌프 위상 고정 루프는 아날로그 회로로 구현된다.

[0003] 전하 펌프 위상 고정 루프가 아날로그 회로로 구현되면, 아날로그 회로의 신호특성에 의하여 표준 디지털 CMOS 공정에서 제공하는 설계 라이브러리 외에 별도의 아날로그/RF 라이브러리가 요구된다. 따라서, 아날로그 회로로 구현된 전하 펌프 위상 고정 루프는 디지털 CMOS 공정을 사용하는 디지털 베이스 밴드 신호처리 블럭과 집적화되기 어렵다.

[0004] 또한, 최근 공정기술의 발달로 나노 미터급 디지털 CMOS 공정이 개발되었고, 이에 따라 디지털 베이스 밴드 신호처리 블럭이 나노급 디지털 CMOS 공정을 이용하여 개발되고 있다.

[0005] 한편, 디지털 회로는 거의 재설계를 하지 않고 공정기술에 쉽게 적응해서 구현될 수 있다. 하지만, 아날로그 회로는 공정기술이 바뀔 때마다 재설계를 해야한다. 또한, CMOS 공정기술이 나노급으로 발전함에 따라서 동작전압이 작아지기 때문에 아날로그 회로 적용에 어려움이 있다.

[0006] 따라서, 아날로그 PLL을 디지털 PLL로 구현하려는 연구개발이 활발히 이루어지고 있다. 하지만, 디지털 PLL은 스퍼 잡음을 포함하고, 이 스퍼 잡음에 의하여 통화품질이 저하된다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명은 보간된 위상의 에러를 보상함으로써 스퍼 잡음을 최소화할 수 있도록 한 디지털 위상 고정 루프 및 그의 구동방법을 제공하는 것이다.

[0008] 또한, 본 발명은 일부 위상의 에러 정보를 이용하여 전체 위상의 위상 천이 에러를 보정할 수 있도록 한 디지털 위상 고정 루프 및 그의 구동방법을 제공하는 것이다.

과제의 해결 수단

- [0009] 본 발명의 실시예에 의한 디지털 위상 고정 루프는 디지털 코드에 대응하여 출력 발진 신호를 생성하기 위한 디지털 제어 발진기와, 위상 제어부로부터의 위상 제어코드에 대응하여 상기 출력 발진 신호를 위상 보간하기 위한 위상 변조부와, 기준 클럭신호와 상기 위상 변조부로부터 출력되는 변조 클럭신호의 시간차를 이용하여 에러 코드를 생성하기 위한 시간 디지털 변환부와, 상기 위상 제어코드 및 상기 에러 코드에 대응하여 상기 위상 보간시 발생하는 위상 천이 에러를 보상하기 위한 딜레이 코드를 생성하는 에러 검출부와, 상기 기준 클럭신호 및 상기 변조 클럭신호 중 적어도 하나를 지연하여 상기 시간 디지털 변환부로 공급하기 위한 지연부와, 상기 딜레이 코드에 대응하여 상기 지연부를 제어하기 위한 제 1디코더를 구비한다.
- [0010] 실시 예에 의한, 상기 위상 변조부는 상기 출력 발진 신호를 이용하여 0도의 위상을 가지는 제 1클럭신호(I), 90도의 위상을 가지는 제 2클럭신호(Q), 180도의 위상을 가지는 제 3클럭신호(IB) 및 270도의 위상을 가지는 제 4클럭신호(QB)를 생성하기 위한 제 1분주기와; 상기 제 1클럭신호(I) 내지 제 4클럭신호(QB)를 상기 위상 보간하여 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들을 생성하기 위한 위상 보간부를 구비한다.
- [0011] 실시 예에 의한, 상기 위상 보간부는 상기 위상 제어코드에 대응하여 상기 제 1클럭신호(I), 상기 제 2클럭신호(Q), 상기 제 3클럭신호(IB), 상기 제 4클럭신호(QB), 상기 제 1보간 클럭신호들 중 어느 하나, 상기 제 2보간 클럭신호들 중 어느 하나, 상기 제 3보간 클럭신호들 중 어느 하나 또는 상기 제 4보간 클럭신호들 중 어느 하나를 상기 변조 클럭으로써 출력한다.
- [0012] 실시 예에 의한, 상기 위상 변조부는 상기 위상 보간부와 상기 지연부 사이에 위치되는 제 2분주기를 더 구비한다.
- [0013] 실시 예에 의한, 상기 제 1분주기는 1/2 분주기이다.
- [0014] 실시 예에 의한, 상기 제 1보간 클럭신호들은 상기 제 1클럭신호(I)와 상기 제 2클럭신호(Q)를 위상 보간하여 생성되고, 상기 제 2보간 클럭신호들은 상기 제 2클럭신호(Q)와 상기 제 3클럭신호(IB)를 위상 보간하여 생성되고, 상기 제 3보간 클럭신호들은 상기 제 3클럭신호(IB)와 상기 제 4클럭신호(QB)를 위상 보간하여 생성되고, 상기 제 4보간 클럭신호들은 상기 제 4클럭신호(QB)와 상기 제 1클럭신호(I)를 위상 보간하여 생성된다.
- [0015] 실시 예에 의한, 상기 위상 보간부는 상기 위상 제어코드 중 제 1제어코드에 대응하여 상기 제 1클럭신호(I) 또는 제 3클럭신호(IB)를 출력하기 위한 제 2멀스와, 상기 위상 제어코드 중 제 2제어코드에 대응하여 상기 제 2클럭신호(Q) 또는 제 4클럭신호(QB)를 출력하기 위한 제 3멀스와, 상기 위상 제어코드 중 제 3제어코드에 의하여 선택되는 제 1인버터, 상기 위상 제어코드 중 제 4제어코드에 의하여 선택되는 제 2인버터를 각각 포함하는 복수의 위상 제어기들과, 상기 위상 제어기들의 출력단에 접속되는 증폭기를 구비한다.
- [0016] 실시 예에 의한, 상기 제 3제어코드 및 제 4제어코드에 대응하여 하나의 위상 제어기에 포함된 제 1인버터 및 제 2인버터 중 어느 하나가 상기 제 2멀스 또는 제 3멀스로부터 출력되는 신호를 공급받는다.
- [0017] 실시 예에 의한, 상기 에러 검출부는 상기 제 1보간 클럭신호들에 대응하는 0도 내지 90도의 위상에 대응하여 상기 딜레이 코드를 생성한다.
- [0018] 실시 예에 의한, 상기 에러 검출부는 상기 제 1보간 클럭신호들의 위상 천이 에러값들을 누적하기 위한 코드 생성기들과, 상기 제 1보간 클럭신호들의 위상에 대응하여 상기 위상 제어코드를 변경하기 위한 제 2디코더와, 상기 변경된 위상 제어코드에 대응하여 상기 코드 생성기들 중 특정 코드 생성기를 선택하기 위한 엔코더와, 상기 변경된 위상 제어코드에 대응하여 상기 특정 코드 생성기에 누적된 위상 천이 에러값에 대응하는 상기 딜레이 코드를 출력하기 위한 제 1멀스와, 상기 에러 코드에 상수값을 곱하기 위한 곱셈기와, 상기 특정 코드 생성기로부터의 상기 딜레이 코드에 상기 상수값을 가산하여 상기 특정 코드 생성기로 공급하기 위한 가산기를 구비한다.
- [0019] 실시 예에 의한, 상기 에러 코드는 양수(+1) 또는 음수(-1)로 설정된다.
- [0020] 실시 예에 의한, 상기 지연부는 상기 기준 클럭신호를 지연하기 위한 제 1지연부와, 상기 변조 클럭신호를 지연하기 위한 제 2지연부를 구비한다.
- [0021] 실시 예에 의한, 상기 제 1디코더는 상기 딜레이 코드에 대응하여 상기 기준 클럭신호의 상승 에지와 상기 변조 클럭신호의 상승 에지가 일치되도록 상기 지연부를 제어한다.
- [0022] 실시 예에 의한, 상기 시간 디지털 변환부는 상기 기준 클럭신호가 상기 변조 클럭신호보다 빠른 위상을 갖는

경우 음수의 에러 코드를 출력하고, 상기 변조 클럭신호가 상기 기준 클럭신호보다 빠른 위상을 갖는 경우 양수의 에러 코드를 출력한다.

[0023] 실시 예에 의한, 상기 에러 코드를 누적하고, 상기 누적된 에러 코드에 대응하여 상기 디지털 코드를 생성하기 위한 루프 필터를 더 구비한다.

[0024] 본 발명의 실시예에 의한 디지털 위상 고정 루프의 구동방법은 디지털 코드에 대응하여 출력 발진 신호를 생성하는 단계와; 상기 출력 발진 신호를 1/2분주하여 제 1클럭신호(I), 제 2클럭신호(Q), 제 3클럭신호(IB) 및 제 4클럭신호(QB)를 생성하는 단계와; 상기 제 1클럭신호(I), 상기 제 2클럭신호(Q), 상기 제 3클럭신호(IB) 및 상기 제 4클럭신호(QB) 사이의 위상을 보간하여 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들을 생성하는 단계와; 상기 제 1클럭신호(I), 상기 제 2클럭신호(Q), 상기 제 3클럭신호(IB), 상기 제 4클럭신호(QB), 상기 제 1보간 클럭신호들 중 어느 하나, 상기 제 2보간 클럭신호들 중 어느 하나, 상기 제 3보간 클럭신호들 중 어느 하나 및 상기 제 4보간 클럭신호들 중 어느 하나를 변조 클럭신호로 출력하는 단계와; 상기 제 1보간 클럭신호들의 위상에 대응하여 위상 천이 에러를 보상할 수 있는 딜레이 코드를 생성하는 단계와; 상기 딜레이 코드에 대응하여 기준 클럭신호 및 상기 변조 클럭신호 중 어느 하나를 지연하는 단계를 포함한다.

[0025] 실시 예에 의한, 상기 제 1보간 클럭신호들은 상기 제 1클럭신호(I)와 상기 제 2클럭신호(Q)를 위상 보간하여 생성되고, 상기 제 2보간 클럭신호들은 상기 제 2클럭신호(Q)와 상기 제 3클럭신호(IB)를 위상 보간하여 생성되고, 상기 제 3보간 클럭신호들은 상기 제 3클럭신호(IB)와 상기 제 4클럭신호(QB)를 위상 보간하여 생성되고, 상기 제 4보간 클럭신호들은 상기 제 4클럭신호(QB)와 상기 제 1클럭신호(I)를 위상 보간하여 생성된다.

[0026] 실시 예에 의한, 상기 디지털 코드에 대응하여 상기 제 1보간 클럭신호들, 상기 제 2보간 클럭신호들, 상기 제 3보간 클럭신호들 및 상기 제 4보간 클럭신호들의 위상 천이 에러가 보상된다.

발명의 효과

[0027] 본 발명의 실시예에 의한 디지털 위상 고정 루프 및 그의 구동방법에 의하면 에러 코드를 누적하면서 일부 위상에 대한 에러 정보를 누적하고, 누적된 에러 정보에 대응하여 기준 클럭신호 및/또는 변조 클럭신호의 지연을 제어한다. 이 경우, 보간된 위상이 원하는 위상으로 설정되고, 이에 따라 스퍼 잡음을 최소화할 수 있다.

[0028] 또한, 본 발명에서는 일부 위상에 대한 에러 정보를 이용하여 전체 위상의 에러를 보정할 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 실시예에 의한 디지털 위상 고정 루프의 위상 보간(phase interpolation) 원리를 나타내는 도면이다.

도 2a 및 도 2b는 위상 보간에 의한 스퍼 잡음을 나타내는 도면이다.

도 3은 본 발명의 실시예에 의한 디지털 위상 고정 루프를 나타내는 도면이다.

도 4는 도 3에 도시된 위상 변조부의 실시예를 나타내는 도면이다.

도 5는 도 4에 도시된 제 1분주기에서 생성되는 클럭신호들을 나타내는 도면이다.

도 6은 도 4에 도시된 위상 보간부를 나타내는 도면이다.

도 7은 본 발명의 실시예에 의한 에러 검출부를 나타내는 도면이다.

도 8a 및 도 8b는 에러코드의 생성원리를 나타내는 도면이다.

도 9a 내지 도 9c는 딜레이 코드에 대응하여 위상 천이 에러가 보상되는 과정을 나타내는 도면이다.

도 10은 도 3에 도시된 지연부의 실시예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하 첨부한 도면을 참고하여 본 발명의 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 기재한다. 다만, 본 발명은 청구범위에 기재된 범위 안에서 여러 가지 상이한 형태로 구현될 수 있으므로 하기에 설명하는 실시예는 표현 여부에 불구하고 예시적인 것에 불과하다.

- [0031] 즉, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다.
- [0033] 도 1은 본 발명의 실시예에 의한 디지털 위상 고정 루프의 위상 보간(phase interpolation) 원리를 나타내는 도면이다.
- [0034] 도 1을 참조하면, 본 발명의 실시예에 의한 디지털 PLL은 0도의 위상을 가지는 제 1클럭신호(I), 90도의 위상을 가지는 제 2클럭신호(Q)를 이용하여 0도와 90도 사이의 위상을 가지는 복수의 클럭신호들을 생성할 수 있다.
- [0035] 일례로, 디지털 PLL은 0도와 90도 사이를 11.25도씩 구분하여 복수의 하부 위상으로 나눌 수 있다. 다시 말하여, 디지털 PLL은 위상 보간을 이용하여 0도와 90도 사이에서 서로 다른 위상을 갖는 7개의 클럭신호들을 생성할 수 있다.
- [0036] 하지만, 위상 보간을 이용하여 클럭신호들을 생성하는 경우, 위상 천이 에러가 발생된다. 일례로, 도 1에 도시된 바와 같이 이상적인 위상(원하는 위상)과 일부 위상차를 갖도록 클럭신호들이 생성된다.
- [0038] 도 2a 및 도 2b는 위상 보간에 의한 스퍼 잡음을 나타내는 도면이다.
- [0039] 도 2a는 보간된 클럭신호들이 에러를 보정하기 전 원하는 위상을 갖지 않는 경우를 나타내며, 도 2b는 보간된 클럭신호들이 에러를 보정하고 난 후 원하는 위상을 갖는 경우를 나타낸다.
- [0040] 먼저, 보간된 클럭신호들이 원하는 위상으로 설정되지 않는 경우, 도 2a와 같이 위상 천이 에러에 의하여 많은 스퍼 잡음이 나타난다. 이와 같은 스퍼 잡음은 디지털 PLL이 이동통신용으로 사용되는 경우 통화품질을 저하시킨다.
- [0041] 반면에, 보간된 클럭신호들이 원하는 위상으로 설정되는 경우, 도 2b와 같이 스퍼 잡음이 최소화된다. 따라서, 본 발명에서는 디지털 PLL을 이용하여 위상을 보간할 때 스퍼 잡음이 최소화되도록 보간된 클럭신호들이 원하는 위상을 갖도록 제어한다. 이와 관련하여, 구체적 설명은 후술하기로 한다.
- [0043] 도 3은 본 발명의 실시예에 의한 디지털 위상 고정 루프를 나타내는 도면이다.
- [0044] 도 3을 참조하면, 본 발명의 실시예에 의한 디지털 PLL은 지연부(100), 시간 디지털 변환부(Time to Digital Convertor, 이하 "TDC"라 하기로 함)(200), 루프 필터(250), 디지털 제어 발진기(Digital Controlled Oscillator, 이하 "DCO"라 하기로 함)(300), 위상 변조부(400), 위상 제어부(500), 에러 검출부(600) 및 디코더(700)를 구비한다.
- [0045] DCO(300)는 루프 필터(250)로부터의 디지털 코드(DC)에 대응하여 출력 발진 신호(FDCO)의 주파수 및 위상을 가변한다. 여기서, 출력 발진 신호(FDCO)의 주파수 및 위상은 디지털 PLL이 설치된 시스템의 특성 및 규격에 대응하여 달라질 수 있다.
- [0046] 위상 변조부(400)는 위상 제어코드(PIS)에 대응하여 출력 발진 신호(FDCO)의 위상을 제어한다. 일례로, 위상 변조부(400)는 위상 보간을 이용하여 출력 발진 신호(FDCO)와 서로 다른 위상을 가지는 복수의 클럭신호들을 생성할 수 있다.
- [0047] 상세히 설명하면, 위상 변조부(400)는 출력 발진 신호(FDCO)를 이용하여 0도 위상을 가지는 제 1클럭신호(I), 90도 위상을 가지는 제 2클럭신호(Q), 180도 위상을 가지는 제 3클럭신호(IB) 및 270도 위상을 가지는 제 4클럭신호(QB)를 생성한다. 그리고, 위상 변조부(400)는 위상 보간을 이용하여 제 1클럭신호(I) 및 제 2클럭신호(Q) 사이에서 서로 다른 위상을 가지는 복수의 제 1보간 클럭신호들, 제 2클럭신호(Q) 및 제 3클럭신호(IB) 사이에서 서로 다른 위상을 가지는 복수의 제 2보간 클럭신호들, 제 3클럭신호(IB) 및 제 4클럭신호(QB) 사이에서 서로 다른 위상을 가지는 복수의 제 3보간 클럭신호들, 제 4클럭신호(QB) 및 제 1클럭신호(I) 사이에서 서로 다른 위상을 가지는 복수의 제 4보간 클럭신호들을 생성할 수 있다.

- [0048] 이후, 위상 변조부(400)는 위상 제어코드(PIS)에 대응하여 제 1클럭신호(I), 제 2클럭신호(Q), 제 3클럭신호(IB), 제 4클럭신호(QB), 제 1보간 클럭신호들 중 어느 하나, 제 2보간 클럭신호들 중 어느 하나, 제 3보간 클럭신호들 중 어느 하나 또는 제 4보간 클럭신호들 중 어느 하나의 클럭신호를 제 2분주기를 통과시킨 후 변조 클럭신호(DIVCLK)로서 지연부(100)로 공급한다.
- [0049] 지연부(100)는 외부로부터 기준 클럭신호(RCLK)를 공급받고, 위상 변조부(400)로부터 변조 클럭신호(DIVCLK)를 공급받는다. 이와 같은 지연부(100)는 디코더(700)의 제어에 대응하여 기준 클럭신호(RCLK) 및/또는 변조 클럭신호(DIVCLK)를 지연하여 TDC(200)로 공급한다.
- [0050] TDC(200)는 기준 클럭신호(RCLK)와 변조 클럭신호(DIVCLK)의 시간차를 검출한다. 일례로, TDC(200)는 기준 클럭신호(RCLK)의 상승에지와 변조 클럭신호(DIVCLK)의 상승에지 간의 시간차를 검출하고, 검출된 시간차 정보를 에러 코드(EC)로 출력한다. 이를 위하여, TDC(200)는 현재 공지된 다양한 형태의 회로로 구현 가능하며, 일례로 Bang-Bang phase detector(이하 "BBPD"라 하기로 함)로 구현될 수 있다. 또한, TDC(200)를 사용하지 않는 디지털 위상 고정 루프 모델에서도 간단한 TDC 또는 D 플립플롭(D Flip-flop)을 추가하여 에러코드(EC)를 에러 검출부(600)에 공급할 수 있다. 일례로 TDC(200) 대신 위상 주파수 검출기(Phase Frequency Detector)로 구현된 디지털 위상 고정 루프의 경우, 위상 주파수 검출기와 병렬적으로 TDC 또는 BBPD를 추가하여 에러 검출부(600)에 에러 코드(EC)를 공급할 수 있다.
- [0051] 루프 필터(250)는 에러 코드(EC)를 누적하고, 누적된 에러 코드(EC)에 대응하여 디지털 코드(DC)를 제어한다. 또한, 루프 필터(250)에는 도시되지 않는 게인 제어부 등이 포함되며, 게인에 대응하여 디지털 코드(DC)를 미세하게 제어할 수 있다. 이와 같은 루프 필터(250)는 디지털 코드(DC)를 생성하기 위한 것으로, 현재 공지된 다양한 형태의 회로로 구현될 수 있다.
- [0052] 위상 제어부(500)는 위상 제어코드(PIS)를 위상 변조부(400) 및 에러 검출부(600)로 공급한다. 이와 같은 위상 제어부(500)는 특정 위상을 갖는 변조 클럭신호(DIVCLK)가 출력되도록 위상 제어코드(PIS)를 설정할 수 있다.
- [0053] 에러 검출부(600)는 위상 제어코드(PIS) 및 에러 코드(EC)를 이용하여 딜레이 코드(DEC)를 생성한다. 일례로, 에러 검출부(600)는 위상 천이 에러가 보상되도록 딜레이 코드(DEC)를 생성할 수 있다. 여기서, 에러 검출부(600)는 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들에 대응하여 에러 정보들을 축적하고 이를 이용하여 딜레이 코드(DEC)를 생성한다.
- [0054] 일례로, 에러 검출부(600)는 축적된 에러 코드(EC)에 대응하여 제 1보간 클럭신호들에 대응하는 딜레이 코드(DEC)를 생성할 수 있다. 그러면, 딜레이 코드(DEC)에 대응하여 기준 클럭신호(RCLK) 또는 변조 클럭신호(DIVCLK)가 지연되고, 이에 따라 제 1보간 클럭신호들의 위상 천이 에러가 보상될 수 있다.
- [0055] 추가적으로, 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들은 0도 및 90도의 축을 기준으로 대칭적 관계로 설정된다. 따라서, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들의 딜레이 코드(DEC)는 제 1보간 클럭신호의 딜레이 코드와 동일하게 설정된다. 따라서, 에러 검출부(600)에서 같은 4개의 에러 정보들을 하나의 레지스터에 저장할 수 있으므로 에러코드를 축적 및 저장할 레지스터 개수를 1/4로 줄일 수 있다.
- [0056] 디코더(700)(또는 제 1디코더)는 에러 검출부(600)로부터 딜레이 코드(DEC)를 공급받는다. 에러 코드를 축적한 에러 검출부(600)는 변조 클럭신호(DIVCLK)의 위상 천이 에러가 보상될 수 있도록 딜레이 코드(DEC)를 디코더(700)에 공급하여 지연부(100)를 제어한다. 다시 말하여, 디코더(700)는 딜레이 코드(DEC)를 이용하여 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들의 위상 천이 에러가 보상될 수 있도록 지연부(100)를 제어한다.
- [0058] 도 4는 도 3에 도시된 위상 변조부의 실시예를 나타내는 도면이다.
- [0059] 도 4를 참조하면, 본 발명의 실시예에 의한 위상 변조부는 제 1분주기(402), 위상 보간부(404) 및 제 2분주기(406)를 구비한다.
- [0060] 제 1분주기(402)(Divider)는 출력 발진 신호(FDCO)를 1/n(n은 자연수) 분주한다. 일례로, 제 1분주기(402)는 도 5에 도시된 바와 같이 출력 발진 신호(FDCO)를 1/2분주하여 0도 위상을 가지는 제 1클럭신호(I), 90도 위상을 가지는 제 2클럭신호(Q), 180도 위상을 가지는 제 3클럭신호(IB) 및 270도 위상을 가지는 제 4클럭신호(QB)

를 생성할 수 있다.

- [0061] 위상 보간부(phase interpolator)(404)는 제 1클럭신호(I), 제 2클럭신호(Q), 제 3클럭신호(IB) 및 제 4클럭신호(QB)를 이용하여 제 1보간 클럭신호들, 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들을 생성한다. 일례로, 위상 보간부(404)는 제 1클럭신호(I)와 제 2클럭신호(Q)의 사이, 즉 90도를 32등분하여 제 1보간 클럭신호들을 생성할 수 있다. 마찬가지로, 위상 보간부(404)는 각각의 보간 클럭신호들(Q, IB, QB)의 사이를 32등분하여 제 2보간 클럭신호들, 제 3보간 클럭신호들 및 제 4보간 클럭신호들을 생성할 수 있다.
- [0062] 추가적으로, 위상 보간부(404)는 위상 제어코드(PIS)에 대응하여 제 1클럭신호(I), 제 2클럭신호(Q), 제 3클럭신호(IB), 제 4클럭신호(QB), 제 1보간 클럭신호들 중 어느 하나, 제 2보간 클럭신호들 중 어느 하나, 제 3보간 클럭신호들 중 어느 하나 또는 제 4보간 클럭신호들 중 어느 하나의 클럭신호를 출력한다. 이를 위하여, 위상 제어코드(PIS)는 7비트로 설정될 수 있다.
- [0063] 제 2분주기(406)는 위상 보간부(404)로부터 출력되는 클럭신호를 소정 비율로 분주하고, 분주된 클럭신호를 변조 클럭신호(DIVCLK)로서 지연부(100)로 공급한다. 일례로, 제 2분주기(406)는 기준 클럭신호(RCLK)의 주기에 대응되도록 위상 보간부(404)로부터 출력되는 클럭신호의 주파수를 낮추고, 주파수가 낮아진 클럭신호를 변조클럭(DIVCLK)으로서 지연부(100)로 공급한다. 이와 같은 제 2분주기(406)의 분주비율은 외부로부터 공급되는 제어신호(미도시)에 의하여 제어될 수 있다.
- [0065] 도 6은 도 4에 도시된 위상 보간부를 나타내는 도면이다. 도 6에 도시된 제어코드들(CD1, CD2, CD3, CD4)은 위상 제어코드(PIS)에 포함된다.
- [0066] 도 6을 참조하면, 본 발명의 실시예에 의한 위상 보간부(404)는 제 2몹스(4042), 제 3몹스(4044), 위상 제어기(4046a 내지 4046i, i는 자연수), 증폭기(4048)를 구비한다.
- [0067] 제 2몹스(4042)는 제 1클럭신호(I) 및 제 3클럭신호(IB)를 공급받는다. 이와 같은 제 2몹스(4042)는 제 1제어코드(CD1)에 대응하여 제 1클럭신호(I) 또는 제 3클럭신호(IB)를 출력한다.
- [0068] 제 3몹스(4044)는 제 2클럭신호(Q) 및 제 4클럭신호(QB)를 공급받는다. 이와 같은 제 3몹스(4044)는 제 2제어코드(CD2)에 대응하여 제 2클럭신호(Q) 또는 제 4클럭신호(QB)를 출력한다.
- [0069] 여기서, 제 2몹스(4042) 및 제 3몹스(4044)에서 출력되는 클럭신호(I, IB, Q, QB 중 두개)는 서로 90도의 위상차가 나도록 설정된다. 일례로, 제 2몹스(4042)에서 제 1클럭신호(I)가 출력되고, 제 3몹스(4044)에서 제 2클럭신호(Q) 또는 제 4클럭신호(QB)가 출력될 수 있다. 이때, 제 1클럭신호(I)와 제 2클럭신호(Q)의 위상차는 90도, 제 1클럭신호(I)와 제 4클럭신호(QB)의 위상차는 90로 설정된다.
- [0070] 마찬가지로, 제 2몹스(4042)에서 제 3클럭신호(IB)가 출력되고, 제 3몹스(4044)에서 제 2클럭신호(Q) 또는 제 4클럭신호(QB)가 출력될 수 있다. 이때, 제 3클럭신호(IB)와 제 2클럭신호(Q)의 위상차는 90도, 제 3클럭신호(IB)와 제 4클럭신호(QB)의 위상차는 90로 설정된다.
- [0071] 위상 제어기들(4046a 내지 4046i)은 제 2몹스(4042)로부터의 클럭신호(I 또는 IB)와 제 3몹스(4044)로부터의 클럭신호(Q 또는 QB)를 위상 보간하여 출력한다. 일례로, 위상 제어기들(4046a 내지 4046i)은 90도 사이의 위상을 32등분 할 수 있고, 이에 대응하여 위상 보간부(404)는 32개의 위상 제어기들(4046a 내지 4046i)을 포함할 수 있다.
- [0072] 위상 제어기들(4046a 내지 4046i) 각각은 2개의 인버터(40461, 40462)를 구비한다. 위상 제어기들(4046a 내지 4046i) 각각에 포함된 제 1인버터(40461)는 제 3제어코드(CD3)에 대응하여 선택되고, 제 2인버터(40462)는 제 4제어코드(CD4)에 의하여 선택된다. 여기서, 위상 제어기들(4046a 내지 4046i) 각각에서 하나의 인버터(40461 또는 40462)만이 선택되도록 제 3제어코드(CD3) 및 제 4제어코드(CD4)는 서로 반전된 비트로 설정될 수 있다.
- [0073] 증폭기(4048)는 위상 제어기들(4046a 내지 4046i)로부터 출력되는 클럭신호를 증폭하여 제 2분주기(406)로 공급한다. 이를 위하여, 증폭기(4048)는 도시되지 않은 인버터 및 저항을 포함할 수 있다.
- [0074] 동작과정을 설명하면, 먼저 제 1제어코드(CD1) 및 제 2제어코드(CD2)에 대응하여 제 2몹스(4042)로부터 제 1클럭신호(I), 제 3몹스(4044)로부터 제 2클럭신호(Q)가 출력될 수 있다.
- [0075] 그리고, 제 3제어코드(CD3)에 의하여 위상 제어기들(4046a 내지 4046i) 각각에 포함된 제 1인버터(40461)가 선

택될 수 있다. 이 경우, 위상 제어기들(4046a 내지 4046i)로부터는 제 1클럭신호(I)가 출력되고, 증폭기(4048)는 제 1클럭신호(I)를 증폭하여 제 2분주기(406)로 공급한다.

- [0076] 한편, 제 4제어코드(CD4)에 의하여 위상 제어기들(4046a 내지 4046i) 각각에 포함된 제 2인버터(40462)가 선택되는 경우 제 2클럭신호(Q)가 출력되고, 증폭기(4048)는 제 2클럭신호(Q)를 증폭하여 제 2분주기(406)로 공급한다.
- [0077] 한편, 제 3제어코드(CD3)에 의하여 위상 제어기들(4046a 내지 4046i)에 포함된 하나의 제 1인버터(40461)가 선택되고, 제 4제어코드(CD4)에 의하여 위상 제어기들(4046a 내지 4046i)에 포함된 31개의 제 2인버터(40462)가 선택될 수 있다. 이 경우, 제 2클럭신호(Q)로부터 약 2.8도의 위상차를 갖는 클럭신호가 생성되고, 생성된 클럭신호는 증폭기(4048)를 경유하여 제 2분주기(406)로 공급된다.
- [0078] 즉, 본원 발명의 위상 보간부(404)는 위상 제어기들(4046a 내지 4046i) 각각에 포함된 제 1인버터(40461) 및 제 2인버터(40462)를 선택하면서 다양한 위상을 갖는 클럭신호를 생성할 수 있다. 다시 말하여, 본원 발명의 위상 보간부(404)는 90도의 위상을 32등분하고, 제어코드들(CD1 내지 CD4)에 대응하여 특정 위상을 갖는 클럭신호를 출력한다.
- [0079] 추가적으로, 위상 보간부(404)에서 위상 보간되어 출력되는 클럭신호들은 도 6의 차동 비선형성(Differential Non Linearity : 이하 "DNL"이라 함) 및 적분 비선형성(Integral Non Linearity : 이하 "INL"이라 함)에 도시된 바와 같이 정확한 위상으로 설정되지 못한다.
- [0080] 도 6에서는 0도 내지 90도 사이에 포함된 제 1보간 클럭신호들의 DNL 및 INL을 나타내며, 제 2보간 클럭신호들 내지 제 4보간 클럭신호들은 0도와 90도의 축에 대응하여 대칭적으로 동일한 DNL 및 INL을 갖는다. 즉, 제 2보간 클럭신호들 내지 제 4보간 클럭신호들은 제 1보간 클럭신호들과 동일한 위상 천이 에러를 갖는다.
- [0082] 도 7은 본 발명의 실시예에 의한 에러 검출부를 나타내는 도면이다.
- [0083] 도 7을 참조하면, 본 발명의 실시예에 의한 에러 검출부(600)는 제 2디코더(602), 엔코더(604), 곱셈기(606), 가산기(608), 믹스(612) 및 코드 생성기들(610a 내지 610i)을 구비한다.
- [0084] 코드 생성기들(610a 내지 610i)은 제 1클럭신호(I) 및 제 2클럭신호(Q) 사이, 즉 제 1보간 클럭신호들의 위상에 대응하여 위상 천이 에러값들을 누적한다. 이를 위하여, 에러 검출부(600)는 32개의 코드 생성기들(610a 내지 610i)을 구비할 수 있다.
- [0085] 제 2디코더(602)는 7비트의 위상 제어코드(PIS)를 5비트로 변경하여 엔코더(604)로 공급한다. 다시 말하여, 제 2디코더(602)는 32개의 코드 생성기들(610a 내지 610i)에 대응하여 위상 제어코드(PIS)를 5비트로 변경하고, 변경된 위상 제어코드(PIS)를 엔코더(604)로 공급한다.
- [0086] 엔코더(604)는 5비트의 위상 제어코드(PIS)에 대응하여 코드 생성기들(610a 내지 610i) 중 어느 하나를 선택한다. 엔코더(604)에 의하여 선택된 코드 생성기(610a 내지 610i) 중 어느 하나는 가산기(608)와 접속된다.
- [0087] 믹스(612)(또는 제 1믹스)는 5비트의 위상 제어코드(PIS)에 대응하여 코드 생성기들(610a 내지 610i) 중 어느 하나의 코드 생성기(610a 내지 610i) 중 어느 하나)로부터의 딜레이 코드(DEC)를 디코더(700)로 공급한다.
- [0088] 곱셈기(606)는 TDC(200)로부터의 에러 코드(EC)에 상수값(u)을 곱하여 가산기(608)로 공급한다. 에러 코드(EC)는 양수(+1) 또는 음수(-1)로 설정된다. 상수값(u)은 미리 설정되며, 에러 코드(EC)와 곱셈되어 양수 또는 음수로 가산기(608)로 공급된다. 일례로, 상수값(u)은 1/1000으로 설정될 수 있으며, 에러 코드(EC)에 대응하여 1/1000 또는 -1/1000의 값으로 가산기(608)로 공급될 수 있다.
- [0089] 한편, 상수값(u)이 큰 경우 딜레이 코드(DEC)가 원하는 값(스퍼 잡음이 최소화되는 값)으로 빠르게 수렴하지만 정확도가 낮고, 상수값(u)이 작은 경우 딜레이 코드(DEC)가 원하는 값으로 수렴되는 속도가 느리지만 정확도가 높다. 이와 같은, 상수값(u)은 필요에 의하여 다양하게 설정될 수 있다.
- [0090] 가산기(608)는 믹스(612)로부터 출력되는 딜레이 코드(DEC)에 양수 또는 음수의 상수값(u)을 합산한다.
- [0091] 동작과정을 설명하면, 먼저 제 2디코더(602)로부터의 5비트 위상 제어코드(PIS)가 믹스(612) 및 엔코더(604)로 공급된다.
- [0092] 5비트 위상 제어코드(PIS)를 공급받은 믹스(612)는 특정 코드 생성기(610a 내지 610i) 중 어느 하나)로부터의 딜

레이 코드(DEC)를 출력한다. 5비트 위상 제어코드(PIS)를 공급받은 엔코더(604)는 특정 코드 생성기(610a 내지 610i 중 어느 하나)를 가산기(608)와 전기적으로 접속시킨다. 이때, 곱셈기(606)는 에러 코드(EC)에 대응하여 양수 또는 음수의 상수값(u)을 가산기(608)로 공급한다.

- [0093] 한편, 에러 코드(EC)는 기준 클럭신호(RCLK)와 변조 클럭신호(DIVCLK)의 시간차에 대응하여 출력된다. 일례로, TDC(200)는 도 8a에 도시된 바와 같이 기준 클럭신호(RCLK)가 변조 클럭신호(DIVCLK)보다 빠른 위상을 갖는 경우 음수의 에러 코드(-EC)를 출력한다. 그리고, TDC(200)는 도 8b에 도시된 바와 같이 변조 클럭신호(DIVCLK)가 기준 클럭신호(RCLK)보다 빠른 위상을 갖는 경우 양수의 에러 코드(+EC)를 출력한다.
- [0094] 가산기(608)는 맥스(612)로부터 공급되는 딜레이 코드(DEC)에 양수 또는 음수의 상수값(u)을 가산하고, 가산된 결과를 특정 코드 생성기(610a 내지 610i 중 어느 하나)로 공급한다. 이와 같은 과정이 반복되면 특정 코드 생성기(610a 내지 610i 중 어느 하나)에 저장되는(또는 누적되는) 딜레이 코드(DEC)는 위상 천이 에러가 보상될 수 있도록 설정된다.
- [0095] 일례로, 도 9a에 도시된 바와 같이 위상 보간에 의하여 최초 원하는 위상에서 제 1위치($\Delta 1$)만큼 위상 천이 에러가 발생할 수 있다. 이때, 딜레이 코드(DEC)가 누적되면서 도 9b 및 도 9c와 같이 위상 천이 에러가 보정($\Delta 1 \rightarrow \Delta 2 \rightarrow 0$)된다. 그리고, 위상 천이 에러가 보정된 상태에서 에러 코드(EC)는 음수 및 양수를 반복하게 되고, 이에 따라 안정적으로 원하는 위상을 갖는 클럭신호를 생성할 수 있다.
- [0097] 도 10은 도 3에 도시된 지연부의 실시예를 나타내는 도면이다.
- [0098] 도 10을 참조하면, 본 발명의 실시예에 의한 지연부(100)는 제 1지연부(102) 및 제 2지연부(104)를 구비한다.
- [0099] 제 1지연부(102)는 디코더(700)의 제어에 대응하여 기준 클럭신호(RCLK)를 지연하여 TDC(200)로 공급한다.
- [0100] 제 2지연부(104)는 디코더(700)의 제어에 대응하여 변조 클럭신호(DIVCLK)를 지연하여 TDC(200)로 공급한다.
- [0101] 디코더(700)는 딜레이 코드(DEC)에 대응하여 제 1지연부(102) 및 제 2지연부(104)의 지연시간을 제어한다. 일례로, 디코더(700)는 음의 딜레이 코드(DEC)가 입력되는 경우 제 1지연부(102)를 제어하여 기준 클럭신호(RCLK)를 지연한다. 이때, 기준 클럭신호(RCLK)의 지연시간은 딜레이 코드(DEC)의 크기에 대응하여 결정된다.
- [0102] 그리고, 디코더(700)는 양의 딜레이 코드(DEC)가 입력되는 경우 제 2지연부(104)를 제어하여 변조 클럭신호(DIVCLK)를 지연한다. 이때, 변조 클럭신호(DIVCLK)의 지연시간은 딜레이 코드(DEC)의 크기에 대응하여 결정된다.
- [0103] 동작과정을 설명하면, 디코더(700)는 딜레이 코드(DEC)에 대응하여 제 1지연부(102) 또는 제 2지연부(104)를 제어한다. 일례로, 디코더(700)는 음의 딜레이 코드(DEC)에 대응하여 제 1지연부(102)를 제어하고, 이에 따라 기준 클럭신호(RCLK)가 지연되어 TDC(200)로 공급될 수 있다.
- [0104] 한편, 음의 딜레이 코드(DEC)는 시간에 대응하여 누적되면서 그 값이 증가되고, 이에 따라 제 1지연부(102)의 지연시간도 증가된다. 그러면, 최종적으로 기준 클럭신호(RCLK)의 상승 에지와 변조 클럭신호(DIVCLK)의 상승 에지가 일치되고, 이에 따라 스퍼 잡음을 최소화할 수 있다.
- [0105] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.
- [0106] 진술한 발명에 대한 권리범위는 이하의 특허청구범위에서 정해지는 것으로서, 명세서 본문의 기재에 구속되지 않으며, 청구범위의 균등 범위에 속하는 변형과 변경은 모두 본 발명의 범위에 속할 것이다.

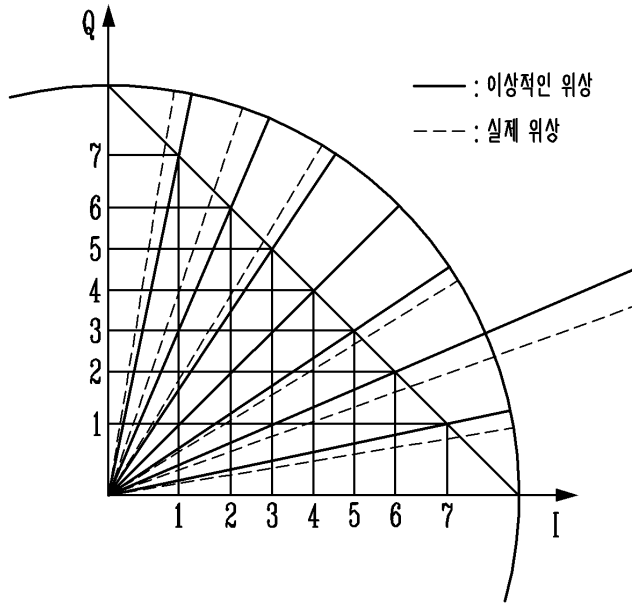
부호의 설명

- [0107] 100, 102, 104 : 지연부 200 : TDC
- 250 : 루프 필터 300 : DCO
- 400 : 위상 변조부 404 : 위상 보간부
- 402, 406 : 분주기 500 : 위상 제어부

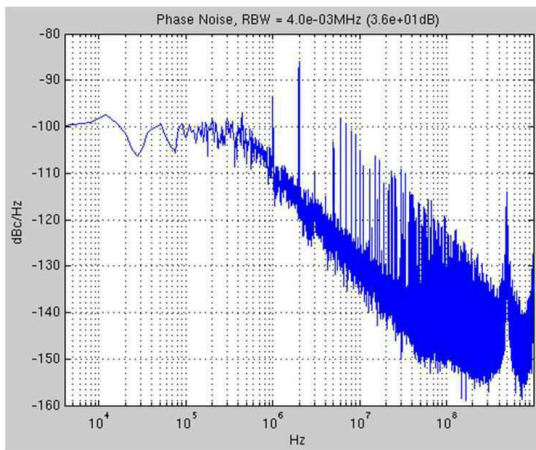
- 600 : 에러 검출부 602,700 : 디코더
- 604 : 엔코더 606 : 급셈기
- 608 : 가산기 610a,610i : 코드 생성기
- 612,4042,4044 : 믹스 4046a,4046i : 위상 제어기
- 4048 : 증폭기

도면

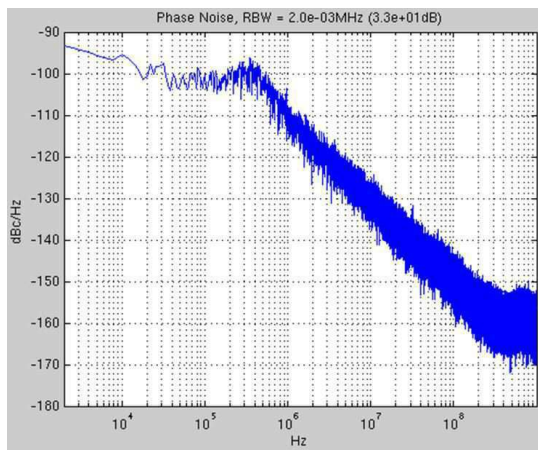
도면1



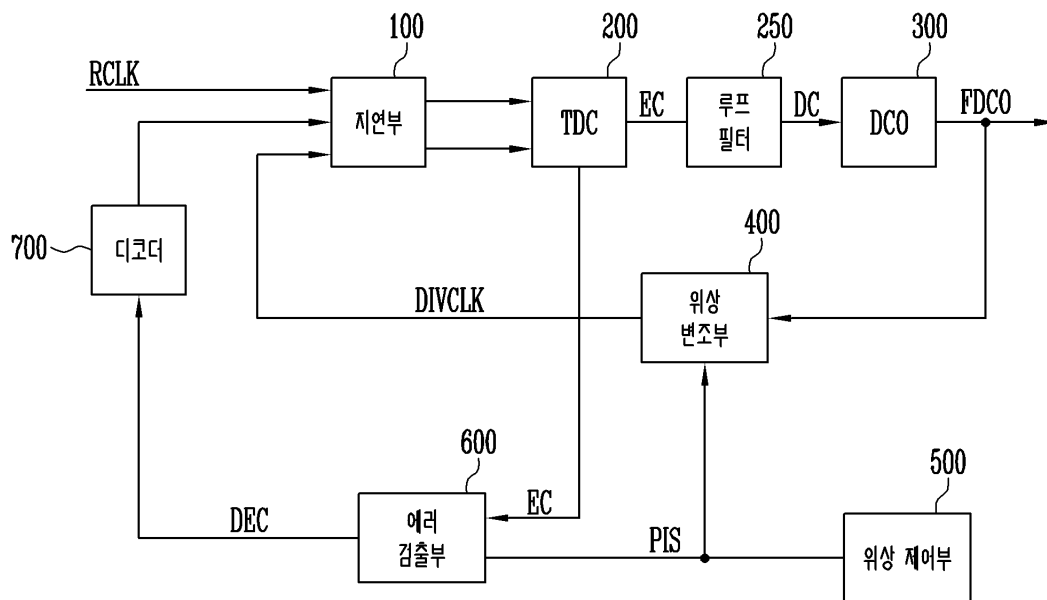
도면2a



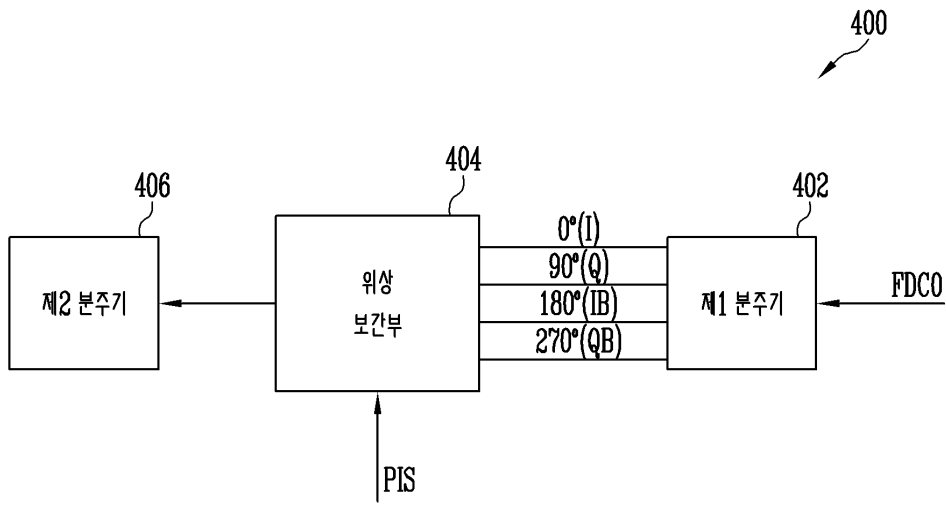
도면2b



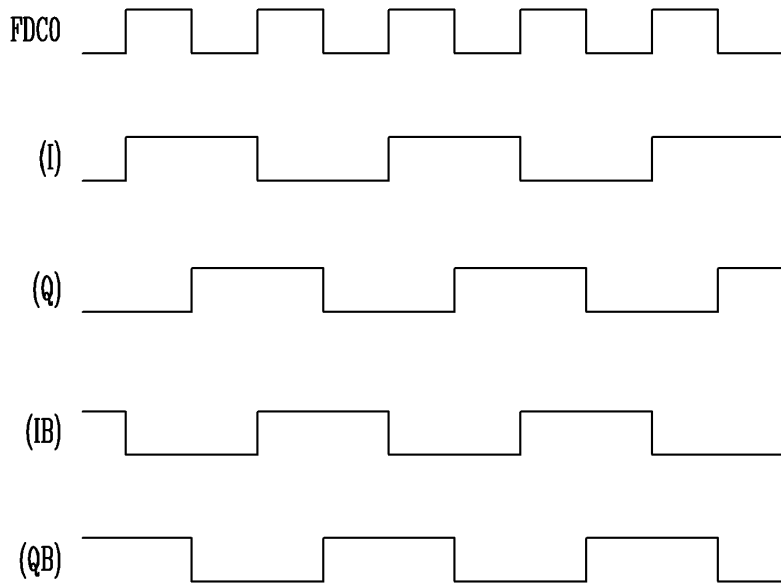
도면3



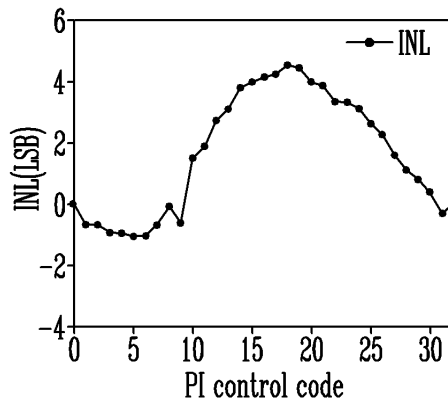
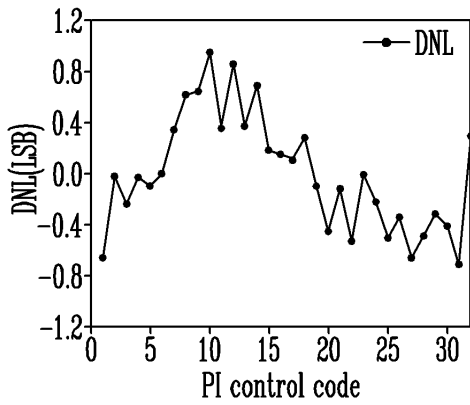
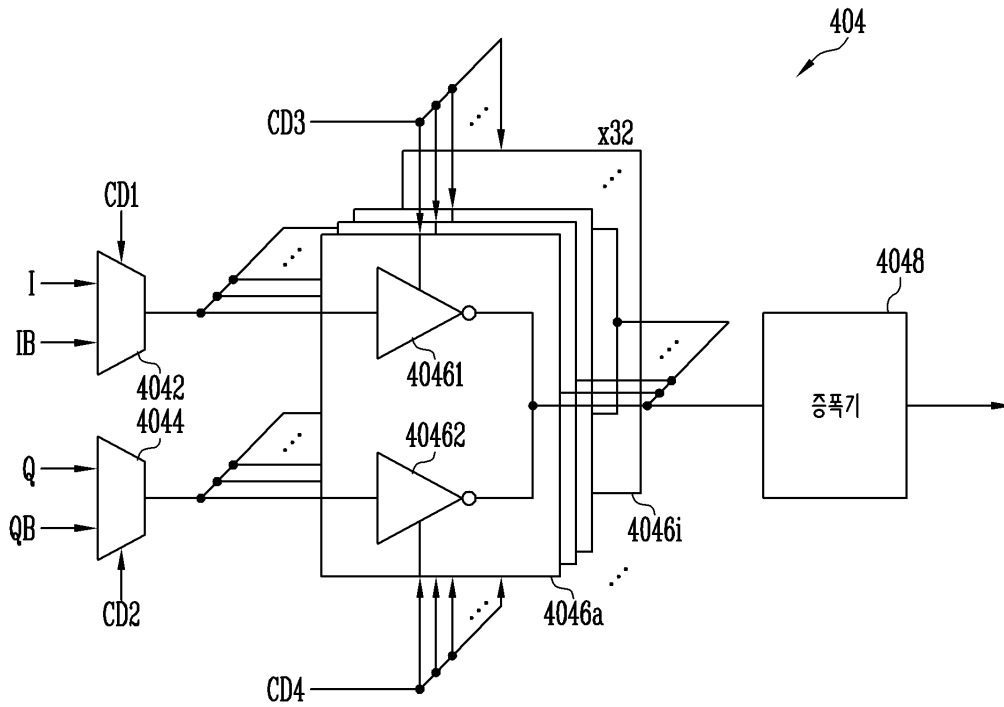
도면4



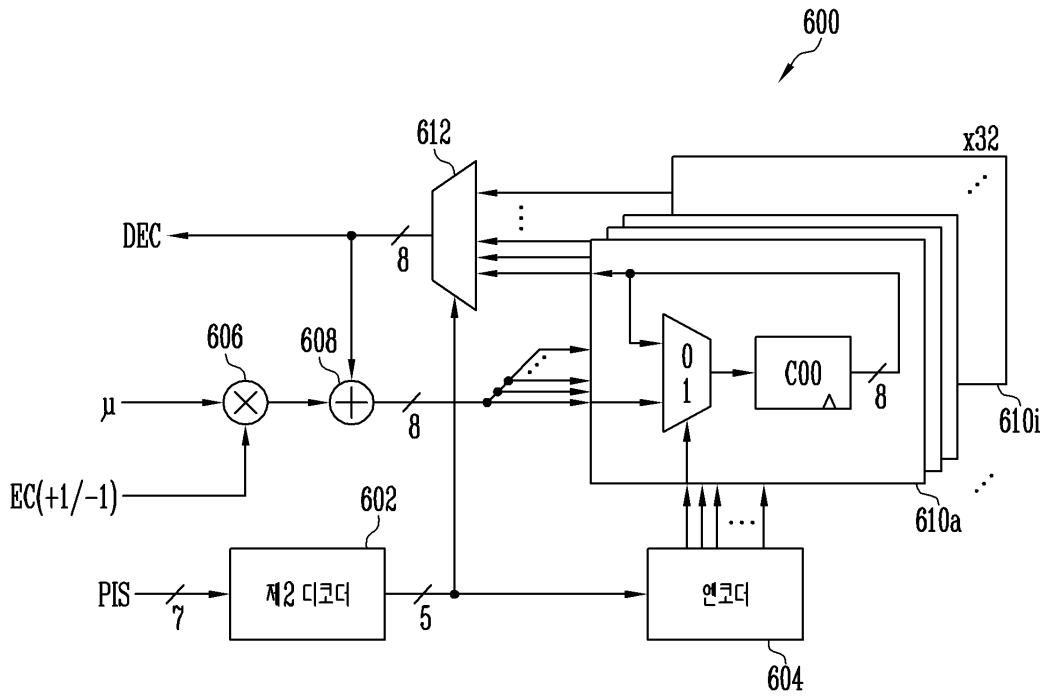
도면5



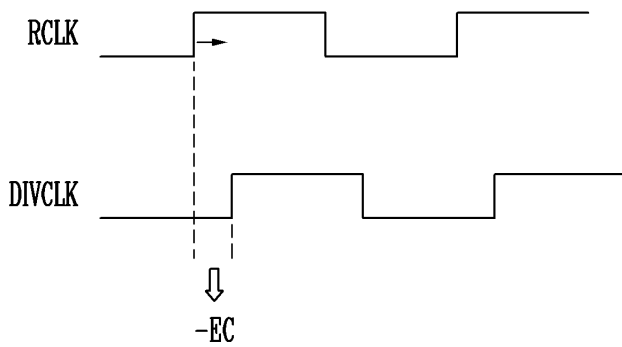
도면6



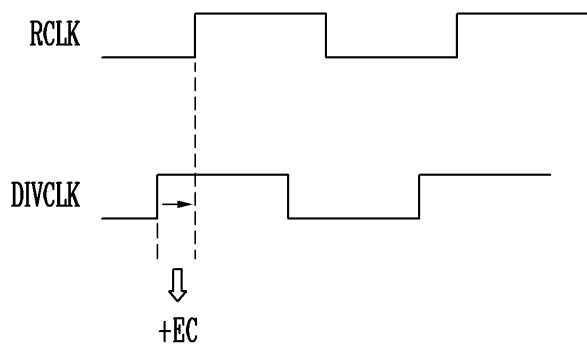
도면7



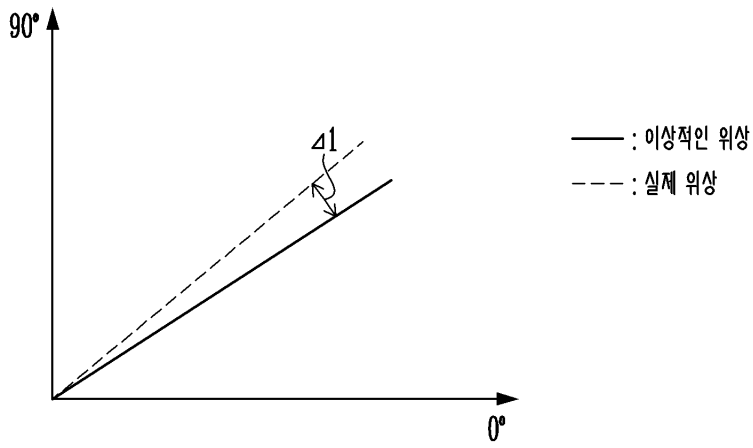
도면8a



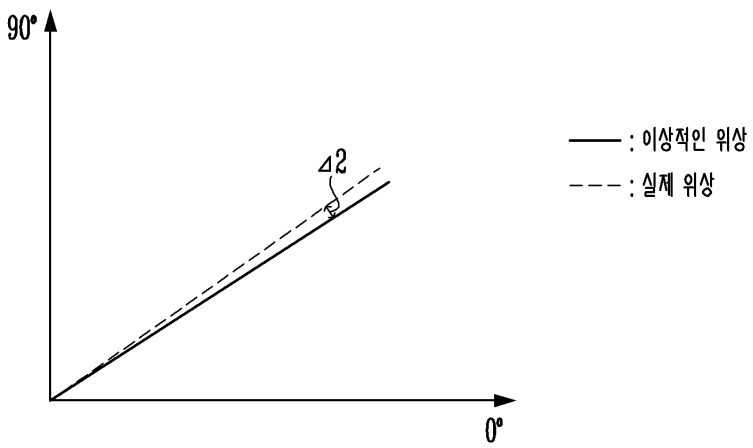
도면8b



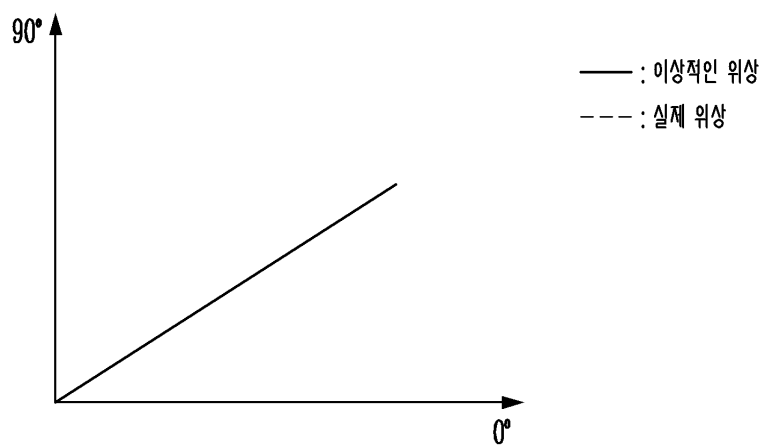
도면9a



도면9b



도면9c



도면10

