

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月5日(05.10.2017)



(10) 国際公開番号

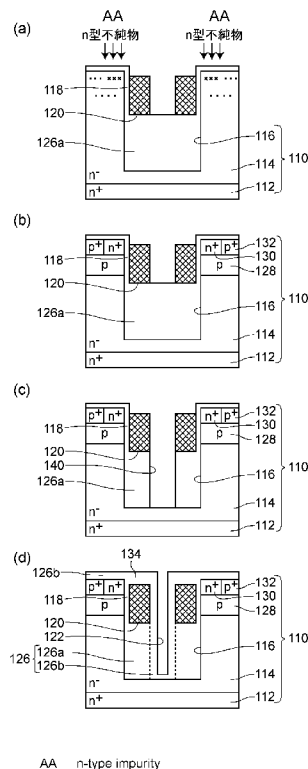
WO 2017/168733 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/060855
- (22) 国際出願日: 2016年3月31日(31.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 大谷 欣也(OHTANI, Kinya); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛(MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合9862番地60 めぶき特許事務所 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法及び半導体装置



(57) Abstract: This method for producing a semiconductor device includes the following steps, which are performed in the given order: a semiconductor substrate preparation step; a first trench formation step; a first insulation film formation step in which a first insulation film 126a is formed; a gate insulation film formation step; a gate electrode formation step; a second trench formation step in which a central portion of the first insulation film 126a is removed, and a second trench 140 is formed in a first trench 116; a second insulation film formation step in which a second insulation film 126b is formed inside the second trench 140 on condition that a space 122 remains in the second trench; a shield electrode formation step in which a shield electrode 124 is formed in the space 122; and a source electrode formation step in which a source electrode is formed. According to this method for producing a semiconductor device, a step for connecting the shield electrode and the source electrode can be simplified, and a semiconductor device can be produced with a high degree of design freedom.

(57) 要約: 本発明の半導体装置の製造方法は、半導体基体準備工程と、第1トレンチ形成工程と、第1絶縁膜126aを形成する第1絶縁膜形成工程と、ゲート絶縁膜形成工程と、ゲート電極形成工程と、第1絶縁膜126aの中央部を除去して第1トレンチ116内に第2トレンチ140を形成する第2トレンチ形成工程と、第2トレンチ内に空隙122が残存する条件下で第2トレンチ140の内部に第2絶縁膜126bを形成する第2絶縁膜形成工程と、空隙122内にシールド電極124を形成するシールド電極形成工程と、ソース電極を形成するソース電極形成工程とをこの順序で含む。本発明の半導体装置の製造方法によれば、シールド電極とソース電極との接続を取るための工程が簡略化でき、かつ、高い設計自由度で半導体装置を製造することが可能となる。

WO 2017/168733 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置の製造方法及び半導体装置

技術分野

[0001] 本発明は、半導体装置の製造方法及び半導体装置に関する。

背景技術

[0002] 従来、ゲート電極とシールド電極とが平面方向に分離された平面方向分離型のシールドゲート構造を備える半導体装置が知られている（例えば、特許文献１参照。）。

[0003] 従来の半導体装置９００は、図１４～図１７に示すように、以下の方法（従来の半導体装置の製造方法）を実施することにより製造することができる。すなわち、従来の半導体装置９００は、（１） n^+ 型の第１半導体層９１２及び第１半導体層９１２よりも低濃度の n^- 型の第２半導体層９１４を有する半導体基体９１０を準備する半導体基体準備工程（図１４（ａ）参照。）と、（２）第２半導体層９１４に所定の第１トレンチ９１６を形成する第１トレンチ形成工程（図１４（ｂ）参照。）と、（３）第１トレンチ９１６内の中央に第１空隙９２２が残存する条件で熱酸化法により第１トレンチ９１６の内部に第１絶縁膜９２６を形成する第１絶縁膜形成工程（図１４（ｃ）参照。）と、（４）第１空隙９２２内にシールド電極９２４を形成するシールド電極形成工程（図１４（ｄ）及び図１５（ａ）参照。）と、（５）第１トレンチ９１６の下部を残して第１絶縁膜９２６をエッチングバックする第１絶縁膜エッチングバック工程（図１５（ｂ）参照。）と、（６）シールド電極９２４の側壁、第１トレンチ９１６の上部の側壁及びエッチングバックされた第１絶縁膜９２６の上面で構成される凹部９５０内に第２空隙９５２が残存する条件で凹部９５０の内部にゲート絶縁膜９１８を形成するゲート絶縁膜形成工程（図１５（ｃ）参照。）と、（７）第２空隙９５２内にゲート電極９２０を形成するゲート電極形成工程（図１５（ｄ）及び図１６（ａ）参照。）と、（８）ベース領域９２８、ソース領域９３０（第１導電型高濃

度拡散領域)、及び、 p^+ 型のコンタクト領域 932 を形成する不純物領域形成工程と(図 16 (b) ~ 図 16 (d) 参照。)、(9) ゲート電極 920 及びゲート絶縁膜 918 上に保護絶縁膜 934 を形成する保護絶縁膜形成工程(図 17 (a) 参照。)と、(10) シールド電極 924 の上部に形成された絶縁膜(ゲート絶縁膜及び保護絶縁膜)を除去する絶縁膜除去工程(図 17 (b) 参照。)と、(11) シールド電極 924 と電氣的に接続するようにソース電極 936 を形成するソース電極形成工程(図 17 (c) 参照。)とを実施することにより製造することができる。

先行技術文献

特許文献

[0004] 特許文献1: 特表 2007-529115 号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の半導体装置の製造方法においては、シールド電極形成工程の後段にゲート電極形成工程を含むことから、ソース電極形成工程の前段までにシールド電極 924 の上部には絶縁膜(ゲート絶縁膜及び保護絶縁膜)が形成される(図 17 (a) 参照。)。従って、シールド電極 924 とソース電極 936 との接続を取るためには、シールド電極 924 の上部に形成された絶縁膜(ゲート絶縁膜及び保護絶縁膜)を除去する絶縁膜除去工程が必要となり(図 17 (b) 参照。)、シールド電極 924 とソース電極 936 との接続を取るための工程が煩雑になるという問題がある。

[0006] また、従来の半導体装置の製造方法においては、第 1 絶縁膜形成工程において、第 1 トレンチ 916 内の中央に第 1 空隙 922 が残存する条件で熱酸化法により第 1 トレンチ 916 の内部に第 1 絶縁膜 926 を形成した後(図 14 (c) 参照。)、シールド電極形成工程において、第 1 空隙 922 内にシールド電極 924 を形成するため(図 14 (d) 及び図 15 (a) 参照。)、シールド電極底部側の絶縁膜(第 1 絶縁膜)の厚さとシールド電極側部

側の絶縁膜（第1絶縁膜）の厚さとを任意の厚さに設定することが難しく、高い設計自由度で半導体装置を製造することが困難であるという問題もある。

[0007] そこで、本発明は、上記した問題を解決するためになされたものであり、シールド電極とソース電極との接続を取るための工程が簡略化でき、かつ、高い設計自由度で半導体装置を製造することが可能な半導体装置の製造方法を提供することを目的とする。また、そのような半導体装置の製造方法で製造された半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] [1] 本発明の半導体装置の製造方法は、ゲート電極とシールド電極とが平面方向に分離された平面方向分離型のシールドゲート構造を備える半導体装置の製造方法であって、第1導電型の第1半導体層及び当該第1半導体層よりも低濃度の第1導電型の第2半導体層を有する半導体基体を準備する半導体基体準備工程と、前記第2半導体層に所定の第1トレンチを形成する第1トレンチ形成工程と、前記第1トレンチの下部を埋めるように第1絶縁膜を形成する第1絶縁膜形成工程と、前記第1トレンチの上部の側壁にゲート絶縁膜を形成するゲート絶縁膜形成工程と、前記ゲート絶縁膜を介して、ポリシリコンからなる前記ゲート電極を形成するゲート電極形成工程と、前記第1絶縁膜の中央部をエッチングにより除去して前記第1トレンチ内に第2トレンチを形成する第2トレンチ形成工程と、前記第2トレンチ内に空隙が残存する条件で少なくとも前記第2トレンチの内部に第2絶縁膜を形成する第2絶縁膜形成工程と、前記空隙内に前記シールド電極を形成するシールド電極形成工程と、前記シールド電極と電気的に接続するようにソース電極を形成するソース電極形成工程とをこの順序で含むことを特徴とする。

[0009] [2] 本発明の半導体装置の製造方法においては、前記第2絶縁膜形成工程において、厚さが前記ゲート絶縁膜の厚さよりも厚くなるように前記第2絶縁膜を形成することが好ましい。

[0010] [3] 本発明の半導体装置の製造方法においては、前記第2絶縁膜形成工程

において、前記空隙の底と前記第1トレンチの底との間の前記第2絶縁膜の厚さを D_1 とし、前記空隙の前記底の深さ位置における前記空隙の側壁と前記第1トレンチの側壁との間の前記第1絶縁膜の厚さを d とし、前記空隙の前記底の深さ位置における前記空隙の前記側壁と前記第1トレンチの前記側壁との間の前記第2絶縁膜の厚さを D_2 としたときに、 $D_1 \leq d + D_2$ の関係を満たすように前記第2絶縁膜を形成することが好ましい。

[0011] [4] 本発明の半導体装置の製造方法においては、前記第2トレンチ形成工程において、前記第1トレンチの深さ位置まで前記第2トレンチを形成することが好ましい。

[0012] [5] 本発明の半導体装置の製造方法においては、前記第2トレンチ形成工程において、前記第1トレンチの深さ位置よりも深い深さ位置まで前記第2トレンチを形成することが好ましい。

[0013] [6] 本発明の半導体装置の製造方法においては、前記第2トレンチ形成工程と前記第2絶縁膜形成工程との間に、前記第2トレンチの底に接するように第2導電型拡散領域を形成する第2導電型拡散領域形成工程をさらに含むことが好ましい。

[0014] [7] 本発明の半導体装置の製造方法においては、前記第2トレンチ形成工程において、前記第2トレンチとして、底狭テーパ形状の側面を有するトレンチを形成することが好ましい。

[0015] [8] 本発明の半導体装置の製造方法においては、前記ゲート電極形成工程と前記第2トレンチ形成工程との間に、平面的に見て前記第1トレンチが形成されていない領域における前記第2半導体層の表面に第2導電型のベース領域を形成するベース領域形成工程と、前記ベース領域の表面に、少なくとも一部が前記第1トレンチの前記側壁に露出するように第1導電型高濃度拡散領域を形成する第1導電型高濃度拡散領域形成工程とをさらに含むことが好ましい。

[0016] [9] 本発明の半導体装置の製造方法においては、前記ゲート電極形成工程と前記第2トレンチ形成工程との間に、前記ベース領域の表面の所定領域に

第2導電型のコンタクト領域を形成するコンタクト領域形成工程をさらに含み、前記シールド電極形成工程と前記ソース電極形成工程との間に、平面的に見て前記第1トレンチが形成されていない領域における前記第2絶縁膜をエッチングバックにより除去する第2絶縁膜エッチングバック工程をさらに含み、前記ソース電極形成工程においては、前記シールド電極、前記第1導電型高濃度拡散領域及び前記コンタクト領域に直接接続するように前記ソース電極を形成することが好ましい。

[0017] [10] 本発明の半導体装置の製造方法においては、前記シールド電極形成工程と前記ソース電極形成工程との間に、前記第2絶縁膜に所定の開口を形成する開口形成工程と、前記開口の内部に金属を充填して金属プラグを形成する金属プラグ形成工程とをさらに含み、前記ソース電極形成工程においては、前記シールド電極に直接接続し、かつ、前記第1導電型高濃度拡散領域及び前記ベース領域に前記金属プラグを介して接続するように前記ソース電極を形成することが好ましい。

[0018] [11] 本発明の半導体装置の製造方法においては、前記第1絶縁膜形成工程において、CVD法によって前記第1絶縁膜を形成することが好ましい。

[0019] [12] 本発明の半導体装置の製造方法においては、前記第1絶縁膜形成工程において、熱酸化法によって前記第1絶縁膜を形成することが好ましい。

[0020] [13] 本発明の半導体装置の製造方法においては、前記第2絶縁膜形成工程において、CVD法によって前記第2絶縁膜を形成することが好ましい。

[0021] [14] 本発明の半導体装置の製造方法においては、前記第2絶縁膜形成工程において、熱酸化法によって前記第2絶縁膜を形成することが好ましい。

[0022] [15] 本発明の半導体装置は、ゲート電極とシールド電極とが平面方向に分離された平面方向分離型のシールドゲート構造を備える半導体装置であって、第1導電型の第1半導体層及び当該第1半導体層よりも低濃度の第1導電型の第2半導体層を有する半導体基体と、前記第2半導体層の表面に位置する所定のトレンチと、ポリシリコンからなり、前記トレンチの上部の側壁にゲート絶縁膜を介して形成された前記ゲート電極と、前記トレンチの中央

部に、前記ゲート電極と離間した状態で形成された前記シールド電極と、前記トレンチ内において、前記ゲート電極と前記シールド電極との間に拡がり前記ゲート電極から前記シールド電極を離隔させるとともに、前記トレンチの側壁及び底に沿って拡がり前記トレンチの前記側壁及び前記底から前記シールド電極を離隔させる絶縁領域とを備え、前記ゲート電極と前記シールド電極との間に介在する前記絶縁領域の厚さが前記ゲート絶縁膜よりも厚いことを特徴とする。

発明の効果

[0023] 本発明の半導体装置の製造方法によれば、ゲート電極形成工程の後段にシールド電極形成工程を含むため、ソース電極形成工程の前段までにシールド電極の上部には絶縁膜（例えば、ゲート絶縁膜及び保護絶縁膜）が形成されない。従って、当該絶縁膜（ゲート絶縁膜及び保護絶縁膜）を除去する絶縁膜除去工程が必要でなくなり、シールド電極とソース電極との接続を取るための工程を簡略化できる。

[0024] また、本発明の半導体装置の製造方法によれば、第1絶縁膜の中央部をエッチングにより除去して第1トレンチ内に第2トレンチを形成した後、第2トレンチ内に空隙が残存する条件で第2トレンチの内部に第2絶縁膜を形成するため、シールド電極底部側の絶縁膜（第2絶縁膜）の厚さとシールド電極側部側の絶縁膜（第1絶縁膜及び第2絶縁膜）の厚さを任意の厚さに設定することが容易となり、その結果、高い設計自由度で半導体装置を製造することができる。

[0025] 本発明の半導体装置によれば、ゲート電極とシールド電極との間に介在する絶縁領域の厚さがゲート絶縁膜よりも厚いため、従来の半導体装置よりもゲート電極とシールド電極との間の耐圧を高くすることができる。

図面の簡単な説明

[0026] [図1]実施形態1に係る半導体装置100を説明するために示す図である。図

1（a）は半導体装置100の要部拡大断面図（以下、単に断面図という。

）を示し、図1（b）は半導体装置100の要部拡大平面図（以下、単に平

面図という。)を示す。なお、図1(b)においては、説明を簡単にするためにソース電極136、ソース領域130及びコンタクト領域132の図示を省略している。

[図2]実施形態1に係る半導体装置の製造方法を説明するために示す断面図である。図2(a)～図2(d)は各工程図である。

[図3]実施形態1に係る半導体装置の製造方法を説明するために示す断面図である。図3(a)～図3(d)は各工程図である。

[図4]実施形態1に係る半導体装置の製造方法を説明するために示す断面図である。図4(a)～図4(d)は各工程図である。

[図5]実施形態1に係る半導体装置の製造方法を説明するために示す断面図である。図5(a)～図5(d)は各工程図である。

[図6]実施形態2に係る半導体装置102の断面図である。

[図7]実施形態2に係る半導体装置の製造方法を説明するために示す断面図である。図7(a)～図7(c)は各工程図である。

[図8]実施形態3に係る半導体装置104の断面図である。

[図9]実施形態3に係る半導体装置の製造方法を説明するために示す断面図である。図9(a)～図9(c)は各工程図である。

[図10]実施形態4に係る半導体装置106の断面図である。

[図11]実施形態4に係る半導体装置の製造方法を説明するために示す断面図である。図11(a)～図11(c)は各工程図である。

[図12]実施形態5に係る半導体装置108の断面図である。

[図13]実施形態5に係る半導体装置の製造方法を説明するために示す断面図である。図13(a)～図13(c)は各工程図である。

[図14]従来の半導体装置の製造方法を説明するために示す図である。図14(a)～図14(d)は各工程図である。

[図15]従来の半導体装置の製造方法を説明するために示す図である。図15(a)～図15(d)は各工程図である。

[図16]従来の半導体装置の製造方法を説明するために示す図である。図16

(a)～図16(d)は各工程図である。

[図17]従来の半導体装置の製造方法を説明するために示す図である。図17

(a)～図17(c)は各工程図である。なお、図17(c)において、符号938はドレイン電極を示す。

発明を実施するための形態

[0027] 以下、本発明の半導体装置の製造方法及び半導体装置について、図に示す実施の形態に基づいて説明する。なお、各図面は模式図であり、必ずしも実際の寸法を厳密に反映したものではない。

[0028] [実施形態1]

1. 実施形態1に係る半導体装置100の構成

実施形態1に係る半導体装置100は、ゲート電極とシールド電極とが平面方向に分離された平面方向分離型のシールドゲート構造を備えるパワーMOSFETである。

[0029] 実施形態1に係る半導体装置100は、図1に示すように、 n^+ 型の第1半導体層112及び当該第1半導体層112よりも低濃度の n^- 型の第2半導体層114を有する半導体基体110と、第2半導体層114の表面に位置する所定のトレンチ116(第1トレンチ)と、ポリシリコンからなり、トレンチ116の上部の側壁にゲート絶縁膜118を介して形成されたゲート電極120と、トレンチ116の中央部に、ゲート電極120と離間した状態で形成されたシールド電極124と、トレンチ116内において、ゲート電極120とシールド電極124との間に拡がりゲート電極120からシールド電極124を離隔させるとともに、トレンチ116の側壁及び底に沿って拡がりトレンチ116の側壁及び底からシールド電極124を離隔させる絶縁領域126と、平面的に見てトレンチ116が形成されていない領域における第2半導体層114の表面に形成されたベース領域128と、ベース領域128の表面に、一部がトレンチ116の側壁に露出するように形成されたソース領域130(第1導電型高濃度拡散領域)と、ベース領域128の表面の所定領域(ソース領域130が形成されていない領域)に形成された

p⁺型のコンタクト領域 132 と、シールド電極 124 の表面上に直接配置されるとともにゲート電極 120 の表面上に保護絶縁膜 134 を介して配置され、シールド電極 124、ソース領域 130 及びコンタクト領域 132 と直接接続されているソース電極 136 と、第 1 半導体層 112 の表面上に形成されたドレイン電極 138 とを備える。

[0030] 実施形態 1 に係る半導体装置 100 においては、ゲート電極 120 とシールド電極 124 との間に介在する絶縁領域 126 の厚さがゲート絶縁膜 118 よりも厚い。

[0031] 実施形態 1 に係る半導体装置 100 においては、シールド電極 124 の底とトレンチ 116 の底との間の絶縁領域 126 の厚さを D_1 とし、シールド電極 124 の底の深さ位置におけるシールド電極 124 の側壁とトレンチ 116 の側壁との間の絶縁領域 126 の厚さ（後述する第 1 絶縁膜 126a の厚さと後述する第 2 絶縁膜 126b の厚さとを合計した厚さ）を $d + D_2$ としたときに、 $D_1 < d + D_2$ の関係を満たす。

[0032] 実施形態 1 においては、トレンチ 116、ゲート電極 120、ベース領域 128、ソース領域 130 及びコンタクト領域 132 はいずれもストライプ状に形成されている（図 1（b）参照。）。

[0033] 第 1 半導体層 112 の厚さは $50\ \mu\text{m} \sim 500\ \mu\text{m}$ （例えば $350\ \mu\text{m}$ ）であり、第 1 半導体層 112 の不純物濃度は $1 \times 10^{18}\ \text{cm}^{-3} \sim 1 \times 10^{21}\ \text{cm}^{-3}$ （例えば $1 \times 10^{19}\ \text{cm}^{-3}$ ）である。トレンチ 116 が形成されていない領域における第 2 半導体層 114 の厚さは $3\ \mu\text{m} \sim 50\ \mu\text{m}$ （例えば $15\ \mu\text{m}$ ）であり、第 2 半導体層 114 の不純物濃度は $1 \times 10^{14}\ \text{cm}^{-3} \sim 1 \times 10^{19}\ \text{cm}^{-3}$ （例えば $1 \times 10^{15}\ \text{cm}^{-3}$ ）である。ベース領域 128 の厚さは $0.5\ \mu\text{m} \sim 10\ \mu\text{m}$ （例えば $5\ \mu\text{m}$ ）であり、ベース領域 128 の不純物濃度は $1 \times 10^{16}\ \text{cm}^{-3} \sim 1 \times 10^{19}\ \text{cm}^{-3}$ （例えば $1 \times 10^{17}\ \text{cm}^{-3}$ ）である。

[0034] トレンチ 116 の深さは $1\ \mu\text{m} \sim 20\ \mu\text{m}$ （例えば $10\ \mu\text{m}$ ）であり、トレンチ 116 のピッチは $3\ \mu\text{m} \sim 20\ \mu\text{m}$ （例えば $10\ \mu\text{m}$ ）であり、トレ

ンチ 116 の開口幅は、 $0.3\ \mu\text{m} \sim 19\ \mu\text{m}$ （例えば $7\ \mu\text{m}$ ）である。ゲート絶縁膜 118 は例えば熱酸化法により形成された二酸化珪素膜からなり、ゲート絶縁膜 118 の厚さは $20\ \text{nm} \sim 200\ \text{nm}$ （例えば $100\ \text{nm}$ ）である。ゲート電極 120 は例えば CVD 法により形成された低抵抗のポリシリコンからなり、ゲート電極 120 の厚さは $0.1\ \mu\text{m} \sim 5\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）である。

[0035] シールド電極 124 とゲート電極 120 との間隔は $0.02\ \mu\text{m} \sim 3\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）であり、シールド電極 124 とトレンチ 116 の底との間隔は $0.1\ \mu\text{m} \sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、シールド電極 124 の底の深さ位置におけるシールド電極 124 とトレンチ 116 の側壁との間隔は $0.1\ \mu\text{m} \sim 8\ \mu\text{m}$ （例えば $3\ \mu\text{m}$ ）である。また、保護絶縁膜 134 を基準としたときのシールド電極 124 の上面の深さ位置は、 $0.01\ \mu\text{m} \sim 2\ \mu\text{m}$ の範囲内にある。

[0036] ソース領域 130 の深さは $1\ \mu\text{m} \sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、ソース領域 130 の不純物濃度は $1 \times 10^{18}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ （例えば $2 \times 10^{19}\ \text{cm}^{-3}$ ）である。コンタクト領域 132 の深さは $1\ \mu\text{m} \sim 3\ \mu\text{m}$ （例えば $2\ \mu\text{m}$ ）であり、コンタクト領域 132 の不純物濃度は $1 \times 10^{18}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ （例えば $2 \times 10^{19}\ \text{cm}^{-3}$ ）である。保護絶縁膜 134 は例えば CVD 法により形成された二酸化珪素膜からなり、保護絶縁膜 134 の厚さは $0.5\ \mu\text{m} \sim 3\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）である。

[0037] ソース電極 136 は例えば Al 膜又は Al 合金膜（例えば AlSi 膜）からなり、ソース電極 136 の厚さは $1\ \mu\text{m} \sim 10\ \mu\text{m}$ （例えば $3\ \mu\text{m}$ ）である。ドレイン電極 138 は Ti、Ni、Au がこの順序で積層された積層膜からなり、ドレイン電極 138 の厚さは $0.2\ \mu\text{m} \sim 1.5\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）である。

[0038] 2. 実施形態 1 に係る半導体装置 100 の効果

実施形態 1 に係る半導体装置 100 によれば、ゲート電極 120 とシールド電極 124 との間に介在する絶縁領域 126 の厚さがゲート絶縁膜 118

よりも厚いため、従来の半導体装置 900 よりもゲート電極 120 とシールド電極 124 との間の耐圧を高くすることができる。

[0039] 3. 実施形態 1 に係る半導体装置の製造方法

実施形態 1 に係る半導体装置 100 は、以下に示す製造工程を有する製造方法（実施形態 1 に係る半導体装置の製造方法）により製造することができる。

[0040] (1) 半導体基体準備工程

まず、 n^+ 型の第 1 半導体層 112 及び当該第 1 半導体層 112 よりも低濃度の n^- 型の第 2 半導体層 114 を有する半導体基体 110 を準備する（図 2（a）参照。）。半導体基体 110 としては適宜の半導体基体を用いることができ、例えば n^+ 型の第 1 半導体層 112 上にエピタキシャル成長法によって n^- 型の第 2 半導体層 114 を形成してなる半導体基体を用いることができる。なお、実施形態 1 においては、半導体基体 110 として、シリコンからなる半導体基体を用いるが、シリコン以外の材料からなる半導体基体を用いてもよい。

[0041] (2) 第 1 トレンチ形成工程

次に、第 2 半導体層 114 の表面上に、所定の開口を有するマスク（図示せず。）を形成し、当該マスクを用いてエッチングすることにより、第 2 半導体層 114 に所定の第 1 トレンチ 116 を形成する（図 2（b）参照。）。

[0042] (3) 第 1 絶縁膜形成工程

次に、第 2 半導体層 114 の表面上（第 1 トレンチ 116 の内部も含む）に、CVD 法により、所定の厚さのシリコン酸化膜 126 a' を形成する（図 2（c）参照。）。シリコン酸化膜 126 a' の厚さは、例えば $0.5\mu\text{m}$ ～ $5\mu\text{m}$ の範囲内にある。次に、エッチングバックにより第 1 トレンチ 116 の下部以外の部分の当該シリコン酸化膜 126 a' を取り除き、第 1 トレンチ 116 の下部を埋めるように第 1 絶縁膜 126 a を形成する（図 2（d）参照。）。

[0043] (4) ゲート絶縁膜形成工程

次に、熱酸化法によって、第1トレンチ116の上部の側壁の表面上、第1絶縁膜126a及び第2半導体層114の表面上（第1トレンチ116の上部の側壁の表面上を含む。）にシリコン酸化膜を形成する（図3（a）参照。）。第1トレンチ116の上部の側壁に形成されたシリコン酸化膜がゲート絶縁膜118を構成する。ゲート絶縁膜118の厚さは、例えば20nm～200nmの範囲内にある。

[0044] (5) ゲート電極形成工程

次に、CVD法によって、シリコン酸化膜の表面上にポリシリコン層120'を形成する（図3（b）参照。）。次に、ポリシリコン層120'をエッチングバックすることにより、ポリシリコンからなるゲート電極120を形成する（図3（c）参照。）。ゲート電極層形成工程においては、第1トレンチ116内において、所定の間隔で離間した位置にゲート電極120が形成されるようにポリシリコン層120'をエッチバックする。

[0045] (6) ベース領域128、ソース領域130及びコンタクト領域132形成工程

次に、平面的に見て第1トレンチ116が形成されていない領域における第2半導体層114の表面にp型不純物（例えば、ボロン）をイオン注入する。次に、第2半導体層114にコンタクト領域132に対応する開口を有するマスク（図示せず。）を形成し、当該マスクを介してより高い不純物濃度、かつ、より浅い深さ位置にp型不純物（例えば、ボロン）をイオン注入する（図3（d）参照。）。次に、第2半導体層114の表面にソース領域130に対応する開口を有するマスク（図示せず。）を形成し、当該マスクを介してn型不純物（例えば、リン）をイオン注入する（図4（a）参照。）。次に、第2半導体層114にイオン注入したp型不純物及びn型不純物を熱拡散することにより、ベース領域128、ソース領域130及びコンタクト領域132を形成する（図4（b）参照。）。

[0046] (7) 第2トレンチ形成工程

次に、第1絶縁膜126aの中央部に開口を有するマスク（図示せず。）を形成し、当該マスクを用いて第1絶縁膜126aの中央部をエッチングにより除去して第1トレンチ116内に第2トレンチ140を形成する（図4（c）参照。）。第2トレンチ140の開口幅は、第1トレンチ116内における2つのゲート電極120の間隔と等しく、例えば、 $0.1\mu\text{m} \sim 5\mu\text{m}$ の範囲内にある。

[0047] 第2トレンチ形成工程においては、第1トレンチ116の深さ位置まで第2トレンチ140を形成する。

[0048] （8）第2絶縁膜形成工程

次に、第2トレンチ140内に空隙が残存する条件で第2トレンチ140の内部に熱酸化法によって第2絶縁膜126bを形成する（図4（d）参照。）。このとき、第2半導体層114における第1トレンチ116が形成されていない領域及びゲート電極120の表面上にも第2絶縁膜126bが形成される。なお、第1絶縁膜126aと第2絶縁膜126bとで絶縁領域126を構成し、ゲート電極120上の第2絶縁膜126bは保護絶縁膜134を構成する。

[0049] 第2絶縁膜形成工程においては、厚さがゲート絶縁膜118の厚さよりも厚くなるように第2絶縁膜126bを形成する。第2絶縁膜126bの厚さは、 $0.2\mu\text{m} \sim 5\mu\text{m}$ の範囲内にある。また、空隙122の深さは、 $0.5\mu\text{m} \sim 19\mu\text{m}$ の範囲内にあり、空隙122の開口幅は、 $0.1\mu\text{m} \sim 5\mu\text{m}$ の範囲内にある。

[0050] 第2絶縁膜形成工程においては、空隙122の底と第1トレンチ116の底との間の第2絶縁膜126bの厚さを D_1 とし、空隙122の底の深さ位置における空隙122の側壁と第1トレンチ116の側壁との間の第1絶縁膜126aの厚さを d とし、空隙122の底の深さ位置における空隙122の側壁と第1トレンチ116の側壁との間の第2絶縁膜126bの厚さを D_2 としたときに、 $D_1 < d + D_2$ の関係を満たす（符号 D_1 、 D_2 、 d については、図1参照。）。

[0051] (9) シールド電極形成工程

次に、半導体基体 110 の第 2 半導体層 114 側の表面全域にポリシリコン層 124' を形成する (図 5 (a) 参照。)。次に、エッチングバックにより空隙 122 の内部以外の領域のポリシリコン層 124' を除去しシールド電極 124 を形成する (図 5 (b) 参照。)。

[0052] (10) 第 2 絶縁膜エッチングバック工程

次に、平面的に見て第 1 トレンチ 116 が形成されていない領域における第 2 絶縁膜 126 b を第 2 半導体層 114 の表面に達するまでエッチングバックにより除去する (図 5 (c) 参照。)。なお、このとき、ゲート電極 120 上の保護絶縁膜 134 も第 2 半導体層 114 の表面に達するまで除去する。

[0053] (11) ソース電極及びドレイン電極形成工程

次に、ソース領域 130、コンタクト領域 132、シールド電極 124 及び保護絶縁膜 134 の表面上に、シールド電極 124、ソース領域 130 及びコンタクト領域 132 に直接接続するようにソース電極 136 を形成する。また、第 1 半導体層 112 の表面上にドレイン電極 138 を形成する (図 5 (d) 参照。)。

[0054] このようにして実施形態 1 に係る半導体装置 100 を製造することができる。

[0055] 4. 実施形態 1 に係る半導体装置の製造方法の効果

実施形態 1 に係る半導体装置の製造方法によれば、ゲート電極形成工程の後段にシールド電極形成工程を含むため、ソース電極形成工程の前段までにシールド電極 124 の上部には絶縁膜 (例えば、ゲート絶縁膜及び保護絶縁膜) が形成されない。従って、当該絶縁膜を除去する絶縁膜除去工程が必要でなくなり、シールド電極 124 とソース電極 136 との接続を取るための工程を簡略化できる。

[0056] また、実施形態 1 に係る半導体装置の製造方法によれば、第 1 絶縁膜 126 a の中央部をエッチングにより除去して第 1 トレンチ 116 内に第 2 トレ

ンチ 140 を形成した後、第 2 トレンチ 140 内に空隙が残存する条件で第 2 トレンチ 140 の内部に第 2 絶縁膜 126b を形成するため、シールド電極底部側の絶縁膜（第 2 絶縁膜）の厚さとシールド電極側部側の絶縁膜（第 1 絶縁膜及び第 2 絶縁膜）の厚さを任意の厚さに設定することが容易となり、その結果、高い設計自由度で半導体装置を製造することができる。

[0057] なお、一般に、単結晶シリコンを熱酸化させて形成された酸化膜と、ポリシリコンを熱酸化させて形成した酸化膜とは、膜質が異なると考えられる。すなわち、単結晶シリコンを熱酸化させて形成された酸化膜には SiO_2 の割合が比較的高いと考えられるのに対して、ポリシリコンを熱酸化させて形成した酸化膜には、 SiO_2 の他に SiO_x の割合が高いものと考えられる。従って、ゲート電極 120 のポリシリコンを熱酸化させて形成した酸化膜（ゲート電極 120 とシールド電極 124 との間の酸化膜）にばらつきが生じ易く、ゲート電極 120 とシールド電極 124 との間の ESD 耐量にばらつきが生じやすいと考えられる。

しかしながら、実施形態 1 に係る半導体装置の製造方法によれば、上記したようにシールド電極底部側の絶縁膜（第 2 絶縁膜）の厚さとシールド電極側部側の絶縁膜（第 1 絶縁膜及び第 2 絶縁膜）の厚さを任意の厚さに設定することが容易であるため、ESD 耐量のばらつきの少ない半導体装置を製造することができる。

[0058] また、実施形態 1 に係る半導体装置の製造方法によれば、第 2 絶縁膜形成工程においては、厚さがゲート絶縁膜 118 の厚さよりも厚くなるように第 2 絶縁膜 126b を形成するため、従来の半導体装置 900 よりもゲート・ソース間の耐圧を高くすることができる。

[0059] また、実施形態 1 に係る半導体装置の製造方法は、第 2 絶縁膜形成工程において、空隙 122 の底と第 1 トレンチ 116 の底との間の第 2 絶縁膜 126b の厚さを D_1 とし、空隙 122 の底の深さ位置における空隙 122 の側壁と第 1 トレンチ 116 の側壁との間の第 1 絶縁膜 126a の厚さを d とし、空隙 122 の底の深さ位置における空隙 122 の側壁と第 1 トレンチ 11

6の側壁との間の第2絶縁膜126bの厚さを D_2 としたときに、 $D_1 < d + D_2$ の関係を満たすように第2絶縁膜126bを形成する（図1参照。）

。

このような方法とすることにより、（1）シールド電極124を深い深さ位置まで形成することができ、逆バイアス時において、深い位置まで空乏層を到達させることができる。その結果、ソース・ドレイン間の耐圧を高くすることができる。また、（2）電界集中が起こり易い第1トレンチ116の角部からゲート電極120までの距離を長くでき、さらには、第1絶縁膜126a及び第2絶縁膜126bで電界を緩和することができる結果、この観点からも耐圧を高くできる。

[0060] また、実施形態1に係る半導体装置の製造方法は、第2トレンチ形成工程においては、第1トレンチ116の深さ位置まで第2トレンチ140を形成する。第1トレンチ116の深さ位置は、第1絶縁膜126aと第2半導体層114との境界面であり、第1絶縁膜126a（材質は酸化膜）と第2半導体層114（シリコン）とは材質が異なることから、このような構成とすることにより、第2トレンチ形成工程で行われるエッチングを高い精度で第1トレンチ116の深さ位置で停止させることができ、その結果、深さが高い精度で均一な第2トレンチ140を形成することができる。

[0061] また、実施形態1に係る半導体装置の製造方法によれば、ソース電極形成工程においては、シールド電極124、ソース領域130及びコンタクト領域132に直接接続するようにソース電極136を形成するため、ソース電極136とソース領域130及びコンタクト領域132との接触面積が大きく、コンタクト抵抗を小さくすることができる。

[0062] また、実施形態1に係る半導体装置の製造方法によれば、第1絶縁膜形成工程においては、CVD法によって第1絶縁膜126aを形成するため、熱酸化法の場合よりも比較的低温で第1絶縁膜126aを形成することができる、半導体基体110に対する加熱のダメージを低減することができる。

[0063] また、実施形態1に係る半導体装置の製造方法によれば、第2絶縁膜形成

工程においては、熱酸化法によって第2絶縁膜126bを形成するため、比較的狭い空隙122内でも絶縁膜を形成することができる。

[0064] [実施形態2]

実施形態2に係る半導体装置102は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、ソース電極が金属プラグを介してソース領域と接続されている点で実施形態1に係る半導体装置100の場合とは異なる。すなわち、実施形態2に係る半導体装置102においては、図6に示すように、第2絶縁膜126bがソース電極136とソース領域130との間にも形成されており、第2絶縁膜126bには所定の開口142が形成されており、当該開口142の内部に金属を充填してなる金属プラグ144が形成されている。

[0065] 実施形態2に係る半導体装置102は、以下に説明する実施形態2に係る半導体装置の製造方法により製造することができる。

[0066] 実施形態2に係る半導体装置の製造方法は、基本的には実施形態1に係る半導体装置の製造方法と同様の工程を含むが、金属プラグ形成工程を含む点で実施形態1に係る半導体装置の製造方法とは異なる。すなわち、実施形態2に係る半導体装置の製造方法においては、シールド電極形成工程（図5（b）参照。）とソース電極形成工程（図5（d）参照。）との間に、図7に示すように、第2絶縁膜126bに所定の開口142をベース領域128に達するように形成する開口形成工程（図7（a）参照。）と、開口142の内部に金属を充填して金属プラグ144を形成する金属プラグ形成工程（図7（b）参照。）とをさらに含む。

[0067] ソース電極形成工程においては、シールド電極124に直接接続し、かつ、ソース領域130及びベース領域128に金属プラグ144を介して接続するようにソース電極136を形成する（図7（c）参照。）。

[0068] 開口142及び金属プラグ144はストライプ状に形成されており、ストライプ幅は、例えば0.5 μm である。開口142の内表面には、バリアメタル（図示せず）が形成されており、金属プラグ144は、当該バリアメタル

ルを介して所定の金属が開口 1 4 2 の内部に充填されてなる。所定の金属は、例えば、タングステンである。

[0069] このように、実施形態 2 に係る半導体装置の製造方法は、金属プラグ形成工程を含む点で実施形態 1 に係る半導体装置の製造方法とは異なるが、実施形態 1 に係る半導体装置の製造方法と同様に、ゲート電極形成工程の後段にシールド電極形成工程を含むため、ソース電極形成工程の前段までにシールド電極 1 2 4 の上部には絶縁膜が形成されない。従って、当該絶縁膜を除去する絶縁膜除去工程が必要でなくなり、シールド電極 1 2 4 とソース電極 1 3 6 との接続を取るための工程を簡略化できる。

[0070] また、実施形態 2 に係る半導体装置の製造方法によれば、シールド電極形成工程とソース電極形成工程との間に、第 2 絶縁膜 1 2 6 b に所定の開口を形成する開口形成工程と、開口 1 4 2 の内部に金属を充填して金属プラグ 1 4 4 を形成する金属プラグ形成工程とをさらに含み、ソース電極形成工程においては、シールド電極 1 2 4 に直接接続し、かつ、ソース領域 1 3 0 及びベース領域 1 2 8 に金属プラグ 1 4 4 を介して接続するようにソース電極 1 3 6 を形成するため、ソース電極がソース領域と直接コンタクトしている半導体装置の製造方法の場合のように、保護絶縁膜を大量に除去して大きな開口を形成する必要がなく、微細化された半導体装置を製造することができる。その結果、実施形態 2 に係る半導体装置の製造方法は、電子機器の低コスト化及び小型化の要請に適う半導体装置を製造することができる。

[0071] なお、実施形態 2 に係る半導体装置の製造方法は、金属プラグ形成工程を含む点以外の点においては実施形態 1 に係る半導体装置の製造方法と同様の工程を含むため、実施形態 1 に係る半導体装置の製造方法が有する効果のうち該当する効果を有する。

[0072] [実施形態 3]

実施形態 3 に係る半導体装置 1 0 4 は、基本的には実施形態 1 に係る半導体装置 1 0 0 と同様の構成を有するが、トレンチの形状が実施形態 1 に係る半導体装置 1 0 0 の場合とは異なる。すなわち、実施形態 3 に係る半導体装

置 1 0 4 のトレンチ 1 1 6 においては、図 8 に示すように、平面的に見てシールド電極 1 2 4 が形成されている領域におけるトレンチ 1 1 6 の深さが、平面的に見てシールド電極 1 2 4 が形成されていない領域におけるトレンチ 1 1 6 の深さよりも深い。

[0073] 実施形態 3 に係る半導体装置 1 0 4 は、以下に説明する実施形態 3 に係る半導体装置の製造方法により製造することができる。

[0074] 実施形態 3 に係る半導体装置の製造方法は、基本的には実施形態 1 に係る半導体装置の製造方法と同様の工程を含むが、第 2 トレンチ形成工程で形成する第 2 トレンチの深さが実施形態 1 に係る半導体装置の製造方法とは異なる。すなわち、実施形態 3 に係る半導体装置の製造方法の第 2 トレンチ形成工程においては、図 9 (a) に示すように、第 1 トレンチ 1 1 6 の深さ位置よりも深い深さ位置まで第 2 トレンチ 1 4 0 a を形成する。

[0075] 第 2 絶縁膜形成工程においては、第 1 トレンチ 1 1 6 の深さ位置よりも深い深さ位置に形成された第 2 トレンチ 1 4 0 a の表面上にも第 2 絶縁膜 1 2 6 b が形成されている（図 9 (b) 参照。）。

その後、シールド電極層形成工程を実施する（図 9 (c) 参照。）。

[0076] このように、実施形態 3 に係る半導体装置の製造方法は、第 2 トレンチ形成工程で形成する第 2 トレンチの深さが実施形態 1 に係る半導体装置の製造方法とは異なるが、実施形態 1 に係る半導体装置の製造方法と同様に、ゲート電極形成工程の後段にシールド電極形成工程を含むため、ソース電極形成工程の前段までにシールド電極 1 2 4 の上部には絶縁膜（例えば、ゲート絶縁膜及び保護絶縁膜）が形成されない。従って、当該絶縁膜を除去する絶縁膜除去工程が必要でなくなり、シールド電極 1 2 4 とソース電極 1 3 6 との接続を取るための工程を簡略化できる。

[0077] また、実施形態 3 に係る半導体装置の製造方法によれば、第 2 トレンチ形成工程においては、第 1 トレンチ 1 1 6 の深さ位置よりも深い深さ位置まで第 2 トレンチ 1 4 0 a を形成するため、シールド電極 1 2 4 を深い深さ位置まで形成することができる。従って、製造された半導体装置は、逆バイアス

時において、深い位置まで空乏層を到達させることができ、ソース・ドレイン間の耐圧を高くすることができる。

[0078] また、実施形態3に係る半導体装置の製造方法によれば、第2トレンチ形成工程においては、第1トレンチ116の深さ位置よりも深い深さ位置まで第2トレンチ140aを形成するため、第1トレンチ116の深さ位置でエッチングを停止させるために高い精度でエッチングをコントロールする必要がなく、比較的容易に半導体装置を製造することができる。

[0079] また、実施形態3に係る半導体装置104によれば、平面的に見てシールド電極124が形成されている領域におけるトレンチ116の深さが、平面的に見てシールド電極124が形成されていない領域におけるトレンチ116の深さよりも深いことから、シールド電極124を深い深さ位置まで形成することができる。従って、逆バイアス時において、深い位置まで空乏層を到達させることができ、ソース・ドレイン間の耐圧を高くすることができる。

[0080] なお、実施形態3に係る半導体装置の製造方法は、第2トレンチ形成工程で形成する第2トレンチの深さ以外の点においては実施形態1に係る半導体装置の製造方法と同様の工程を含むため、実施形態1に係る半導体装置の製造方法が有する効果のうち該当する効果を有する。

[0081] [実施形態4]

実施形態4に係る半導体装置106は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、p型拡散領域をさらに備える点で実施形態1に係る半導体装置100の場合とは異なる。すなわち、実施形態4に係る半導体装置106においては、図10に示すように、トレンチ116の底に接するようにp型拡散領域148（第2導電型拡散領域）が形成されている。なお、p型拡散領域148の不純物濃度は、ベース領域128の不純物濃度よりも高い。

[0082] 実施形態4に係る半導体装置106は、以下に説明する実施形態4に係る半導体装置の製造方法により製造することができる。

[0083] 実施形態4に係る半導体装置の製造方法は、基本的には実施形態1に係る

半導体装置の製造方法と同様の工程を含むが、p型拡散領域形成工程を含む点で実施形態1に係る半導体装置の製造方法とは異なる。すなわち、実施形態4に係る半導体装置の製造方法においては、図11(a)及び図11(b)に示すように、第2トレンチ形成工程(図4(c)参照。)と第2絶縁膜形成工程(図4(d)参照。)との間に、第2トレンチ140の底に接するようにp型拡散領域148を形成するp型拡散領域形成工程(第2導電型拡散領域形成工程)をさらに含む。

[0084] 具体的には、第2トレンチ形成工程(図4(c)参照。)実施後、第2トレンチ140の底にp型不純物を導入し(図11(a)参照。)、p型不純物を活性化することでp型拡散領域148を形成する。その後、第2絶縁膜形成工程(図11(b)参照。)及びシールド電極形成工程(図11(c)参照。)を実施する。

[0085] このように、実施形態4に係る半導体装置の製造方法は、p型拡散領域形成工程を含む点で実施形態1に係る半導体装置の製造方法とは異なるが、実施形態1に係る半導体装置の製造方法と同様に、ゲート電極形成工程の後段にシールド電極形成工程を含むため、ソース電極形成工程の前段までにシールド電極124の上部には絶縁膜(例えば、ゲート絶縁膜及び保護絶縁膜)が形成されない。従って、当該絶縁膜を除去する絶縁膜除去工程が必要でなくなり、シールド電極124とソース電極136との接続を取るための工程を簡略化できる。

[0086] また、実施形態4に係る半導体装置の製造方法によれば、第2トレンチ形成工程と第2絶縁膜形成工程との間に、第2トレンチ140の底に接するようにp型拡散領域148を形成するp型拡散領域形成工程を含むため、逆バイアス時において、深い位置まで空乏層を到達させることができる。その結果、ソース・ドレイン間の耐圧を高くすることができる。

[0087] なお、実施形態4に係る半導体装置の製造方法は、p型拡散領域形成工程を含む点以外の点においては実施形態1に係る半導体装置の製造方法と同様の工程を含むため、実施形態1に係る半導体装置の製造方法が有する効果の

うち該当する効果を有する。

[0088] [実施形態5]

実施形態5に係る半導体装置108は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、シールド電極の形状が実施形態1に係る半導体装置100の場合とは異なる。すなわち、実施形態4に係る半導体装置106においては、図12に示すように、シールド電極124aが底狭テーパ形状の側面を有する。

[0089] 実施形態5に係る半導体装置108は、以下に説明する実施形態5に係る半導体装置の製造方法により製造することができる。

[0090] 実施形態5に係る半導体装置の製造方法は、基本的には実施形態1に係る半導体装置の製造方法と同様の工程を含むが、第2トレンチ形成工程において形成する第2トレンチの形状が実施形態1に係る半導体装置の製造方法とは異なる。すなわち、実施形態5に係る半導体装置の製造方法の第2トレンチ形成工程においては、図13(a)に示すように、第2トレンチ140bとして、底狭テーパ形状の側面を有するトレンチを形成する。

第2トレンチ形成工程においては、エッチングガスの条件（エッチングガスの種類、温度等）を調整することによって底狭テーパ形状の側面を有するトレンチを形成する。

[0091] その後、第2絶縁膜形成工程においては、第2トレンチ140bの表面に沿って第2絶縁膜126bを形成するため、空隙122aも底狭テーパ形状の側面を有する（具体的には、空隙122aの形状は、下に凸となる三角形形状になる。）（図13(b)参照。）。

[0092] その後、シールド電極形成工程においては、上記した空隙122aにポリシリコンを埋め込むことにより底狭テーパ形状の側面を有するシールド電極124aを形成することができる（図13(c)参照。）。

[0093] このように、実施形態5に係る半導体装置の製造方法は、第2トレンチ形成工程において形成する第2トレンチの形状が実施形態1に係る半導体装置の製造方法とは異なるが、実施形態1に係る半導体装置の製造方法と同様に

、ゲート電極形成工程の後段にシールド電極形成工程を含むため、ソース電極形成工程の前段までにシールド電極 1 2 4 の上部には絶縁膜（例えば、ゲート絶縁膜及び保護絶縁膜）が形成されない。従って、当該絶縁膜を除去する絶縁膜除去工程が必要でなくなり、シールド電極 1 2 4 とソース電極 1 3 6 との接続を取るための工程を簡略化できる。

[0094] また、実施形態 5 に係る半導体装置の製造方法によれば、第 2 トレンチ形成工程においては、第 2 トレンチ 1 4 0 b として、底狭テーパ形状の側面を有するトレンチを形成するため、シールド電極 1 2 4 a の上部にかかる電圧がシールド電極 1 2 4 a の下部にかかる電圧よりも高くなる。従って、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができ、その結果、スイッチオフ時にサージ電圧を低減することができる。

[0095] なお、実施形態 5 に係る半導体装置の製造方法は、第 2 トレンチ形成工程において形成する第 2 トレンチの形状以外の点においては実施形態 1 に係る半導体装置の製造方法と同様の工程を含むため、実施形態 1 に係る半導体装置の製造方法が有する効果のうち該当する効果を有する。

[0096] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0097] （１）上記実施形態において記載した構成要素の数、材質、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

[0098] （２）上記各実施形態においては、CVD 法によって第 1 絶縁膜を形成したが、本発明はこれに限定されるものではない。熱酸化法によって第 1 絶縁膜を形成してもよい。

[0099] （３）上記各実施形態においては、熱酸化法によって第 2 絶縁膜を形成したが、本発明はこれに限定されるものではない。CVD 法によって第 2 絶縁膜を形成してもよい。

- [0100] (4) 上記実施形態 1, 2, 4 及び 5 の第 2 トレンチ形成工程においては、第 1 トレンチの深さ位置まで第 2 トレンチを形成し、上記実施形態 3 の第 2 トレンチ形成工程においては、第 1 トレンチの深さ位置よりも深い深さ位置まで第 2 トレンチを形成したが、本発明はこれに限定されるものではない。第 2 トレンチ形成工程においては、第 1 トレンチの深さ位置よりも浅い深さ位置まで第 2 トレンチを形成してもよい。
- [0101] (5) 上記各実施形態の第 2 絶縁膜形成工程において、 $D1 < d + D2$ の関係を満たすように第 2 絶縁膜を形成したが、本発明はこれに限定されるものではない。第 2 絶縁膜形成工程において、 $D1 = d + D2$ の関係を満たすように第 2 絶縁膜を形成ししてもよい。この場合には、第 2 トレンチ形成工程において、第 1 トレンチの深さ位置よりも浅い深さ位置まで第 2 トレンチを形成する。
- [0102] (6) 上記各実施形態においては、p 型不純物を導入した後 n 型不純物を導入したが、本発明はこれに限定されるものではない。n 型不純物を導入した後 p 型不純物を導入してもよい。
- [0103] (7) 上記各実施形態においては、p 型不純物及び n 型不純物を導入した後一括して不純物を活性化したが、本発明はこれに限定されるものではない。各不純物を導入するたびに活性化してもよい。
- [0104] (8) 上記各実施形態においては、シールド電極を形成する前にベース領域 128、ソース領域 130 及びコンタクト領域 132 を形成したが、本発明はこれに限定されるものではない。シールド電極を形成した後にベース領域 128、ソース領域 130 及びコンタクト領域 132 を形成してもよい。
- [0105] (9) 上記各実施形態においては、トレンチ（第 1 トレンチ）、ゲート電極及びシールド電極をそれぞれ、平面的に見てストライプ状に形成したが、本発明はこれに限定されるものではない。トレンチ（第 1 トレンチ）、ゲート電極及びシールド電極をそれぞれ、平面的に見て格子状や点状（立体的に見て柱状）に形成してもよい。
- [0106] (10) 上記各実施形態においては、シールド電極の材料としてポリシリコ

ンを用いたが、本発明はこれに限定されるものではない。シールド電極の材料として金属を用いてもよい。

[0107] (11) 上記各実施形態においては、半導体装置として、MOSFETを例にして説明したが、本発明はこれに限定されるものではない。本発明は、MOSFET以外の他のデバイスにも本発明の趣旨を逸脱しない範囲で種々に適用可能である。

符号の説明

[0108] 100, 102, 104, 106, 108, 900…半導体装置、110, 910…半導体基体、112, 912…第1半導体層、114, 914…第2半導体層、116, 116a、916…第1トレンチ（トレンチ）、118, 918…ゲート絶縁膜、126a'…シリコン酸化膜、120, 920…ゲート電極、120', 124'…ポリシリコン層、122, 122a…空隙、124, 124a、924…シールド電極、126…絶縁領域、126a, 926…第1絶縁膜、126b…第2絶縁膜、128, 928…ベース領域、130, 930…ソース領域、132, 932…コンタクト領域、134, 134a, 934…保護絶縁膜、136, 936…ソース電極、138, 938…ドレイン電極、140, 140a…第2トレンチ、142…開口、144…金属プラグ、148…p型拡散領域、922…第1空隙、950…凹部、952…第2空隙

請求の範囲

- [請求項1] ゲート電極とシールド電極とが平面方向に分離された平面方向分離型のシールドゲート構造を備える半導体装置の製造方法であって、
- 第1導電型の第1半導体層及び当該第1半導体層よりも低濃度の第1導電型の第2半導体層を有する半導体基体を準備する半導体基体準備工程と、
- 前記第2半導体層に所定の第1トレンチを形成する第1トレンチ形成工程と、
- 前記第1トレンチの下部を埋めるように第1絶縁膜を形成する第1絶縁膜形成工程と、
- 前記第1トレンチの上部の側壁にゲート絶縁膜を形成するゲート絶縁膜形成工程と、
- 前記ゲート絶縁膜を介して、ポリシリコンからなる前記ゲート電極を形成するゲート電極形成工程と、
- 前記第1絶縁膜の中央部をエッチングにより除去して前記第1トレンチ内に第2トレンチを形成する第2トレンチ形成工程と、
- 前記第2トレンチ内に空隙が残存する条件で少なくとも前記第2トレンチの内部に第2絶縁膜を形成する第2絶縁膜形成工程と、
- 前記空隙内に前記シールド電極を形成するシールド電極形成工程と、
- 、
- 前記シールド電極と電氣的に接続するようにソース電極を形成するソース電極形成工程とをこの順序で含むことを特徴とする半導体装置の製造方法。
- [請求項2] 前記第2絶縁膜形成工程においては、厚さが前記ゲート絶縁膜の厚さよりも厚くなるように前記第2絶縁膜を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第2絶縁膜形成工程において、前記空隙の底と前記第1トレンチの底との間の前記第2絶縁膜の厚さをD1とし、前記空隙の前記底

の深さ位置における前記空隙の側壁と前記第 1 トレンチの側壁との間の前記第 1 絶縁膜の厚さを d とし、前記空隙の前記底の深さ位置における前記空隙の前記側壁と前記第 1 トレンチの前記側壁との間の前記第 2 絶縁膜の厚さを D_2 としたときに、 $D_1 \leq d + D_2$ の関係を満たすように前記第 2 絶縁膜を形成することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

[請求項4] 前記第 2 トレンチ形成工程においては、前記第 1 トレンチの深さ位置まで前記第 2 トレンチを形成することを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体装置の製造方法。

[請求項5] 前記第 2 トレンチ形成工程においては、前記第 1 トレンチの深さ位置よりも深い深さ位置まで前記第 2 トレンチを形成することを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体装置の製造方法。

[請求項6] 前記第 2 トレンチ形成工程と前記第 2 絶縁膜形成工程との間に、前記第 2 トレンチの底に接するように第 2 導電型拡散領域を形成する第 2 導電型拡散領域形成工程をさらに含むことを特徴とする請求項 1 ～ 5 のいずれかに記載の半導体装置の製造方法。

[請求項7] 前記第 2 トレンチ形成工程においては、前記第 2 トレンチとして、底狭テーパ形状の側面を有するトレンチを形成することを特徴とする請求項 1 ～ 6 のいずれかに記載の半導体装置の製造方法。

[請求項8] 前記ゲート電極形成工程と前記第 2 トレンチ形成工程との間に、平面的に見て前記第 1 トレンチが形成されていない領域における前記第 2 半導体層の表面に第 2 導電型のベース領域を形成するベース領域形成工程と、前記ベース領域の表面に、少なくとも一部が前記第 1 トレンチの前記側壁に露出するように第 1 導電型高濃度拡散領域を形成する第 1 導電型高濃度拡散領域形成工程とをさらに含むことを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体装置の製造方法。

[請求項9] 前記ゲート電極形成工程と前記第 2 トレンチ形成工程との間に、前記ベース領域の表面の所定領域に第 2 導電型のコンタクト領域を形成

するコンタクト領域形成工程をさらに含み、

前記シールド電極形成工程と前記ソース電極形成工程との間に、平面的に見て前記第1トレンチが形成されていない領域における前記第2絶縁膜をエッチングバックにより除去する第2絶縁膜エッチングバック工程をさらに含み、

前記ソース電極形成工程においては、前記シールド電極、前記第1導電型高濃度拡散領域及び前記コンタクト領域に直接接続するように前記ソース電極を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

[請求項10] 前記シールド電極形成工程と前記ソース電極形成工程との間に、前記第2絶縁膜に所定の開口を形成する開口形成工程と、前記開口の内部に金属を充填して金属プラグを形成する金属プラグ形成工程とをさらに含み、

前記ソース電極形成工程においては、前記シールド電極に直接接続し、かつ、前記第1導電型高濃度拡散領域及び前記ベース領域に前記金属プラグを介して接続するように前記ソース電極を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

[請求項11] 前記第1絶縁膜形成工程においては、CVD法によって前記第1絶縁膜を形成することを特徴とする請求項1～10のいずれかに記載の半導体装置の製造方法。

[請求項12] 前記第1絶縁膜形成工程においては、熱酸化法によって前記第1絶縁膜を形成することを特徴とする請求項1～10のいずれかに記載の半導体装置の製造方法。

[請求項13] 前記第2絶縁膜形成工程においては、CVD法によって前記第2絶縁膜を形成することを特徴とする請求項1～12のいずれかに記載の半導体装置の製造方法。

[請求項14] 前記第2絶縁膜形成工程においては、熱酸化法によって前記第2絶縁膜を形成することを特徴とする請求項1～12のいずれかに記載の

半導体装置の製造方法。

[請求項15]

ゲート電極とシールド電極とが平面方向に分離された平面方向分離型のシールドゲート構造を備える半導体装置であって、

第1導電型の第1半導体層及び当該第1半導体層よりも低濃度の第1導電型の第2半導体層を有する半導体基体と、

前記第2半導体層の表面に位置する所定のトレンチと、

ポリシリコンからなり、前記トレンチの上部の側壁にゲート絶縁膜を介して形成された前記ゲート電極と、

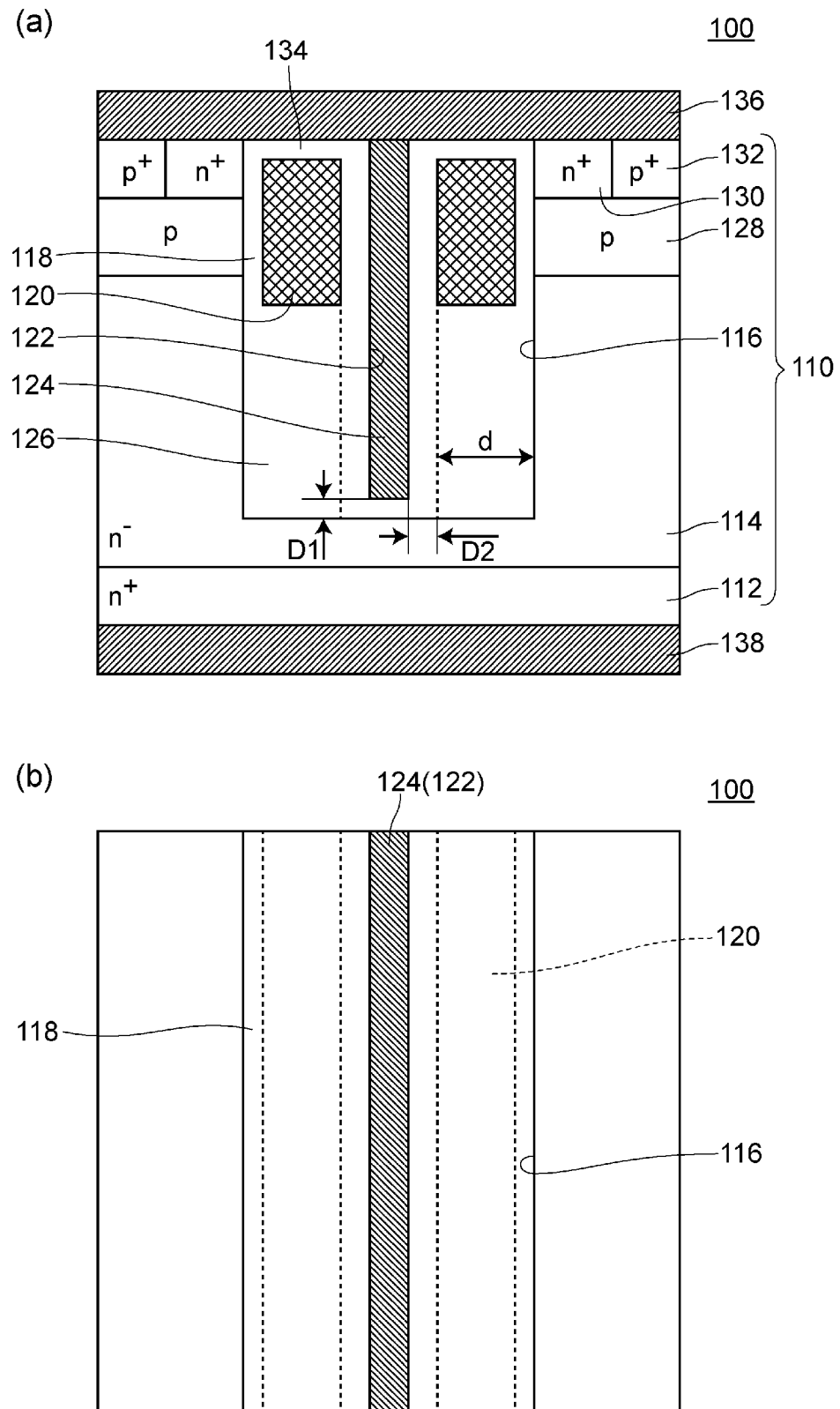
前記トレンチの中央部に、前記ゲート電極と離間した状態で形成された前記シールド電極と、

前記トレンチ内において、前記ゲート電極と前記シールド電極との間に拡がり前記ゲート電極から前記シールド電極を離隔させるとともに、前記トレンチの側壁及び底に沿って拡がり前記トレンチの前記側壁及び前記底から前記シールド電極を離隔させる絶縁領域と、

前記シールド電極と電氣的に接続されているソース電極とを備え、

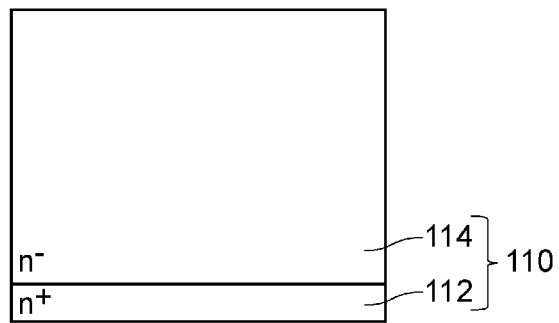
前記ゲート電極と前記シールド電極との間に介在する前記絶縁領域の厚さが前記ゲート絶縁膜よりも厚いことを特徴とする半導体装置。

[図1]

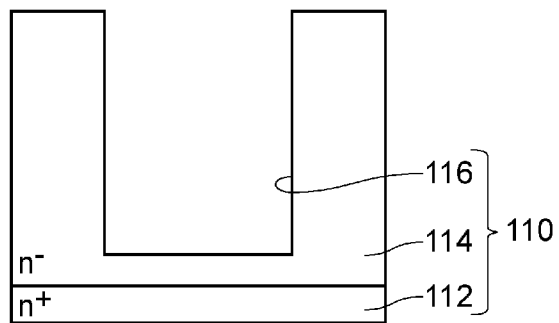


[図2]

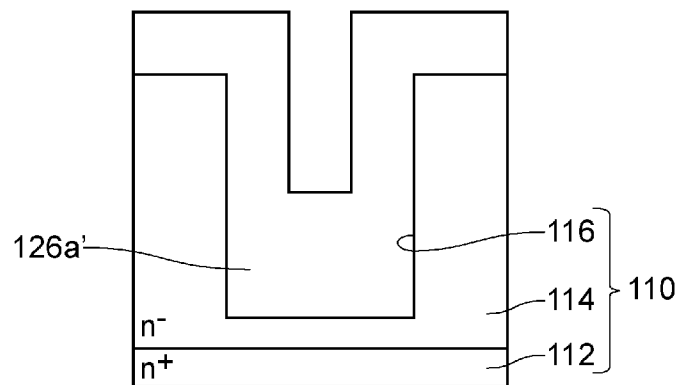
(a)



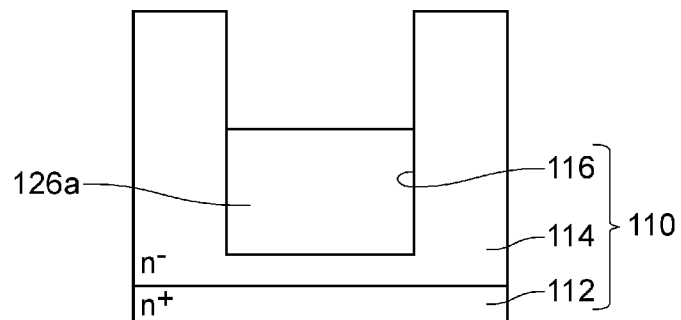
(b)



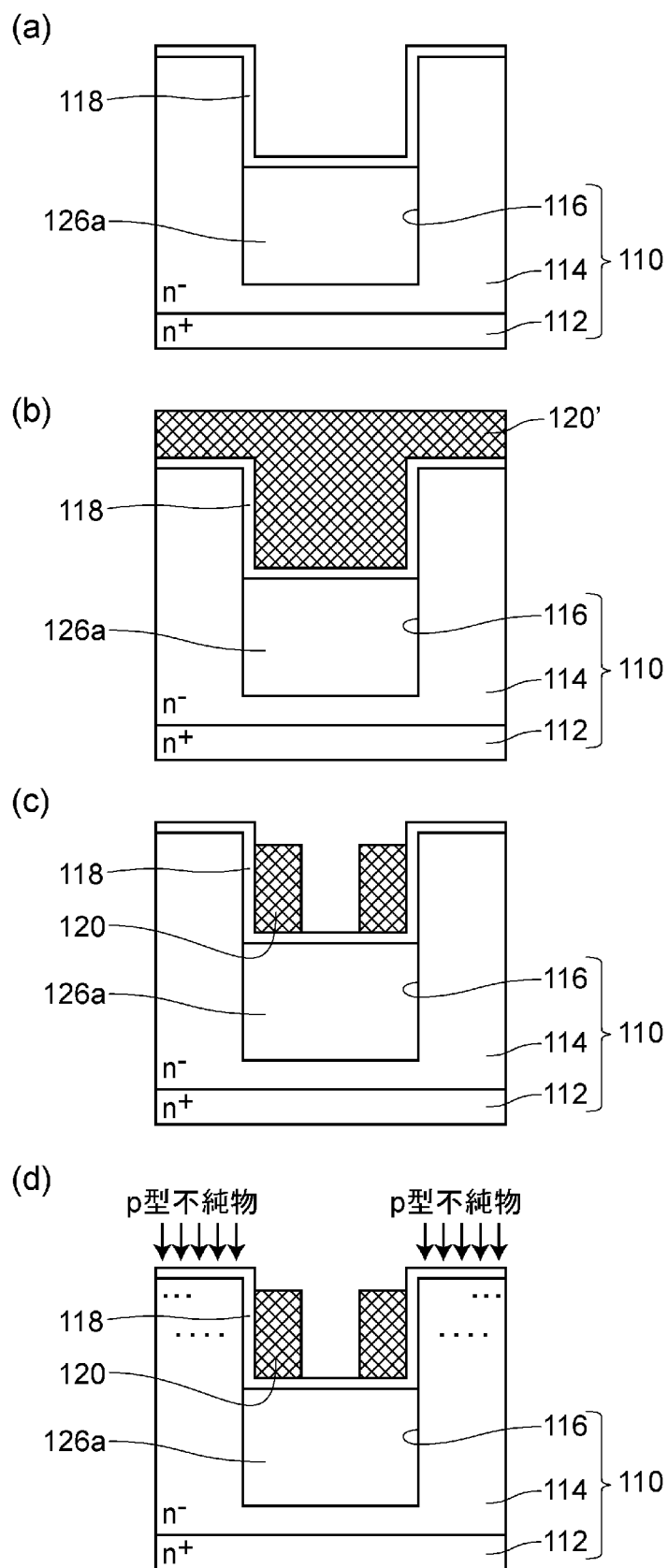
(c)



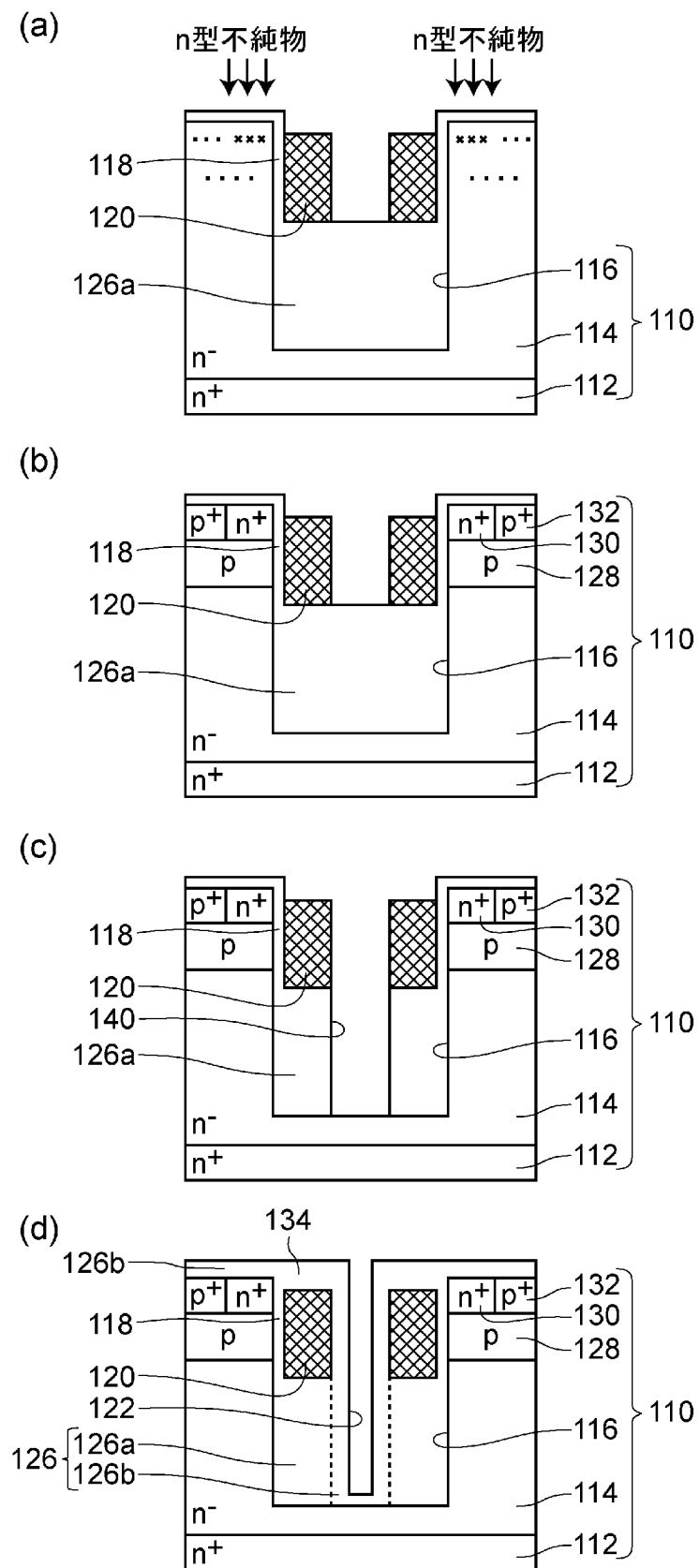
(d)



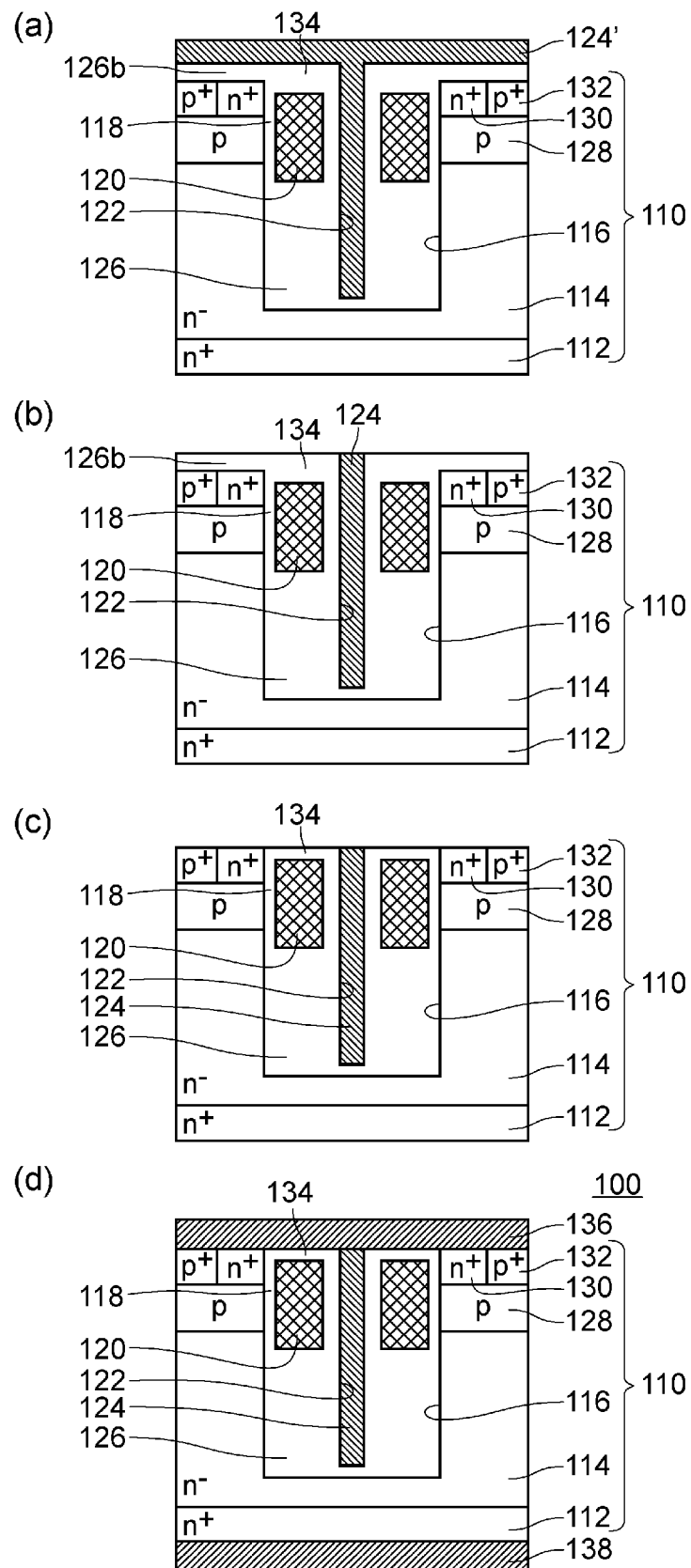
[図3]



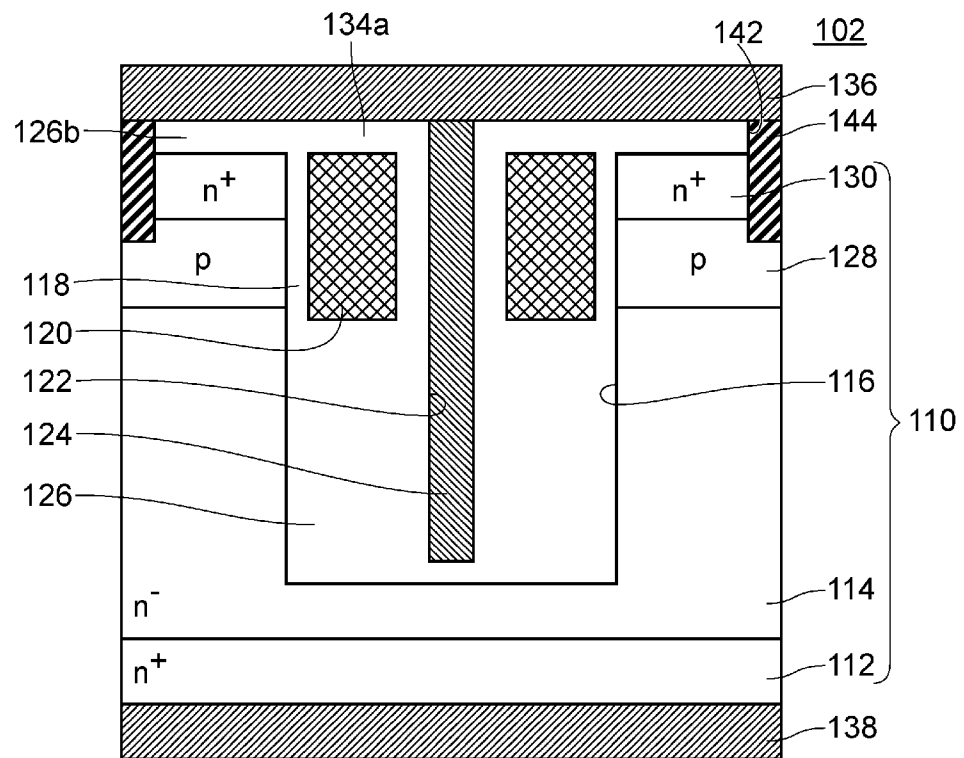
[図4]

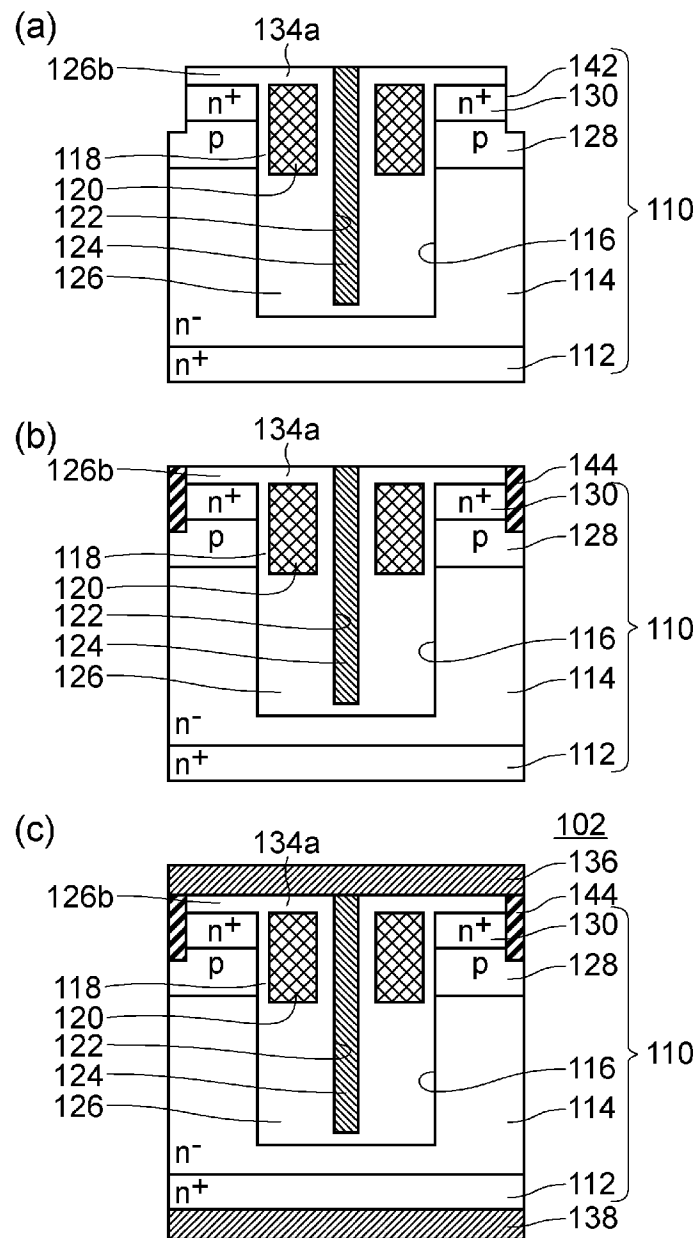


[図5]

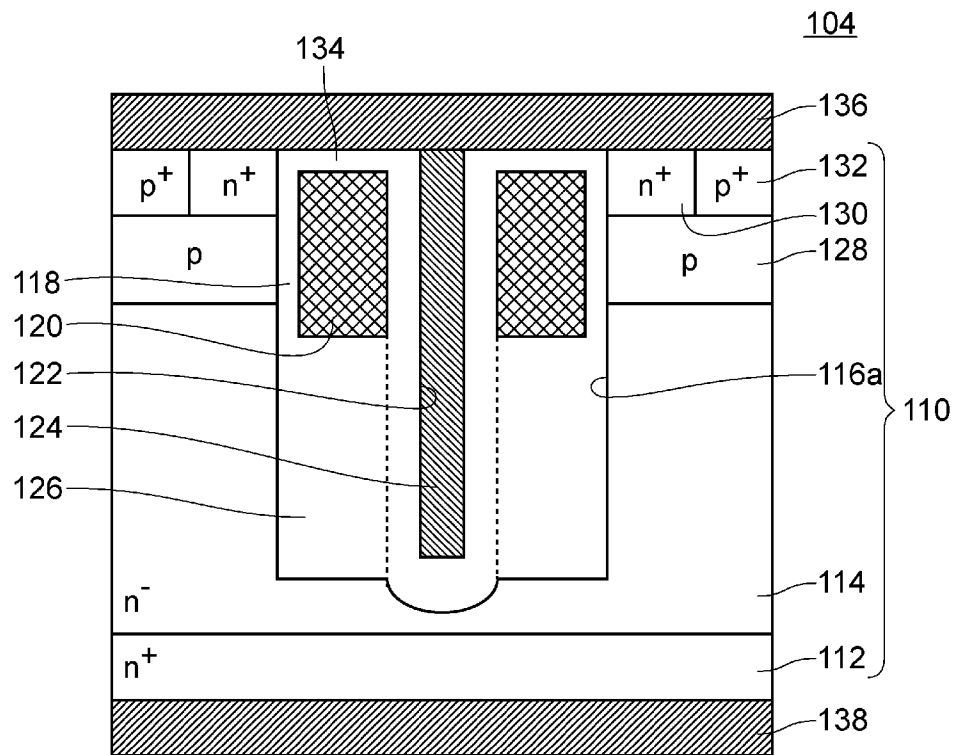


[図6]

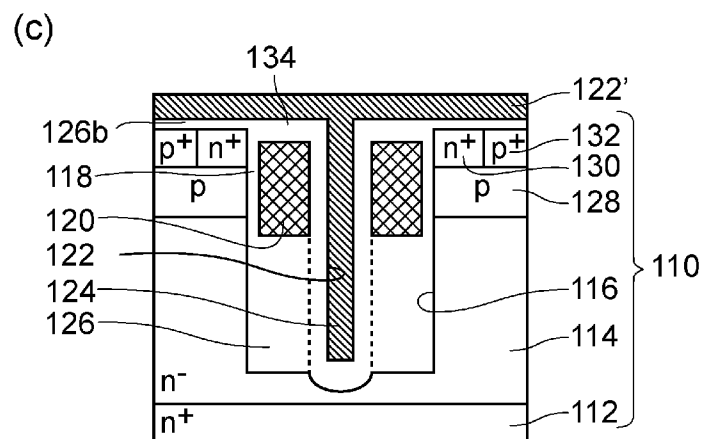
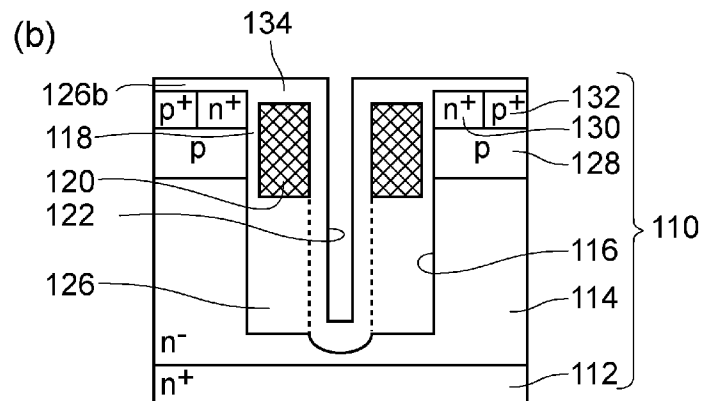
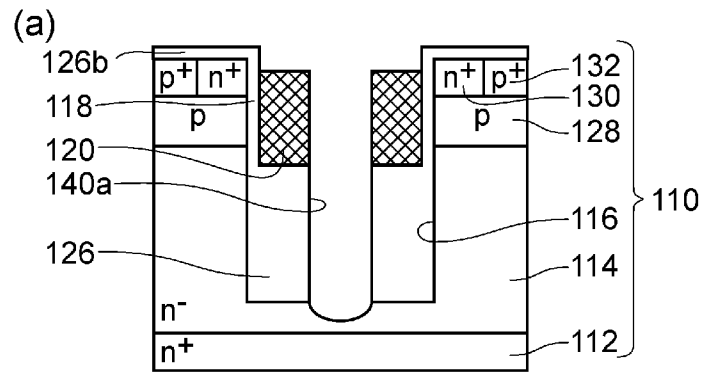




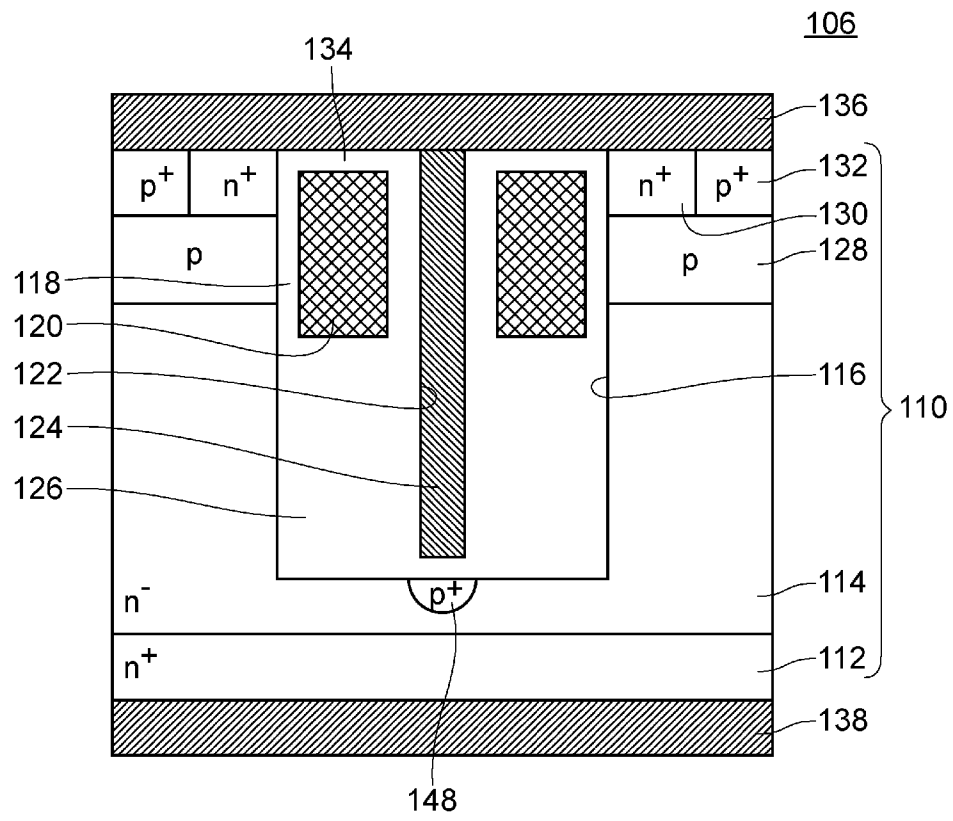
[図8]



[図9]

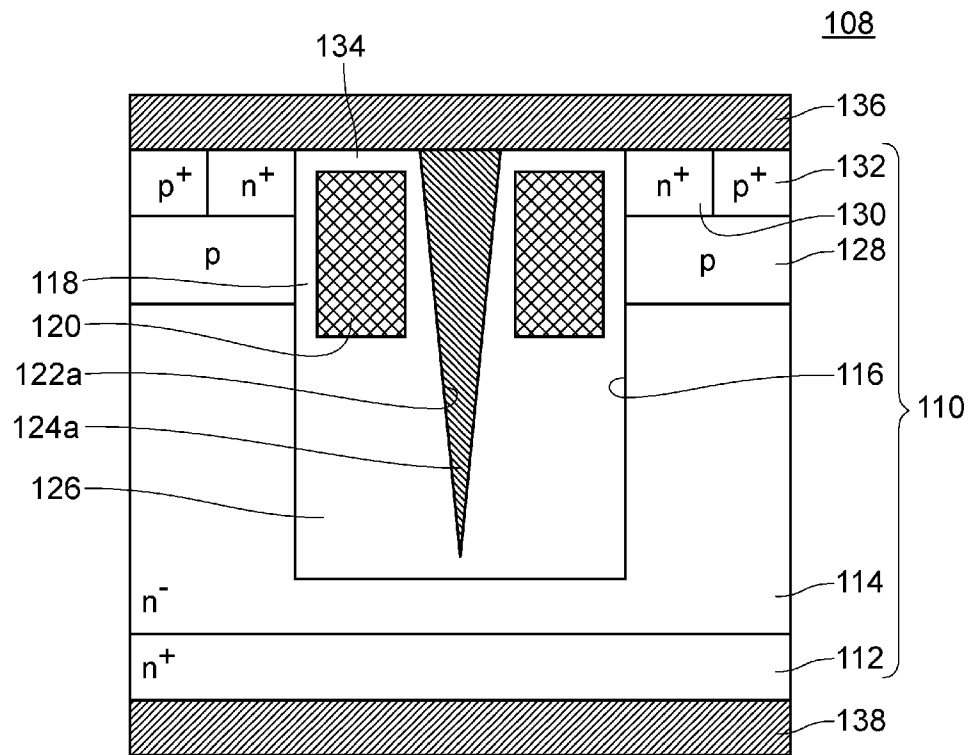


[図10]

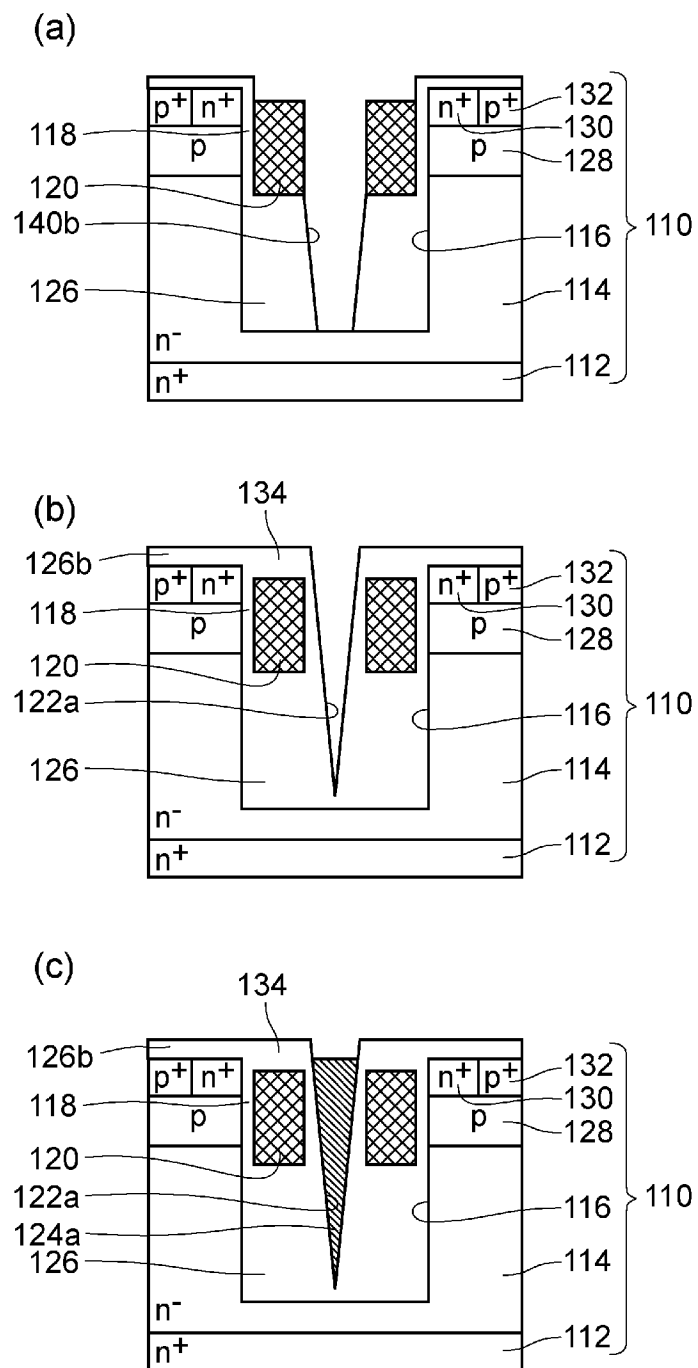


[illegible]

[図12]

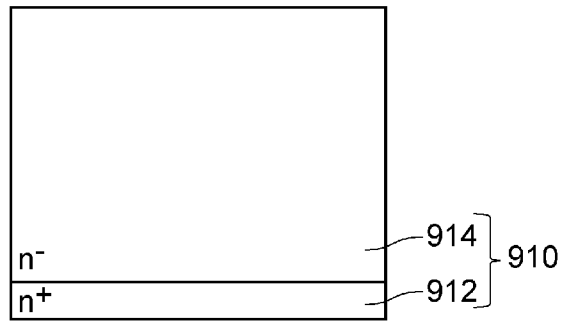


[図13]

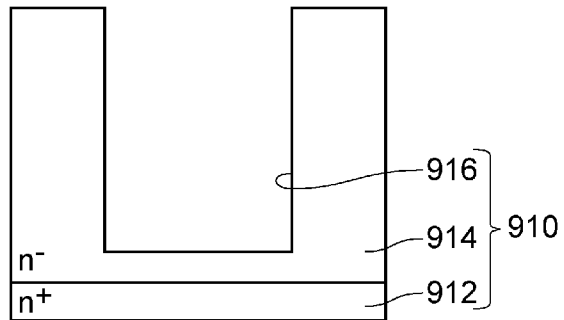


[図14]

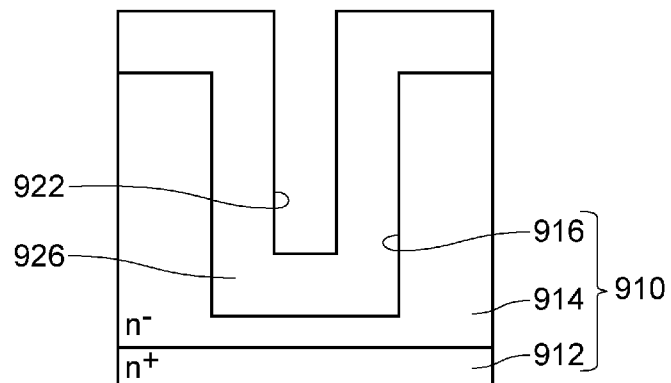
(a)



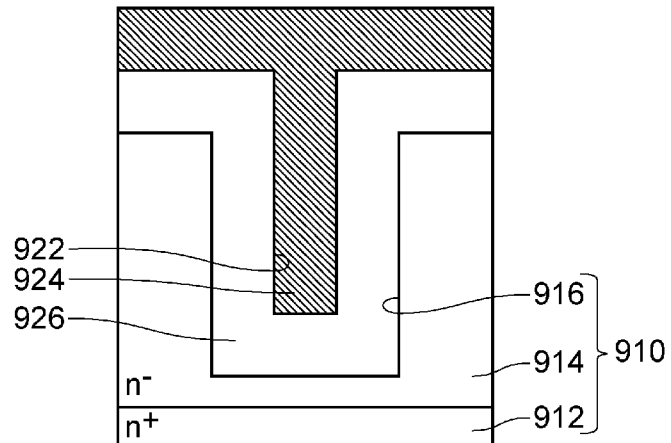
(b)



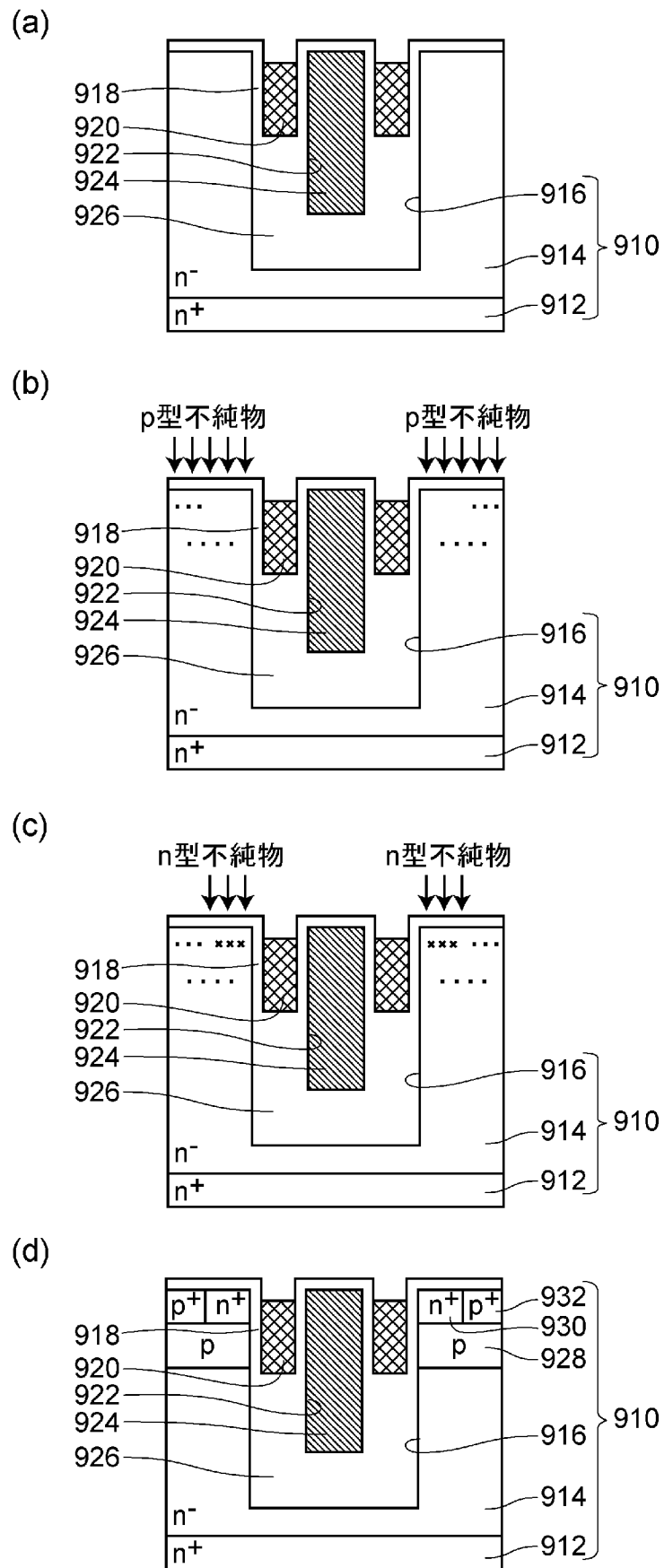
(c)



(d)

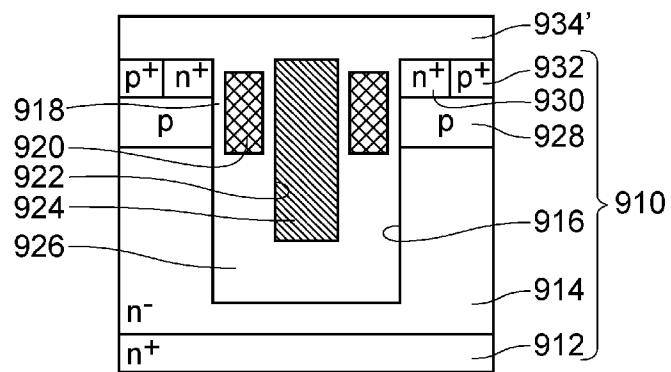


[図16]

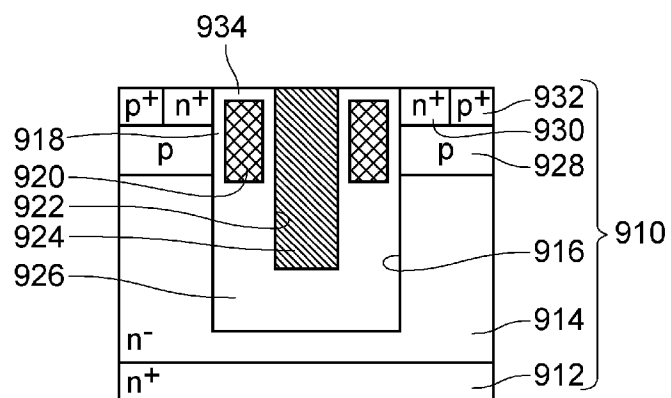


[図17]

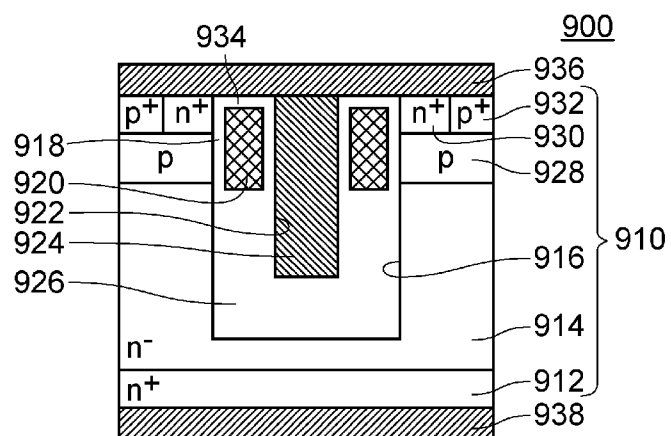
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060855

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-064641 A (Toshiba Corp.), 29 March 2012 (29.03.2012), paragraphs [0009] to [0034]; fig. 1 to 5 & US 2012/0061723 A1 paragraphs [0016] to [0041]; fig. 1 to 5D & CN 102403339 A	15 1-14
X A	US 2013/0240984 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 19 September 2013 (19.09.2013), paragraphs [0031] to [0057]; fig. 4A to 4I & CN 103311295 A & TW 201338168 A	15 1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
26 April 2016 (26.04.16)

Date of mailing of the international search report
10 May 2016 (10.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060855

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-153864 A (Power Integrations, Inc.), 08 July 2010 (08.07.2010), paragraphs [0022] to [0036]; fig. 1 to 2F & US 2010/0155773 A1 paragraphs [0028] to [0039]; fig. 1 to 2F & EP 2202800 A1 & CN 101840919 A	15 1-14
A	JP 2007-165380 A (Toshiba Corp.), 28 June 2007 (28.06.2007), paragraphs [0010] to [0025]; fig. 1 to 10 & US 2007/0138547 A1 paragraphs [0031] to [0052]; fig. 1 to 10	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2012-064641 A (株式会社東芝) 2012.03.29, 段落[0009]-[0034], 図 1-5 & US 2012/0061723 A1, 段落[0016]-[0041], 図 1-5D & CN 102403339 A	15 1-14
X A	US 2013/0240984 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 2013.09.19, 段落[0031]-[0057], 図 4A-4I & CN 103311295 A & TW 201338168 A	15 1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

26.04.2016

国際調査報告の発送日

10.05.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大橋 達也

5 F

4688

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-153864 A (パワー・インテグレーションズ・インコーポレーテッド) 2010.07.08, 段落[0022]-[0036], 図 1-2F & US 2010/0155773 A1, 段落[0028]-[0039], 図 1-2F & EP 2202800 A1 & CN 101840919 A	15 1-14
A	JP 2007-165380 A (株式会社東芝) 2007.06.28, 段落[0010]-[0025], 図 1-10 & US 2007/0138547 A1, 段落[0031]-[0052], 図 1-10	1-15