

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年10月3日(2019.10.3)

【公表番号】特表2018-526831(P2018-526831A)

【公表日】平成30年9月13日(2018.9.13)

【年通号数】公開・登録公報2018-035

【出願番号】特願2018-512130(P2018-512130)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 27/088 B

H 0 1 L 29/78 3 0 1 H

H 0 1 L 29/78 3 0 1 C

【手続補正書】

【提出日】令和1年8月21日(2019.8.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路であって、

半導体基板と、

前記半導体基板上又は前記半導体基板の上に形成され、ソース拡張部を備える第1のSiGeソースと、ドレイン拡張部を備える第1のSiGeドレインと、前記第1のSiGeソースと前記第1のSiGeドレインとの間に位置する第1のゲート電極とを有する第1のPMOSトランジスタであって、前記第1のSiGeソースと前記第1のSiGeドレインとが第1のSiGeキャビティからゲートまでの距離だけ前記第1のゲート電極から空間を開けられている、前記第1のPMOSトランジスタと、

前記半導体基板上又は前記半導体基板の上に形成され、第2のSiGeソースと、第2のSiGeドレインと、前記第2のSiGeソースと前記第2のSiGeドレインとの間に配置される第2のゲート電極とを有する第2のPMOSトランジスタであって、前記第2のSiGeソースと前記第2のSiGeドレインとが拡張部を備えず、前記第2のSiGeソースと前記第2のSiGeドレインとが第2のSiGeキャビティからゲートまでの距離だけ前記第2のゲート電極から空間を開けられてる、前記第2のPMOSトランジスタと、

を含み、

前記第2のSiGeキャビティからゲートまでの距離が前記第1のSiGeキャビティからゲートまでの距離より小さく、

前記第2のPMOSトランジスタの第2の閾値電圧が前記第1のPMOSトランジスタの第1の閾値電圧より低い、集積回路。

【請求項2】

請求項1に記載の集積回路であって、

前記第2のPMOSトランジスタの第2の閾値電圧が前記第1のPMOSトランジスタ

の第1の閾値電圧より少なくとも50mV低い、集積回路。

【請求項3】

請求項1に記載の集積回路であって、

前記第2のPMOSトランジスタの第2の閾値電圧が前記第1のPMOSトランジスタの第1の閾値電圧より約200mV低い、集積回路。

【請求項4】

請求項1に記載の集積回路であって、

前記第1のSiGeキャビティからゲートまでの距離が前記第2のSiGeキャビティからゲートまでの距離の約3倍である、集積回路。

【請求項5】

請求項1に記載の集積回路であって、

前記第1及び第2のゲート電極上のスペーサ側壁であって、約20nmの厚さである、前記スペーサ側壁を更に含み、

前記第1のSiGeキャビティからゲートまでの距離が約15nmであり、前記第2のSiGeキャビティからゲートまでの距離が約5nmである、集積回路。

【請求項6】

集積回路であって、

半導体基板と、

前記半導体基板上又は前記半導体基板の上に形成され、ソース拡張部を備える第1のSiGeソースと、ドレイン拡張部を備える第1のSiGeドレインと、前記第1のSiGeソースと前記第1のSiGeドレインとの間に配置される第1のゲート電極とを有する第1のPMOSトランジスタであって、前記第1のSiGeソースと前記第1のSiGeドレインとが前記第1のゲート電極から第1の距離だけ空間を開けられている、前記第1のPMOSトランジスタと、

前記半導体基板上又は前記半導体基板の上にソース及びドレイン拡張部を備えずポケット部を備えずに形成される第2のPMOSトランジスタであって、前記第2のPMOSトランジスタのソースとドレインとが前記第2のPMOSトランジスタのゲートから第2の距離だけ空間を開けられている、前記第2のPMOSトランジスタと、

前記第2の距離が前記第1の距離よりも小さい、集積回路。

【請求項7】

請求項6に記載の集積回路であって、

前記第2のPMOSトランジスタの第2の閾値電圧が前記第1のPMOSトランジスタの第1の閾値電圧よりも少なくとも50mV低い、集積回路。

【請求項8】

請求項6に記載の集積回路であって、

前記第2のPMOSトランジスタの第2の閾値電圧が前記第1のPMOSトランジスタの第1の閾値電圧よりも約200mV低い、集積回路。

【請求項9】

請求項6に記載の集積回路であって、

前記第1の距離が前記第2の距離の約3倍である、集積回路。

【請求項10】

集積回路を形成するプロセスであって、

第1のPMOSトランジスタの第1のPMOSトランジスタゲートを形成することであって、ソース及びドレイン拡張部注入を用い、前記第1のPMOSトランジスタゲートに自己整合されるポケット注入を用いる、前記第1のPMOSトランジスタゲートを形成することと、

ソース及びドレイン拡張部注入を用いず、ポケット注入を用いず、第2のPMOSトランジスタゲートを形成することと、

前記第1及び第2のPMOSトランジスタゲート上にSiGeスペーサ側壁を形成することと、

前記第1のPMOSトランジスタのソース及びドレイン領域において前記SiGeスペーサ側壁に自己整合される第1のU形状のキャビティと、前記第2のPMOSトランジスタのソース及びドレイン領域において前記SiGeスペーサ側壁に自己整合される第2のU形状のキャビティとをドライエッチングすることと、

ウェット結晶学的エッチングを用いて、前記第1及び第2のU形状のキャビティをそれぞれ第1及び第2のダイヤモンド形状のキャビティに変換することと、

を含み、

前記第1のダイヤモンド形状のキャビティから前記第1のPMOSトランジスタゲートまでの距離が、前記第2のダイヤモンド形状のキャビティから前記第2のPMOSトランジスタゲートまでの距離より大きく、

前記第1のPMOSトランジスタのターンオン電圧が前記第2のPMOSトランジスタのターンオン電圧より少なくとも50mV高い、プロセス。

【請求項11】

請求項10に記載のプロセスであって、

前記第1のPMOSトランジスタの前記ターンオン電圧が前記第2のPMOSトランジスタの前記ターンオン電圧より約200mV高い、プロセス。

【請求項12】

請求項10に記載のプロセスであって、

前記SiGeスペーサ側壁が約20nmである、プロセス。

【請求項13】

請求項10に記載のプロセスであって、

前記SiGeスペーサ側壁が約20nmであり、前記第1のダイヤモンド形状のキャビティから前記第1のPMOSトランジスタゲートまでの前記距離が約15nmであり、前記第2のダイヤモンド形状のキャビティから前記第2のPMOSトランジスタゲートまでの前記距離が約5nmである、プロセス。

【請求項14】

請求項10に記載のプロセスであって、

前記ウェット結晶学的エッチングが水酸化テトラメチルアンモニウムを用いる、プロセス。

【請求項15】

集積回路を形成するプロセスであって、

第1のPMOSトランジスタの第1のPMOSゲートと第2のPMOSトランジスタの第2のPMOSゲートとを形成することと、

前記第1のPMOSトランジスタのためのエリアを露出させて前記第2のPMOSトランジスタのためのエリアを覆うフォトレジストパターンを形成することと、

前記フォトレジストパターンを用いて、前記第2のPMOSトランジスタにおいてソース及びドレイン拡張部領域を注入することなく、前記第1のPMOSトランジスタにおいてソース及びドレイン拡張部領域を注入することと、

前記フォトレジストパターンを用いて、前記第2のPMOSトランジスタにポケット領域を注入することなく、前記第1のPMOSトランジスタにおいてポケット領域を注入することと、

前記フォトレジストパターンを取り除くことと、

前記第1及び第2のPMOSゲート上にSiGeスペーサ側壁を形成することと、

前記第2のPMOSトランジスタにおいてソース及びドレイン拡張部領域を形成することなく、前記第1のPMOSトランジスタにおける第1のSiGeキャビティと前記第2のPMOSトランジスタにおける第2のSiGeキャビティとを形成することと、

を含み、

前記第1のPMOSトランジスタの第1のSiGeキャビティからゲートまでの間隔が前記第2のPMOSトランジスタの第2のSiGeキャビティからゲートまでの間隔より大きく、

前記第1のPMOSトランジスタのターンオン電圧が前記第2のPMOSトランジスタのターンオン電圧より少なくとも50mV高い、プロセス。

【請求項16】

請求項15に記載のプロセスであって、

前記第1のPMOSトランジスタの前記ターンオン電圧が前記第2のPMOSトランジスタの前記ターンオン電圧より約200mV高い、プロセス。

【請求項17】

請求項15に記載のプロセスであって、

前記SiGeスペーサ側壁が約20nmである、プロセス。

【請求項18】

請求項15に記載のプロセスであって、

前記SiGeスペーサ側壁が約20nmであり、前記第1のSiGeキャビティからゲートまでの間隔が約15nmであり、前記第2のSiGeキャビティからゲートまでの間隔が約5nmである、プロセス。

【請求項19】

請求項15に記載のプロセスであって、

前記第1のSiGeキャビティと前記第2のSiGeキャビティとがダイヤモンド形状であり、

前記第1のSiGeキャビティ及び前記第2のSiGeキャビティが、

前記第1のPMOSトランジスタのソース及びドレイン領域において前記SiGeスペーサ側壁に自己整合される第1のU形状のキャビティと、前記第2のPMOSトランジスタのソース及びドレイン領域において前記SiGeスペーサ側壁に自己整合される第2のU形状のキャビティとをドライエッチングすることと、

前記第1及び第2のU形状のキャビティをそれぞれ第1及び第2のダイヤモンド形状のキャビティに変換するために、ウェット結晶学的エッチングを実施することと、

により形成され、

前記第2のPMOSトランジスタの前記第2のSiGeキャビティからゲートまでの間隔より大きい前記第1のPMOSトランジスタの前記第1のSiGeキャビティからゲートまでの間隔を形成するために、前記ウェット結晶学的エッチングが、表面において前記第1のU形状のキャビティより速く、前記第2のU形状のキャビティを横方向にエッチする、プロセス。

【請求項20】

請求項19に記載のプロセスであって、

前記ウェット結晶学的エッチングが水酸化テトラメチルアンモニウムを用いる、プロセス。