(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3595044号
(P3595044)
(45)発行日　平成16年12月2日(2004.12.2)　(24)登録日　平成16年9月10日(2004.9.10)

(51)Int.Cl.[7]　F I
B41J 2/44　B41J 3/21　L
B41J 2/45
B41J 2/455

請求項の数 12　(全 18 頁)

(21)出願番号　特願平7-258339
(22)出願日　平成7年10月5日(1995.10.5)
(65)公開番号　特開平9-99583
(43)公開日　平成9年4月15日(1997.4.15)
審査請求日　平成14年9月20日(2002.9.20)

(73)特許権者　000004008
日本板硝子株式会社
東京都港区海岸二丁目１番７号
(74)代理人　100086645
弁理士　岩佐　義幸
(72)発明者　楠田　幸久
大阪府大阪市中央区道修町３丁目５番１１号　日本板硝子株式会社内
(72)発明者　大野　誠治
大阪府大阪市中央区道修町３丁目５番１１号　日本板硝子株式会社内
(72)発明者　大塚　俊介
大阪府大阪市中央区道修町３丁目５番１１号　日本板硝子株式会社内

最終頁に続く

(54)【発明の名称】自己走査型発光装置およびこれを用いた光プリンタ装置

(57)【特許請求の範囲】
【請求項１】
スイッチング動作のためのしきい電圧またはしきい電流の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の前記制御電極をその近傍に位置する少なくとも１つのスイッチ素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子の制御電極に電源ラインを負荷抵抗を介して接続し、かつ各スイッチ素子にクロックパルスラインを接続して形成したスイッチ素子アレイと、
発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、
前記発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を供給するラインを設けた自己走査型発光装置において、
前記スイッチ素子アレイと前記発光素子アレイとを、略平行に、かつ略直線状に配列し、前記スイッチ素子アレイの配列ピッチを前記発光素子アレイの配列ピッチより小さくすることで前記スイッチ素子アレイに隙間を生じせしめ、前記隙間に前記発光装置の駆動に必要な端子を取り出すためのボンディングパッドを配置することで、前記発光装置の短辺寸法を小さくしたことを特徴とする自己走査型発光装置。
【請求項２】
請求項１記載の自己走査型発光装置において、

前記電流供給ラインを、前記スイッチ素子アレイの側のボンディングパッドに引き出すため、一つの発光素子のゲートの形状を変更し、変更されたゲートの上を前記電流供給ラインを引き回した自己走査型発光装置。

【請求項３】

請求項２記載の自己走査型発光装置において、

前記電流供給ラインの端子を取り出すためのボンディングパッドが、スイッチ素子アレイの端の隙間に配置される場合に、前記ゲート形状を変更する発光素子は、前記発光素子アレイの端に位置する発光素子である自己走査型発光装置。

【請求項４】

請求項１記載の自己走査型発光装置において、

前記電流供給ラインの端子を取り出すためのボンディングパッドが、スイッチ素子アレイの略中央に配置される場合に、前記電流供給ラインを、前記スイッチ素子アレイの側の前記ボンディングパッドに引き出すため、前記発光素子アレイの略中央に位置する隣接する２個の発光素子間に前記電流供給ラインを引き回した自己走査型発光装置。

【請求項５】

スイッチング動作のためのしきい電圧またはしきい電流の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の前記制御電極をその近傍に位置する少なくとも１つのスイッチ素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子の制御電極に電源ラインを負荷抵抗を介して接続し、かつ各スイッチ素子にクロックパルスラインを接続して形成したスイッチ素子アレイと、

発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を供給するラインを設けた自己走査型発光装置において、

前記スイッチ素子アレイは、２個以上のスイッチ素子アレイ・ブロックで構成され、各ブロックのスイッチ素子の配列ピッチは前記発光素子アレイの配列ピッチより小さくなるように設定されており、

前記スイッチ素子アレイの両端の隙間と、前記ブロックの間の隙間とに、前記発光装置の駆動に必要な端子を取り出すためのボンディングパッドを配置した、ことを特徴とする自己走査型発光装置。

【請求項６】

請求項５記載の自己走査型発光装置において、

前記両端の隙間の一方には、前記スイッチ素子アレイのスイッチング動作を開始させるスタートパルスのための端子を取り出すボンディングパッドが配置され、

前記両端の隙間の他方には、前記電源ラインの端子を取り出すためのボンディングパッドと、前記電流供給ラインの端子を取り出すためのボンディングパッドとが配置され、

前記スイッチ素子アレイ・ブロックの数は２つであり、前記ブロック間の隙間には、前記クロックパルスラインの端子を取り出すための少なくとも２個以上のボンディングパッドが配置されている自己走査型発光装置。

【請求項７】

請求項６記載の自己走査型発光装置において、

前記電流供給ラインを、前記スイッチ素子アレイの側の前記ボンディングパッドに引き出すため、前記発光素子アレイの端に位置する発光素子のゲートの形状を変更し、変更されたゲートの上を前記電流供給ラインを引き回した自己走査型発光装置。

【請求項８】

請求項５記載の自己走査型発光装置において、

前記両端の隙間の一方には、前記スイッチ素子アレイのスイッチング動作を開始させるスタートパルスのための端子を取り出すボンディングパッドが配置され、

前記両端の隙間の他方には、前記電源ラインの端子を取り出すためのボンディングパッドが配置され、
前記スイッチ素子アレイ・ブロックの数は４つであり、前記ブロック間の中央の隙間には、前記電流供給ラインの端子を取り出すためのボンディングパッドが配置され、
前記ブロック間の残りの隙間には、前記クロックパルスラインの端子を取り出すためのボンディングパッドが配置されている自己走査型発光装置。
【請求項９】
請求項８記載の自己走査型発光装置において、
前記電流供給ラインを、前記スイッチ素子アレイの側の前記ボンディングパッドに引き出すため、前記発光素子アレイの略中央に位置する隣接する２個の発光素子間に前記電流供給ラインを引き回した自己走査型発光装置。
【請求項１０】
半導体基板上に集積して構成した請求項１～９のいずれかに記載の自己走査型発光装置を、複数個、略一列，直線上に配列したことを特徴とする発光モジュール。
【請求項１１】
請求項１０記載の発光モジュールとレンズアレイとを組み合わせて、感光ドラム表面に前記発光モジュールからの出力光が集光するように配置され、前記発光モジュール上に表示された画像情報が感光ドラム上に転写されるように構成されたことを特徴とする光プリンタ装置。
【請求項１２】
請求項１０記載の発光モジュールとレンズアレイとを組み合わせて構成されたことを特徴とする光プリントヘッド。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、同一基板上に集積して作製でき、自己走査機能を発揮できる発光装置の改良に関し、特にバイアス光を減少させたり、長寿命化を実現して光プリンタ等への応用を可能にした自己走査型発光装置に関する。
【０００２】
【従来の技術】
発光素子の代表的なものとしてＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）およびＬＤ（Ｌａｓｅｒ　Ｄｉｏｄｅ）が知られている。そして、多数個の発光素子を同一基板上に集積した発光素子アレイはその駆動用ＩＣと組み合わせて光プリンタ等の書き込み用光源として利用されている。本発明者らは発光素子アレイの構成要素としてＰＮＰＮ構造を持つ発光サイリスタに注目し、発光点の自己走査が実現できることを既に特許出願（特開平１－２３８９６２号、特開平２－１４５８４号、特開平２－９２６５０号、特開平２－９２６５１号）し、光プリンタ用光源として実装上簡便となること、発光素子ピッチを細かくできること、コンパクトな自己走査型発光装置を作製できること等を示した。
【０００３】
さらに本発明者らは、スイッチ素子アレイをシフトレジスタとして、発光素子アレイと分離した構造の自己走査型発光装置を提案している（特開平２－２６３６６８号）。
【０００４】
図１に、この自己走査型発光装置の等価回路図を示す。この自己走査型発光装置は、シフトレジスタを構成するスイッチ素子アレイＴ（－１）～Ｔ（２）、書き込み用発光素子アレイＬ（－１）～Ｌ（２）からなる。隣接するスイッチ素子のゲート電極間は、ダイオードを用いて接続している。スイッチ素子の各アノード電極は交互に転送クロックラインϕ_1，ϕ_2に接続されている。スイッチ素子のゲート電極G_{-1}～G_1は、書き込み用発光素子のゲートにも接続される。書き込み用発光素子のアノード電極には、書き込み信号S_{in}が加えられている。初段のスイッチ素子のゲート電極には、スタートパルスϕ_Sが印加され、スイッチ素子がオン状態にされる。

【０００５】
いま、スイッチ素子Ｔ（０）がオン状態にあるとすると、ゲート電極$Ｇ_{0}$　の電圧は、電源電圧$Ｖ_{ＧＫ}$（ここでは５ボルトとする）より低下し、ほぼ零ボルトとなる。したがって、書き込み信号$Ｓ_{ｉｎ}$の電圧が、ＰＮ接合の拡散電位（約１ボルト）以上であれば、発光素子Ｌ（０）の発光状態とすることができる。
【０００６】
これに対し、ゲート電極$Ｇ_{-1}$は約５ボルトであり、ゲート電極$Ｇ_{1}$　は約１ボルト（ダイオードＤ$_{0}$　の順方向立上り電圧）となる。したがって、発光素子Ｌ（－１）の書き込み電圧は約６ボルト、発光素子Ｌ（１）の書き込み電圧は約２ボルトとなる。これから、発光素子Ｌ（０）のみに書き込める書き込み信号$Ｓ_{ｉｎ}$の電圧は、１～２ボルトの範囲となる。発光素子Ｌ（０）がオン、すなわち発光状態に入ると、書き込み信号$Ｓ_{ｉｎ}$ラインの電圧は約１ボルトに固定されてしまうので、他の発光素子が選択されてしまう、というエラーは防ぐことができる。
【０００７】
発光強度は書き込み信号$Ｓ_{ｉｎ}$に流す電流量で決められ、任意の強度にて画像書き込みが可能となる。また、発光状態を次の発光素子に転送するためには、書き込み信号$Ｓ_{ｉｎ}$ラインの電圧を一度零ボルトまでおとし、発光している発光素子をいったんオフにしておく必要がある。
【０００８】
図２は、図１の自己走査型発光装置の概略を示す平面図、図３は図２のＸ－Ｘ′ラインの断面図である。以下に製造工程および構造について説明する。
【０００９】
まず、ｎ形ＧａＡｓ基板１上に、ｎ形半導体層２４，ｐ形半導体層２３，ｎ形半導体層２２，ｐ形半導体層２１を順次積層する。
【００１０】
積層された半導体層は、分離溝５０により各素子領域に分離される。また、各素子領域のｐ形半導体層２１は、３つの島状にｎ形半導体層２２上に残留するよう、ゲート電極および結合用ダイオード作製のために一部削除される。これら３つの島は、１つの大きな島と連続する２つの小さな島とされ、２つの小さな島は、スイッチ素子アレイの配列方向に、島，島，谷、島，島，谷、島，島，谷と繰り返すように配置される。ここで、島，島，谷は結合用ダイオードおよびスイッチ素子に対応し、谷とは露出したｎ形半導体層２２部分を示す。また、大きな島は、発光素子に対応している。
【００１１】
次に、基板上全体に絶縁被膜３０を被覆する。そして、絶縁被膜３０の、前記削除処理されたｎ形半導体層２２上および３つの島のｐ形半導体層２１上の位置に接続用コンタクトホール$Ｃ_{1}$　を開ける。
【００１２】
次に、絶縁被膜３０上に、各素子領域のｎ形半導体層２２と隣接する素子領域のｐ形半導体層２１とをコンタクトホール$Ｃ_{1}$　を用いて接続するＴ字型の金属薄膜配線４５、素子領域の大きな島状ｐ形半導体層２１へコンタクトホール$Ｃ_{1}$　を介して書き込み信号を伝える金属薄膜配線４４、素子領域の残りの島状ｐ形半導体層２１へコンタクトホール$Ｃ_{1}$　を介して駆動電圧を伝える金属薄膜配線４２をそれぞれ設ける。
【００１３】
次に、金属薄膜配線４５上の一部に、ゲート電極－電源電極間の抵抗$Ｒ_{Ｌ}$　として使用する燐をドープした非晶質シリコン１６３を約１μｍの厚さで被覆する。非晶質シリコン１６３は、各スイッチ素子に対して１つずつになるよう分離される。次に、基板上全体に絶縁被膜３１を被覆する。そして、絶縁被膜３１の、非晶質シリコン１６３，金属薄膜配線４２、および金属薄膜配線４４上の位置に接続用コンタクトホール$Ｃ_{2}$　を開ける。
【００１４】
次に、絶縁被膜３１上に、コンタクトホール$Ｃ_{2}$　を介して金属薄膜配線４４（発光素子

のアノード電極）へ書き込み信号を伝える書き込み信号ラインＳ$_{in}$、コンタクトホールＣ$_2$　を介して信号薄膜配線４３（非晶質シリコン１６３を介してゲート電極に接続される）へ電源電圧を伝える電源ライン４１、コンタクトホールＣ$_2$　を介して金属薄膜配線４０（スイッチ素子のアノード電極）へクロックパルスを伝えるクロックラインφ$_1$　，φ$_2$　を設けた。

【００１５】

ここで、クロックライン結合用金属薄膜配線４０上に設ける片側のコンタクト孔Ｃ$_2$　の位置は、各スイッチ素子のアノード電極が、クロックラインφ$_1$　，φ$_2$　のいずれか１本に、配列方向に向かってφ$_1$　，φ$_2$　の順番で繰り返すように調整される。

【００１６】

上記の構造では、スイッチ素子，結合用ダイオード，書き込み用発光素子の全てをｐ形半導体層２１のパターンニングのみで形成でき、製造工程は従来の発光素子製造工程とさほど変化ない。つまり構造が複雑化しているわりには、製造工程は複雑化していない。

【００１７】

【発明が解決しようとする課題】

しかしながら、図２および図３に示した従来例の構造では次のような問題が生ずる。すなわち、光プリンタ等に発光装置を応用する場合、ある一定数のスイッチ素子および発光素子を集積した１つの半導体チップの形として発光装置を構成し、この発光チップを例えば一列に配列し、所定のサイズの線状光源を形成する。しかし、この発光装置を駆動するために必要な電極（例えば図１，図２におけるφ$_S$　，φ$_1$　，φ$_2$　，Ｓ$_{in}$，Ｖ$_{GK}$）を取り出すためのボンディングパッドを設けなければならない。

【００１８】

しかしながら、このボンディングパッドを設けるためには、発光装置が形成されている領域以外に特にスペースを確保しておかなければならない。一例として６００ＤＰＩ（１インチ当りに６００素子の密度で発光素子が配列されている）の発光素子アレイについては発光素子が約４２．３μｍピッチで配列される。いま１２８個の発光素子が配列された１つの発光チップを考えると、発光素子が配列された方向の長さ（長辺寸法）は約５．４ｍｍとなる。発光素子配列方向に対し垂直方向の長さ（短辺寸法）には特に制限はないが、極力狭くすることで半導体ウェハの中からのチップ取得数を増加でき、コストを低減することができる。

【００１９】

従来例に示した発光装置は１つのボンディングパッドに対し、略１００μｍ角のスペースが必要であり、ワイヤボンディングに伴う半導体部分へのダメージを避けるために、発光素子とスイッチ素子との間に５０μｍ程度のスペースが必要となる。このため、計１５０μｍもの短辺寸法が、スイッチ素子，発光素子部分以外に必要となる。このスペースには、わずか数個のボンディングパッドが存在するのみであり、それ以外は全く活用されていないスペースとなる。これにより発光チップの取得数が減少するという問題が存在していた。

【００２０】

さらには図１に示す従来例ではφ$_1$　，φ$_2$　，Ｖ$_{GK}$等のボンディングパッドは発光素子の上側に配され、発光素子に発光のための電流を与えるＳ$_{in}$のボンディングパッドは発光素子の下側に配されている。通常、光プリンタに使用する発光素子アレイは、各発光素子１ビットを正確に所定のピッチに納める必要があるため、上側の配線を下側に持ち回る、もしくは下側の配線を上側に持ち回ることは困難である。従って、図１に示された発光装置では発光素子の上部にφ$_1$　，φ$_2$　，Ｖ$_{GK}$等のボンディングパッド、下部にＳ$_{in}$のボンディングパッドが設けられることになる。この場合、これらボンディングパッドを配置するために必要な短辺寸法が上下合わせておよそ３００μｍ程度も必要になり、発光チップの取得数を相当減ずることになる。このため、チップ価格の上昇という問題があった。

【００２１】

本発明の目的は、短辺寸法を小さくすることのできる自己走査型発光装置を提供することにある。

【００２２】

本発明の他の目的は、このような自己走査型発光装置を複数個、実装基板上に配列して構成した発光モジュールを提供することにある。

【００２３】

本発明のさらに他の目的は、このような発光モジュールを利用した光プリンタ装置を提供することにある。

【００２４】

【課題を解決するための手段】

本発明は、スイッチング動作のためのしきい電圧またはしきい電流の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の前記制御電極をその近傍に位置する少なくとも１つのスイッチ素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子の制御電極に電源ラインを負荷抵抗を介して接続し、かつ各スイッチ素子にクロックパルスラインを接続して形成したスイッチ素子アレイと、

発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を供給するラインを設けた自己走査型発光装置において、

前記スイッチ素子アレイと前記発光素子アレイとを、略平行に、かつ略直線状に配列し、前記スイッチ素子アレイの配列ピッチを前記発光素子アレイの配列ピッチより小さくすることで前記スイッチ素子アレイに隙間を生じせしめ、前記隙間に前記発光装置の駆動に必要な端子を取り出すためのボンディングパッドを配置することで、前記発光装置の短辺寸法を小さくしたことを特徴とする。

【００２５】

また本発明は、スイッチング動作のためのしきい電圧またはしきい電流の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の前記制御電極をその近傍に位置する少なくとも１つのスイッチ素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子の制御電極に電源ラインを負荷抵抗を介して接続し、かつ各スイッチ素子にクロックパルスラインを接続して形成したスイッチ素子アレイと、

発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を供給するラインを設けた自己走査型発光装置において、

前記スイッチ素子アレイは、２個以上のスイッチ素子アレイ・ブロックで構成され、各ブロックのスイッチ素子の配列ピッチは前記発光素子アレイの配列ピッチより小さくなるように設定されており、

前記スイッチ素子アレイの両端の隙間と、前記ブロックの間の隙間とに、前記発光装置の駆動に必要な端子を取り出すためのボンディングパッドを配置した、ことを特徴とする。

【００２６】

すなわち、発光素子アレイとスイッチ素子アレイとを分離し、スイッチ素子アレイのピッチを発光素子アレイより小さくすることで、スイッチ素子アレイ部に隙間を作り、この部分にボンディングパッドを配することで、従来例にて示したチップのワイヤボンディングに必要な約１５０μｍの幅を削除することができ、従って、ウェハからの取得数を多くすることができる。そしてコスト低減に大きく貢献できる。

【００２７】

また、発光素子部の両側にあったワイヤボンディングを片側に集めることが可能となり、ワイヤボンディングを設けるのに必要な短辺幅をほとんど無くすることが可能となる。

【００２８】

また、本発明の発光モジュールは、半導体基板上に集積して構成した発光装置を複数個、略一列，直線上に配列して構成される。

【００２９】

さらに、本発明の光プリンタ装置は、発光モジュールを略一列，直線状に配列し、レンズアレイと組み合わせて、感光ドラム表面に前記発光装置からの出力光が集光するように配され、前記発光装置上に表示された画像情報が感光ドラム上に転写されるように構成される。

【００３０】

【発明の実施の形態】

【実施例１】

実施例１の概略を図４に示す。そして図４に示した実施例の中の、スイッチ素子と対応する発光素子の１ビットの断面概略図を図５に示す。図６に、図４に示した実施例の最初の部分の等価回路を示す。図６から明らかなように、本実施例の等価回路は、図１と同じであるので、動作原理の説明は省略する。なお本実施例においても、従来例と同様に、スイッチ素子および発光素子は、発光サイリスタで構成される。

【００３１】

図４において、２１は図５のｐ形半導体層２１に相当し、２２はｎ形半導体層２２に相当する。従って２１は発光サイリスタ素子のアノードに対応し、２２はゲートに相当する。図４には示されていないが、基板１に相当するカソードは基板裏面から接地されている。

【００３２】

スイッチ素子Ｔ（ｉ）（ｉは番号を示す）および結合用ダイオードD_i　は１つの島の中に形成されており、これが一列に並べられ、シフトレジスタ機能を持つスイッチ素子アレイが構成されている。発光素子Ｌ（ｉ）も一列に並べられ、発光素子アレイが構成されている。

【００３３】

本実施例では、これらスイッチ素子アレイ、発光素子アレイが１つの半導体基板１上にそれぞれ１２８素子配列された発光チップを例示している。この場合、６００ＤＰＩの場合ではチップの長辺寸法は約５．４ｍｍになる。１２８個の発光素子（Ｌ（１）～Ｌ（１２８））は、約４２．３μｍの等しいピッチで配列されている。

【００３４】

発光素子は、光プリンタ用光源として用いられる場合、完全に同じピッチで隙間なく、直線状に配列されなければならない。しかし、スイッチ素子については、このような条件はなく、対応するスイッチ素子と発光素子のゲートが電気的に接続されていれば良い。このことから、本実施例ではシフトレジスタを構成するスイッチ素子アレイを２つのブロックに分け、各ブロック内のスイッチ素子を３５μｍピッチで並べた。このため、発光素子のピッチ４２．３μｍに対し、１２８ビット全体で

（４２．３μｍ－３５μｍ）×１２８素子＝９３４．４μｍ

もの隙間がスイッチ素子アレイの両端と中央に発生する。これらの隙間の中に、１００μｍのサイズのワイヤボンディングパッドを５個、パッド間距離約７０μｍで配列することができた。具体的には、図４において、左端の隙間にスタートパルスϕ_S　用のボンディングパッドを、中央の隙間にクロックパルスϕ_1　，ϕ_2　用の２個のボンディングパッドを、右端の隙間に電源電圧V_{GK}用のボンディングパッドと書き込み信号S_{in}用のボンディングパッドを設ける。ここでシフトレジスタの隙間に設けたボンディングパッドはϕ_1　，ϕ_2　，ϕ_S　，V_{GK}，S_{in}の５個のみであり、スイッチ素子アレイの最終出力に相当するダイオードD_{128}　のアノードに相当する端子D_{out}　は、本実施例ではボンディングパッドを設けていない。しかし、この端子を外部に取り出す必要がある場合は、ボンディングパッドを１つ増やして６個としても良い。

【００３５】
図４では、発光素子アレイＬ（１）～Ｌ（１２８）の下側に位置する発光用の書き込み信号ラインＳ$_{in}$を、発光素子アレイの下側から、上側のスイッチ素子アレイ側に引き回している。これを実行するためには、図４の発光素子Ｌ（１２８）に示したようにゲート部分２２を他の発光素子のゲート部分は異なるように変形させて、このＳ$_{in}$の配線を通すスペースを作る必要がある。これは、発光素子１素子に割り当てられたピッチが４２．３μｍであり、この値の中に、ゲート電極Ｇ$_{128}$　の配線とＳ$_{in}$の配線とを通すことが必要であること、また両端の発光素子の外側には配線を出すことができないからである。発光のための電流は比較的大電流であることから、十分な幅を確保する必要がある。本実施例では３０μｍの幅でＳ$_{in}$配線を形成した。
【００３６】
本実施例の発光チップの全体像を図７に示す。図中、ＳＤＡはスイッチ素子アレイを、ＬＭＡは発光素子アレイを示す。この構成より、従来、発光素子アレイの下側に設けるべきＳ$_{in}$のボンディングパッドをスイッチ素子アレイ側に設けることができた。これにより、すべてのボンディングパッドの配置を発光素子アレイの上側にまとめることができ、かつスイッチ素子アレイの隙間に埋め込むことで、ボンディングパッド専用のスペースを必要としないようにすることができた。
【００３７】
従来構造では、スイッチ素子アレイと発光素子アレイの短辺寸法の和が約２５０μｍであり、発光素子アレイの両側のワイヤボンディングスペースが１５０μｍ×２＝３００μｍであり、切断代のマージンとして上下に２５μｍずつとっているので、発光チップの短辺寸法は６００μｍであった。これに対し、本実施例では、スイッチ素子アレイと発光素子アレイとの間のゲート配線の引き回しのために約５０μｍのスペースが余分に必要となったが、ワイヤボンディングスペースが不要となったため、本実施例の発光チップの短辺寸法は約３５０μｍで形成できた。これから、チップ取得数が従来の約１．７倍となり、４０％以上のコストダウンを行うことが可能となった。
【００３８】
【実施例２】
実施例２の概略を図８に示す。本実施例は実施例１の変形例である。実施例１では、発光用の書き込み信号ラインＳ$_{in}$を発光素子アレイの下側から、スイッチ素子アレイ側に引き回す際に、発光素子Ｌ（１２８）のゲート部分を変形させてＳ$_{in}$の配線を通すスペースを作っている。
【００３９】
本実施例は、このような変形を必要としないものであり、具体的には図９に示すように、シフトレジスタを構成するスイッチ素子アレイを４つのブロックＳＤＡ（１）～ＳＤＡ（４）に分け、各ブロック内では発光素子の配列ピッチより小さい配列ピッチでスイッチ素子を並べ、スイッチ素子アレイの左右端とブロック間に隙間を生じさせる。そして、左右端の隙間およびブロック間の隙間にボンディングパッドを配置する。すなわち、左端の隙間にスタートパルスφ$_S$　用のボンディングパッドを、次の隙間にクロックパルスφ$_1$　用のボンディングパッドを、中央の隙間に書き込み信号Ｓ$_{in}$用のボンディングパッドを、次の隙間にクロックパルスφ$_2$　用のボンディングパッドを、右端の隙間に電源電圧Ｖ$_{GK}$用のボンディングパッドおよび最終出力Ｄ$_{out}$　用のボンディングパッドとを設ける。
【００４０】
発光素子アレイＬ（１）～Ｌ（１２８）の下側に位置する発光用の書き込み信号ラインＳ$_{in}$を、発光素子アレイの下側からスイッチ素子アレイ側に引き回すが、図８に示すように発光素子Ｌ６４と発光素子６５との間にＳ$_{in}$の配線を通すことにより行う。
【００４１】
本実施例によれば、実施例１と同様に短辺寸法を約３５０μｍで形成できた。
【００４２】

【実施例３】
本発明を適用できる自己走査型発光装置の他の例を示す。本実施例は、複数の発光素子を同時に発光できるようにした発光装置である。この自己走査型発光装置の等価回路図を、図１０に示す。
【００４３】
図１の回路と異なるのは、発光素子を３つずつのブロックとし、１ブロック内の発光素子は１つのスイッチ素子によって制御し、かつ１ブロック内の発光素子にそれぞれ別々の書き込み信号ライン$S_{in}1$，$S_{in}2$，$S_{in}3$を接続して、発光素子の発光を制御した点である。図中、発光素子L_1（－１），L_2（－１），L_3（－１）、発光素子L_1（０），L_2（０），L_3（０）、発光素子L_1（－１），L_2（－１），L_3（－１）等が、ブロック化された発光素子を示している。
【００４４】
動作は図１の回路と同じで、１素子ずつS_{in}によって発光が書き込まれていたものが、同時に複数書き込まれ発光し、それがブロックごとに転送するようになったものである。
【００４５】
いま、ＬＥＤプリンタ等の一般的に知られる光プリンタ用の光源として、この発光装置を用いることを考えると、Ａ４の短辺（約２１ｃｍ）相当のプリントを１６ドット／ｍｍの解像度で印字するためには約３４００ビットの発光素子が必要になる。
【００４６】
実施例１にて説明してきた発光装置では、発光しているポイントは常に一つで、上記の場合ではこの発光の強度を変化させて画像を書き込むことになる。これを用いて光プリンタを形成すると、通常使用されている光プリンタ用ＬＥＤアレイ（これは画像を書き込むポイントに位置するＬＥＤが、同時に発光するよう駆動ＩＣによって制御されている）に比べ、画像書き込み時に３４００倍の輝度が必要となり、発光効率が同じならば３４００倍の電流を流す必要がある。ただし発光時間は、逆に通常のＬＥＤアレイに比べ１／３４００となる。
【００４７】
しかし発光素子は、一般的に電流が増えると加速度的に寿命が短くなる傾向があり、いくらデューティが１／３４００とはいえ従来のＬＥＤプリンタに比べ、寿命が短くなってしまうという問題点を持っていた。
【００４８】
しかしながら本実施例によると、ビット総数が同じ条件で比較すると、この例では１ブロックに３素子が入っているため、実施例１の発光装置に比べて１素子の発光時間は３倍となる。したがって、オン状態の発光素子に流す電流は１／３でよく、実施例１に比べ長寿命化することが可能である。
【００４９】
本実施例では、１ブロックに３素子が含まれる場合を例示したが、この素子数が大きいほうが書き込み電流が小さくて済み、さらに長寿命化をはかることができる。
【００５０】
【実施例４】
本実施例は、特開平４－２３３６７号公報に示された自己走査型発光装置であって、本発明を適用できる１つの例である。
【００５１】
実施例の発光装置を図１１に示す。図１１においては、スイッチ素子アレイと発光素子アレイとが、上下に分けて記載されている。
【００５２】
まず、シフトレジスタ機能を有するスイッチ素子アレイについて説明する。Ｓ（－２）～Ｓ（２）は、スイッチ素子（ＰＮＰＮ構造を有するサイリスタ）である。ϕ_1，ϕ_2は、スイッチ素子アレイを駆動する転送クロックである。そして、CL_1は転送クロックϕ_1を供給されるクロックラインであり、CL_2は転送クロックϕ_2を供給され

るクロックラインである。

【００５３】

各スイッチ素子Ｓ（－２）～Ｓ（２）のゲート電極G_{-2}～G_2の間は、それぞれ結合用ダイオードD_{-2}～D_1によって、接続されている。このようなダイオード結合方式を採用しているために、スイッチ素子アレイは２相の転送クロックϕ_1，ϕ_2にて情報の転送動作を行うことができる。

【００５４】

また、R_{A1}，R_{A2}は、それぞれ各スイッチ素子Ｓ（－２）～Ｓ（２）のアノードとクロックラインCL_1，CL_2のいずれか一方とを接続するアノード負荷抵抗である。このアノード負荷抵抗R_{A1}，R_{A2}は、各スイッチ素子Ｓ（－２）～Ｓ（２）のオン状態での電流量を制限するものである。各スイッチ素子Ｓ（－２）～Ｓ（２）のカソードはそれぞれ接地されている。

【００５５】

さらに、R_{L1}，R_{L2}は、それぞれ各スイッチ素子Ｓ（－２）～Ｓ（２）のゲートG_{-2}～G_2と電源電圧V_{GK}の直流電源とを接続するゲートの負荷抵抗である。このゲート負荷抵抗R_{L1}，R_{L2}は、電源電圧V_{GK}の直流電源から各ゲートG_{-2}～G_2に流れる電流量を制限するものである。そして、各ゲートG_{-2}，G_0，G_2は、それぞれダイオードD_{-2}'，D_0'，D_2'のカソードに接続されている。

【００５６】

次に、発光素子アレイについて説明する。ϕ_Rは発光素子（発光サイリスタ）Ｌ（－２），Ｌ（０），Ｌ（２）への情報の書き込み許可／禁止を制御し、かつ書き込まれた状態をリセットするクロックである。そして、CL_Rはクロックϕ_Rを供給する電流供給ラインである。

【００５７】

またR_{A3}は、各発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のアノードと電流供給ラインCL_Rとを接続するアノード負荷抵抗である。このアノード負荷抵抗R_{A3}は、各発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のオン状態での電流量を制限するものである。そして、各発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のカソードは、それぞれ接地されている。

【００５８】

さらにR_{L3}は、各発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のゲートG_{-2}'，G_0'，G_2'と電源電圧V_{GK}とを接続するゲート負荷抵抗である。このゲート負荷抵抗R_{L3}は、電源電圧V_{GK}の直流電源から、各ゲートG_{-2}'，G_0'，G_2'に流れる電流量を制限するものである。そして、各ゲートG_{-2}'，G_0'，G_2'は、それぞれダイオードD_{-2}'，D_0'，D_2'のアノードに接続されている。

【００５９】

すなわち、図１１においては、スイッチ素子Ｓ（－２），Ｓ（０），Ｓ（２）のゲートが、それぞれダイオードD_{-2}'，D_0'，D_2'を介して、発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のゲートG_{-2}'，G_0'，G_2'に個々に接続されている。

【００６０】

次に、スイッチ素子アレイの部分の動作を説明する。今、スタートパルスϕ_Sとして、ハイレベルまたはローレベルの電圧がスイッチ素子Ｓ（－３）のアノード（図示せず）に供給されたとする。この場合に、ハイレベルの電圧が、電源電圧V_{GK}に拡散電位V_{dif}を加えた電圧以上に高ければ、スイッチ素子Ｓ（－３）はオン状態になる。そして、次に供給されるスタートパルスϕ_Sのローレベルの電圧が、スイッチ素子Ｓ（－３）のオン状態維持電圧より低ければ、Ｓ（－３）はオフ状態となる。

【００６１】

オン状態では、スイッチ素子Ｓ（－３）のゲート電位はほぼ零ボルトとなり、オフ状態ではゲート電圧は電源電圧V_{GK}と同じ電圧になる。スイッチ素子Ｓ（－３）のゲート電位が零ボルトになれば、結合用ダイオードD_{-3}（図示せず）によって、スイッチ素子Ｓ（

－２）のゲート電位が低下する。そして、スイッチ素子Ｓ（－２）のターンオン電圧も低下する。したがって、転送クロックϕ_2によって、スイッチ素子Ｓ（－２）をオン状態に設定することができる。

【００６２】

このオン状態はϕ_1，ϕ_2によって順次、図１１の右方向へ転送されていく。つまり、スタートパルスϕ_Sのハイレベルの電圧によって、スイッチ素子アレイにオン状態が書き込まれ、それが順次右方向へ転送されていくことになる。

【００６３】

ただし、全てのビットがオン状態にある場合に、このオン状態を転送することは、このスイッチ素子アレイの動作原理上から不可能であって、１ビットおきにオンとオフを繰り返して転送することになる。すなわち、スタートパルスϕ_Sの波形も、転送パルスϕ_1，ϕ_2に同期して、ハイレベルとローレベルとを交互に送る必要がある。

【００６４】

今、偶数ビットのみのオン状態とオフ状態に有効な情報があるものとして、オン状態を１、オフ状態を０とすると、スタートパルスϕ_Sによって１または０が書き込まれ、転送クロックϕ_1，ϕ_2によって、その１，０が転送されて行くことになる。このようにして、１または０という信号（情報）がスイッチ素子アレイに書き込まれる。

【００６５】

次に、発光素子Ｌ（－２）（Ｌ（０），Ｌ（２））の動作について説明する。仮に、Ｌ（－２）が０であるとすると、クロックϕ_Rの電圧が零ボルトであれば、発光素子Ｌ（－２）はオン状態とはならない。すなわち、発光素子Ｌ（－２）は書き込み禁止の状態に設定される。クロックϕ_Rの電圧が、発光素子Ｌ（－２）のオン状態維持電圧から$V_{GK}+V_{dif}$の間の電圧に設定されたとすると、発光素子Ｌ（－２）は書き込み許可の状態に設定される。そして、ゲートG_{-2}'の電位が変化させられることによって、発光素子Ｌ（－２）はオン状態に設定可能となる。

【００６６】

さて、スイッチ素子アレイから発光素子アレイへの情報の書き込みについて説明する。スイッチ素子アレイは、前述したように１または０信号が書き込まれる。最後のビットまで書き込まれた段階で、転送クロックϕ_1，ϕ_2をそれぞれローレベル，ハイレベルの状態に維持される。これによって、情報の転送動作が終了し、スイッチ素子アレイに書き込まれた情報は保持される（特に、偶数ビットにおいて保持されている）。

【００６７】

スイッチ素子アレイの偶数ビットにおいて、オン状態のスイッチ素子Ｓのゲート電位はほぼ零ボルトであり、オフ状態のスイッチ素子Ｓのゲート電位は、V_{dif}の約２倍以上である。なお、オフ状態のスイッチ素子Ｓのゲート電位については、転送方向に対して逆方向に位置する最も隣接する偶数ビットがオン状態の場合にV_{dif}の約２倍であり、それ以外はV_{dif}の約２倍の電圧よりも大きくなる。なお、ここでV_{dif}はＰＮ接合の拡散電位である。

【００６８】

スイッチ素子Ｓ（－２），Ｓ（０），Ｓ（２）のそれぞれのゲート電圧は、ダイオードD_{-2}'，D_0'，D_2'によって対応する発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のゲートG_{-2}'，G_0'，G_2'に伝達される。したがって、発光素子Ｌ（－２），Ｌ（０），Ｌ（２）のゲート電圧は、オン状態の場合でV_{dif}となり、オフ状態の場合でV_{dif}の３倍以上となる。そしてオン状態の場合で、発光素子のターンオン電圧はV_{dif}の２倍となり、オフ状態でV_{dif}の４倍となる。

【００６９】

一方、クロックϕ_Rについては、いったん零ボルトに設定して全体の発光をなくし（すなわち、リセット）、その後にハイレベル電位V_{HR}まで上昇させる。この電圧ϕ_{HR}として

$$2V_{dif} < V_{HR} < 4V_{dif}$$

の範囲に設定されていると、オン状態のスイッチ素子Ｓに対応する発光素子Ｌがオン状態となり、オフ状態のスイッチ素子Ｓの対応する発光素子Ｌはオフ状態のままになる。

【００７０】

したがって、スイッチ素子アレイに書き込まれた１，０の情報が、そのまま発光素子アレイに書き込まれることになる。

【００７１】

この後、電圧V_{HR}は発光素子のオン状態維持電圧以上であってV_{dif}の２倍の電圧未満の値に再設定される。このことにより、発光素子Ｌは、スイッチ素子Ｓのゲート電位に影響されなくなり、書き込まれた情報を保持し続ける。そして、発光素子アレイが情報の保持状態にある間に、前述と同様にして、スイッチ素子アレイには次の情報が書き込まれる。

【００７２】

やがて、クロックϕ_Rがローレベル電圧に設定されて、各発光素子Ｌがリセットされる。リセット後、再び情報が発光素子アレイに書き込まれる。以上のようにして、一連の動作が繰り返し行われる。

【００７３】

次に図１１に示す発光装置を、光プリンタ用の書き込み光源に適用した場合について述べる。

【００７４】

例えば、発光装置が２０４８ビットの発光素子Ｌを有するものとすると、スイッチ素子Ｓはその倍の４０９６ビットを必要とする。光プリンタにおける書き込み光源の電流量は約５ｍＡであるから、全てのビットの発光素子Ｌが発光状態であるとすると、約１０Ａという電流が流れる。

【００７５】

一方、スイッチ素子Ｓからの情報転送のための電流は、ゲート負荷抵抗R_{L3}＝３０ｋΩの場合に０．５ｍＡであることが実験的にわかっているので、全てのビットの発光素子が発光状態であれば、１Ａ程度である。なお、この情報転送のための電流量は、光プリンティングに必要な１０Ａに比べ１割程度であり、実用上問題のない値である。

【００７６】

また、スイッチ素子Ｓからの情報が、発光素子Ｌに移動させられた段階でクロックϕ_1，ϕ_2の電圧を一旦零ボルトに低下させることにより、スイッチ素子アレイ全体がオフ状態となりリセットが行われる。この方法を用いた場合には、スイッチ素子Ｓがオン状態になる時間が考慮されると、等価的に電流値が下がることとなる。つまり、前述の１Ａに比べて等価的に０．５Ａ程度まで下がったことになる。

【００７７】

発光素子Ｌの２０４８ビットに対して、スタートパルスϕ_Sが供給されるデータ入力端（図示せず）が１つだけでは、情報の転送速度はかなり高速であることが必要である。この点については、データ入力端を複数設けることによって、情報の転送速度を低下させることができる。例えば、通常６４ビットまたは１２８ビットを一単位として発光素子Ｌのチップが形成され、このチップごとに情報が入力されてもよい。

【００７８】

１２８ビットごとにデータ入力を並列に行った場合、２０４８ビットに対して２０個のデータ入力端を有することになる。このため、情報の転送速度は１／２０でよいことになる。したがって、発光装置は余裕のある動作を行うことができる。

【００７９】

なお、発光素子Ｌの出力光の光量のばらつきを防ぐために、アノード負荷抵抗R_{A3}をレーザ等により微調整することが可能である。このことによって、出力光のばらつきのない発光装置を得ることができる。

【００８０】

また、図１１では、スイッチ素子アレイにおける偶数ビットの右側に接続される結合用ダ

イオードD_{-2}，D_0　の特性と、奇数ビットの右側に接続される結合用ダイオードD_{-1}，D_1　の特性とが異なっている。したがって、偶数ビットと奇数ビットとで動作電流等を分けて最適化することが重要である。このために、$R_{L2} < R_{L1}$，$R_{A1} < R_{A2}$に設定するほうが望ましく、この場合には発光装置はより安定で高速な動作を行い得る。

【００８１】

さらに、図１１では、ダイオード結合方式と呼ばれる構成を採用しているが、結合方式はこれに限られず、抵抗結合方式であってもよい。

【００８２】

【実施例５】

本発明の自己走査型発光装置の応用例として光プリンタへの応用について述べる。従来、ＬＥＤアレイの各画素に駆動用ＩＣを接続したモジュールを使って光プリンタへ応用した例が知られている。光プリンタの原理図を図１２に示す。まず円筒形の感光ドラム６１の表面にアモルファスＳｉ等の光導伝性を持つ材料（感光体）が作られている。このドラムはプリントの速度で回転している。まず帯電器６７で感光体表面を一様に帯電させる。そして発光素子アレイ光プリントヘッド６８で印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和する。次に現像器で感光体上の帯電状態に従って、トナーを感光体上に付ける。そして転写器６２でカセット６１１中から送られてきた用紙６９上にトナーを転写する。そしてその用紙は定着器６３にて熱等を加えられ定着される。一方転写の終了したドラムは消去ランプ６５で帯電が全面に渡って中和され、清掃器６６で残ったトナーが除去される。

【００８３】

さて本発明による発光チップを所定の実装基板上に直線状に一列に配列した発光素子アレイモジュールを光プリントヘッドに応用する。光プリントヘッドの構造を図１３に示す。この光プリントヘッドは、発光素子アレイ６１２とロッドレンズアレイ６１３とで構成され、レンズの焦点が感光ドラム６１上に結ぶようになっている。本発明の発光素子アレイモジュールからの光で感光ドラムに画像情報を書き込むことができる。

【００８４】

本発明によれば、この発光素子アレイモジュールのコストを従来よりはるかに低減できるため、低価格のプリントヘッド、低価格の光プリンタを提供することができる。

【００８５】

【発明の効果】

以上述べてきたように発光素子アレイとスイッチ素子アレイとを分離し、スイッチ素子アレイのピッチを発光素子アレイより小さくすることで、スイッチ素子アレイ部に隙間を作り、この部分にボンディングパッドを配することで、従来例にて示したチップのワイヤボンディングに必要な約１５０μｍの幅を削減することができ、従って、ウェハからの取得数を多くすることができる。そしてコスト低減に大きく貢献できる。

【００８６】

また、従来例の発光素子部の両側にあったワイヤボンディングを片側に集めることが可能となり、ワイヤボンディングを設けるのに必要な短辺幅をほとんど無くすることが可能となる。

【００８７】

また本発明は光プリンタ，ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

【図面の簡単な説明】

【図１】スイッチ素子アレイと発光素子アレイとを分離した発光装置の等価回路図である。

【図２】図１の発光装置の概略を示す平面図である。

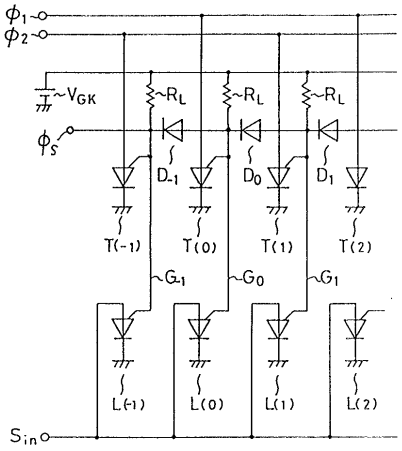
【図３】図２のＸ－Ｘ′ラインの断面図である。

【図４】実施例１の発光装置の概略を示す平面図である。

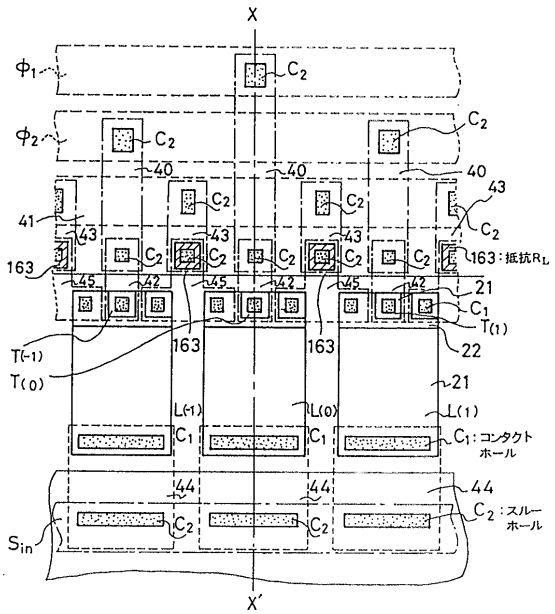
【図５】発光装置の１ビットの断面図である。

【図６】図４に示した実施例の最初の部分の等価回路である。
【図７】チップの全体像を示す図である。
【図８】実施例１の発光装置の概略を示す平面図である。
【図９】チップの全体像を示す図である。
【図１０】実施例３の発光装置の等価回路図である。
【図１１】実施例４の発光装置の等価回路図である。
【図１２】光プリンタ装置を示す図である。
【図１３】発光素子モジュールとロッドレンズアレイとの組合せを示す図である。
【符号の説明】
Ｔ　転送サイリスタ
Ｌ　発光サイリスタ
Φ_1　，Φ_2　　転送用クロックパルス
V_{GK}　電源電圧
Φ_S　　スタートパルス
S_{in}　書き込み信号
１　ｎ形基板
２２，２４　ｐ形半導体層
２１，２３　ｎ形半導体層

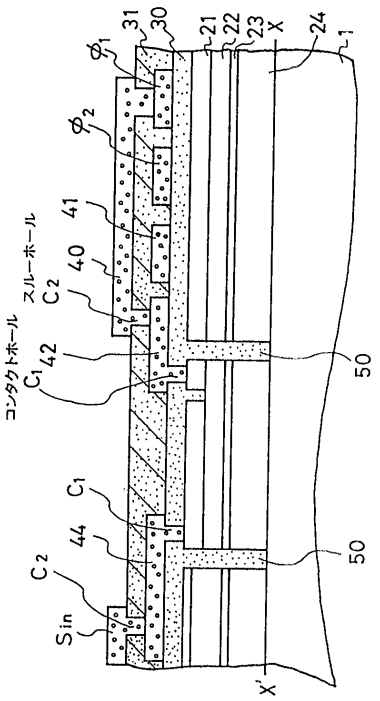
【図１】



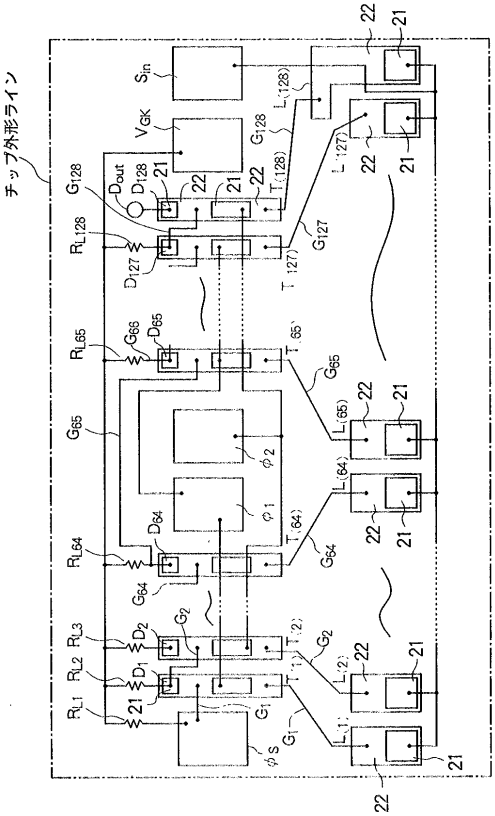
【図２】



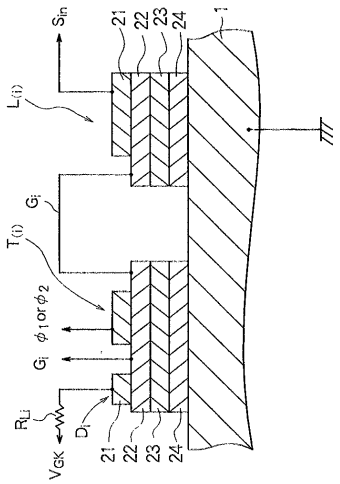
【図３】


コンタクトホール
スルーホール
C_1
C_2
S_{in}
ϕ_1
ϕ_2
X
X'
1
21
22
23
24
30
31
40
41
42
44
50

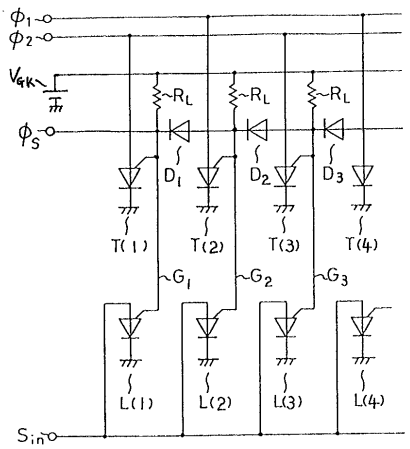
【図４】


チップ外形ライン
S_{in}
V_{GK}
D_{out}
D_{128}
G_{128}
R_{L128}
D_{127}
G_{127}
R_{L65}
G_{65}
D_{65}
G_{64}
D_{64}
R_{L64}
R_{L3}
R_{L2}
R_{L1}
D_1
D_2
G_1
G_2
ϕ_1
ϕ_2
ϕ_S
$L_{(128)}$
$L_{(127)}$
$L_{(65)}$
$L_{(64)}$
$L_{(2)}$
$L_{(1)}$
$T_{(128)}$
$T_{(127)}$
$T_{(65)}$
$T_{(64)}$
$T_{(2)}$
$T_{(1)}$
21
22

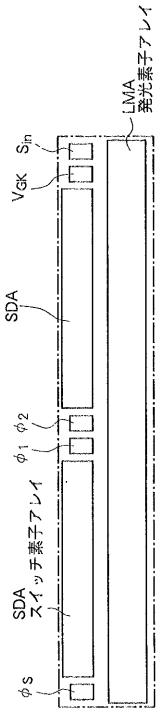
【図５】


S_{in}
$L_{(i)}$
G_i
$T_{(i)}$
ϕ_1 or ϕ_2
R_{Li}
D_i
V_{GK}
21
22
23
24
1

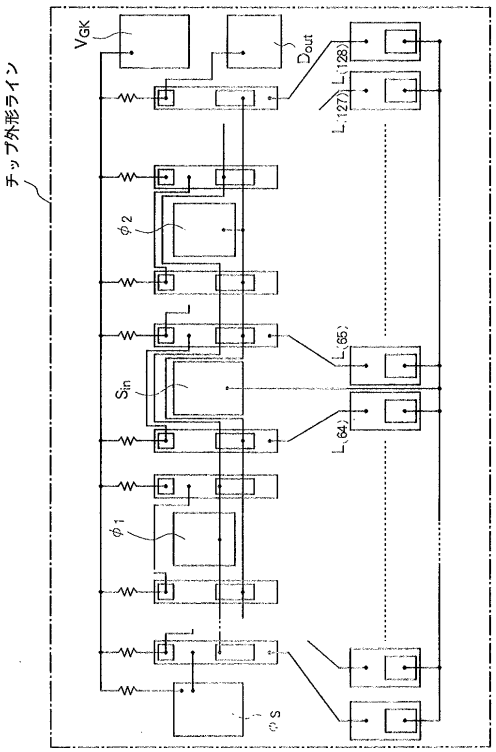
【図６】


ϕ_1
ϕ_2
V_{GK}
ϕ_S
R_L
D_1
D_2
D_3
T(1)
T(2)
T(3)
T(4)
G_1
G_2
G_3
L(1)
L(2)
L(3)
L(4)
S_{in}

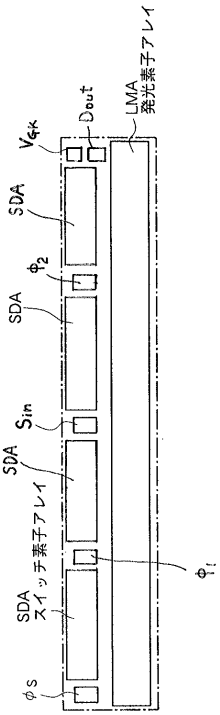
【図７】


LMA
発光素子アレイ
Sin
VGK
SDA
φ2
φ1
SDA
スイッチ素子アレイ
SDA
φS

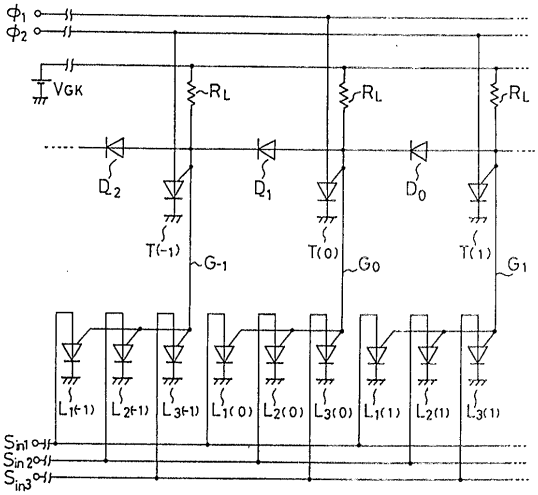
【図８】


チップ外形ライン
VGK
Dout
L(128)
L(127)
φ2
Sin
L(65)
L(64)
φ1
φS

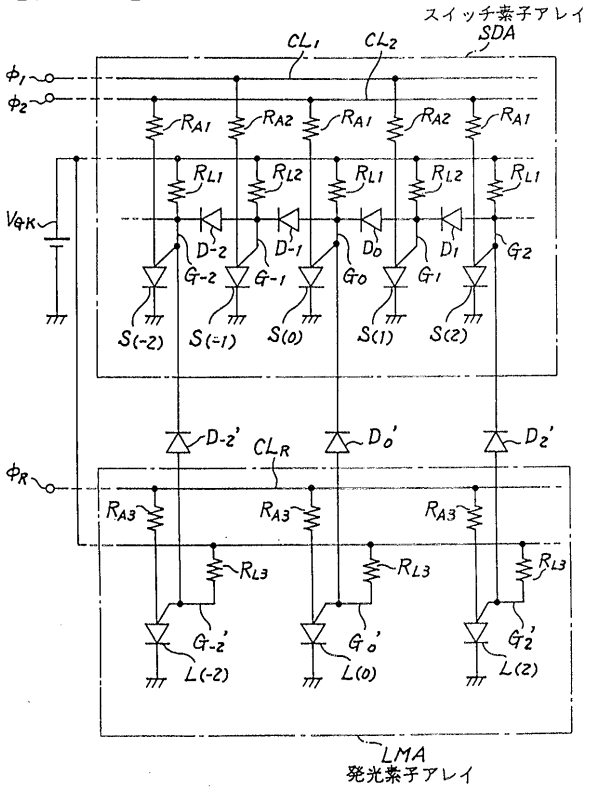
【図９】


LMA
発光素子アレイ
VGK
Dout
SDA
φ2
SDA
Sin
SDA
スイッチ素子アレイ
φS
φt

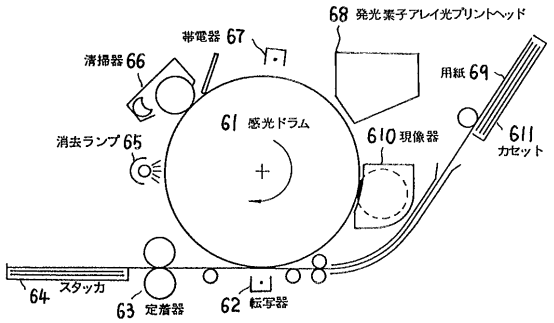
【図１０】


φ1
φ2
VGK
RL
RL
RL
D2
D1
D0
T(-1)
T(0)
T(1)
G-1
G0
G1
L1(-1)
L2(-1)
L3(-1)
L1(0)
L2(0)
L3(0)
L1(1)
L2(1)
L3(1)
Sin1
Sin2
Sin3

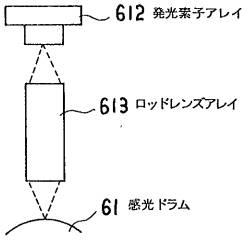
【図１１】


スイッチ素子アレイ
SDA
CL1
CL2
φ1
φ2
RA1
RA2
RL1
RL2
VGK
D-2
D-1
D0
D1
G2
G-2
G-1
G0
G1
S(-2)
S(-1)
S(0)
S(1)
S(2)
D-2'
CLR
D0'
D2'
φR
RA3
RL3
G-2'
G0'
G2'
L(-2)
L(0)
L(2)
LMA
発光素子アレイ

【図１２】


68 発光素子アレイ光プリントヘッド
帯電器 67
清掃器 66
用紙 69
61 感光ドラム
消去ランプ 65
610 現像器
611
カセット
64 スタッカ
63 定着器
62 転写器

【図１３】


612 発光素子アレイ
613 ロッドレンズアレイ
61 感光ドラム

フロントページの続き

審査官　名取　乾治

(56)参考文献　特開平０１－２３８９６２（ＪＰ，Ａ）
特開平０２－２６３６６８（ＪＰ，Ａ）
特開平０４－０２３３６７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
B41J　2/44
B41J　2/45
B41J　2/455