(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月18日(18.10.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/189964 A1

(51) 国際特許分類:
H01L 21/8239 (2006.01) *H01L 29/82* (2006.01)
H01L 27/105 (2006.01) *H01L 43/08* (2006.01)

(21) 国際出願番号: PCT/JP2017/046623

(22) 国際出願日: 2017年12月26日(26.12.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-080413 2017年4月14日(14.04.2017) JP

(71) 出願人: ＴＤＫ株式会社(**TDK CORPORATION**) [JP/JP]; 〒1080023 東京都港区芝浦三丁目９番１号 Tokyo (JP).

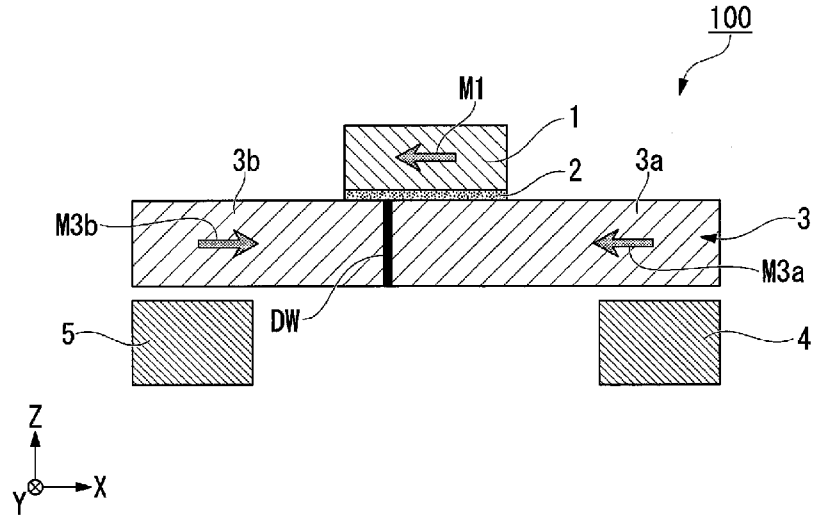
(72) 発明者: 佐々木 智生 (**SASAKI Tomoyuki**); 〒1080023 東京都港区芝浦三丁目９番１号 ＴＤＫ株式会社内 Tokyo (JP). 柴田 竜雄(**SHIBATA Tatsuo**); 〒1080023 東京都港区芝浦三丁目９番１号 ＴＤＫ株式会社内 Tokyo (JP).

(74) 代理人: 棚井 澄雄, 外 (**TANAI Sumio** et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) **Title:** MAGNETIC DOMAIN WALL UTILIZING ANALOG MEMORY ELEMENT, MAGNETIC DOMAIN WALL UTILIZING ANALOG MEMORY, NON-VOLATILE LOGIC CIRCUIT AND MAGNETIC NEURO-ELEMENT

(54) 発明の名称: 磁壁利用型アナログメモリ素子、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子



(57) **Abstract:** The magnetic domain wall utilizing analog memory element according to one mode of the present invention comprises: a magnetized fixed layer (1) wherein the magnetization is oriented in a first direction; a non-magnetic layer (2) provided on one surface of the magnetized fixed layer (1); a magnetic domain wall drive layer (3) provided relative to the magnetized fixed layer (1) such that the non-magnetic layer (2) is held therebetween; a first magnetization supply means (4) supplying to the magnetic domain wall drive layer (3) magnetization oriented in the first direction; and a second magnetization supply means (5) supplying to the magnetic domain wall drive layer (3) magnetization oriented in a

WO 2018/189964 A1

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

second direction opposite the first direction. At least one among the first magnetization supply means (4) and the second magnetization supply means (5) is in contact with the magnetic domain wall drive layer (3), and is a spin orbit torque wiring extending in a direction intersecting with the magnetic domain wall drive layer (3).

(57) 要約:本発明の一態様にかかる磁壁利用型アナログメモリ素子は、第１の方向に磁化が配向した磁化固定層（１）と、磁化固定層（１）の一面に設けられた非磁性層（２）と、磁化固定層（１）に対して非磁性層（２）を挟んで設けられた磁壁駆動層（３）と、磁壁駆動層（３）に第１の方向に配向した磁化を供給する第１磁化供給手段（４）及び第１の方向と反対の第２の方向に配向した磁化を供給する第２磁化供給手段（５）と、を備え、第１磁化供給手段（４）及び第２磁化供給手段（５）のうち少なくとも一方は、磁壁駆動層（３）に接し、磁壁駆動層（３）に対して交差する方向に延在するスピン軌道トルク配線である。

明　細　書

発明の名称 ：

磁壁利用型アナログメモリ素子、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子

技術分野

[0001] 本発明は、磁壁利用型アナログメモリ素子、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子に関する。

本願は、２０１７年４月１４日に、日本に出願された特願２０１７－０８０４１３号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 微細化に限界が見えてきたフラッシュメモリ等に代わる次世代の不揮発性メモリとして、抵抗変化型素子を利用してデータを記録する抵抗変化型メモリ例えば、ＭＲＡＭ（Magnetoresistive Random Access Memory）、ＲｅＲＡＭ（Resistance Random Access Memory）、ＰＣＲＡＭ（Phase Change Random Access Memory）などが注目されている。

[0003] メモリの高密度化（大容量化）の方法としては、メモリを構成する素子自体を小さくする方法の他に、メモリを構成する素子一つあたりの記録ビットを多値化する方法があり、様々な多値化方法が提案されている（例えば、特許文献１～３）。

[0004] ＭＲＡＭの一つに、磁壁駆動型あるいは磁壁移動型と呼ばれるものである（例えば、特許文献４）。磁壁駆動型ＭＲＡＭは、電流を磁壁駆動層（磁化自由層）の面内方向に流し、スピン偏極電子によるスピントランスファー効果によって磁壁を移動させ、強磁性膜の磁化を書き込み電流の方向に応じた向きに反転させることでデータ書き込みを行うものである。

特許文献４には、磁壁駆動型ＭＲＡＭについて、多値記録やアナログ記録の方法について記載されている。

ＭＲＡＭでは、データの異なる書き込み方法が提案されており、磁壁駆動

型ＭＲＡＭ以外にも、磁場書き込み型、ヨーク磁場書き込み型、ＳＴＴ（Spin Transfer Torque）型、ＳＯＴ（Spin Orbit Torque）型ＭＲＡＭなどが知られている。

特許文献５では、目的が情報の記憶ではなく、ビット線の電流を検出する目的で、従来型二値メモリの読み出しと同等の機能を提供するのみである。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開２０１５－０８８６６９号公報（Ａ）

特許文献2：国際公開第２００９／０７２２１３号（Ａ）

特許文献3：日本国特開２０１６－００４９２４号公報（Ａ）

特許文献4：国際公開第２００９／１０１８２７号（Ａ）

特許文献5：米国特許第９４８９６１８号明細書（Ｂ）

発明の概要

発明が解決しようとする課題

[0006] 図１３に、従来の磁壁駆動型ＭＲＡＭが備える磁気抵抗効果素子部分の一例の断面模式図を示す。

図１３に示す従来の構成では、第１の方向に磁化が配向した磁化固定層１１１と、磁化固定層１１１の一面に設けられた非磁性層１１２と、磁壁ＤＷを有し、第１領域１１３ａおよび第２領域１１３ｂとそれらの領域の間に位置する第３領域１１３ｃとからなる磁壁駆動層１１３と、第１領域１１３ａに接し、第１の磁化の向きを有する第１磁化供給層１１４と、第２領域に接し、前記第１の磁化の向きと反対向きの第２の磁化の向きを有する第２磁化供給層１１５と、を備える。

図１３において、矢印Ｍ１１、矢印Ｍ１４及び矢印Ｍ１５は各層の磁化の向きを示しており、矢印Ｍ１３ａおよび矢印Ｍ１３ｂはそれぞれ、磁壁駆動層１１３のうち、磁壁ＤＷを境界として第１磁化供給層１１４側の部分の磁化の向き、磁壁ＤＷを境界として第２磁化供給層１１５側の部分の磁化の向

きを示すものである。

図１３に示す通り、従来の磁壁駆動型ＭＲＡＭでは、磁壁駆動層の両端部のそれぞれに磁化固定領域（第１領域１１３ａ、第２領域１１３ｂ）を設けるためにその磁化固定領域に接合された磁化固定層（第１磁化供給層１１４、第２磁化供給層１１５）を備えていた。その構成によって、ＭＲＡＭあるいはニューロモルフィックデバイスとして機能させる場合には少なくとも磁化方向は２方向以上の方向に磁化を固定する必要がある。また、電極構造として３種の磁性積層構造が必要である。これらの構造を作る条件として、一般的に平坦面に作成することと、真空一貫で成膜することが考えられる。しかしながら、この条件に合う製造方法は提案されていない。

[0007] 本発明は、上記事情に鑑みてなされたものであり、従来の磁壁駆動型ＭＲＡＭが備えていた２つの磁化固定層のうち、少なくとも一つの磁化固定層を不要とした磁壁利用型アナログメモリ素子、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子を提供することを目的とする。

課題を解決するための手段

[0008] 本発明は、上記課題を解決するため、以下の手段を提供する。

[0009] （１）本発明の第１態様にかかる磁壁利用型アナログメモリ素子は、第１の方向に磁化が配向した磁化固定層と、前記磁化固定層の一面に設けられた非磁性層と、前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、前記磁壁駆動層に前記第１の方向に配向した磁化を供給する第１磁化供給手段及び前記第１の方向と反対の前記第２の方向に配向した磁化を供給する第２磁化供給手段と、を備え、前記第１磁化供給手段及び前記第２磁化供給手段のうち少なくとも一方は、前記磁壁駆動層に接し、前記磁壁駆動層に対して交差する方向に延在するスピン軌道トルク配線である。

[0010] （２）（１）に記載の態様にかかる磁壁利用型アナログメモリ素子において、前記スピン軌道トルク配線が前記磁壁駆動層よりも基板側（磁壁駆動層の非磁性層と接触する面とは反対側の面側）に設置されていてもよい。

[0011] （３）本発明の第２態様にかかる磁壁利用型アナログメモリ素子は、第１

の方向に磁化が配向した磁化固定層と、前記磁化固定層の一面に設けられた非磁性層と、前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、前記磁壁駆動層に前記第１の方向に配向した磁化を供給する第１磁化供給手段及び前記第１の方向と反対の前記第２の方向に配向した磁化を供給する第２磁化供給手段と、を備え、前記第１磁化供給手段及び前記第２磁化供給手段のうち少なくとも一方は、前記磁壁駆動層と電気的に絶縁され、前記磁壁駆動層（前記磁壁駆動層の長手方向）に対して交差する方向に延在する磁場印加配線である。

[0012] （４）（３）に記載の態様にかかる磁壁利用型アナログメモリ素子において、前記磁場印加配線は、前記磁壁駆動層の面内磁化を供給可能に配置されていてもよい。

[0013] （５）（３）に記載の態様にかかる磁壁利用型アナログメモリ素子において、前記磁場印加配線は、前記磁壁駆動層の面直磁化を供給可能に配置されていてもよい。

[0014] （６）本発明の第３態様にかかる磁壁利用型アナログメモリ素子は、第１の方向に磁化が配向した磁化固定層と、前記磁化固定層の一面に設けられた非磁性層と、前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、前記磁壁駆動層に前記第１の方向に配向した磁化を供給する第１磁化供給手段及び前記第１の方向と反対の前記第２の方向に配向した磁化を供給する第２磁化供給手段と、を備え、前記第１磁化供給手段及び前記第２磁化供給手段のうち少なくとも一方は、前記磁壁駆動層に絶縁層を介して接続された電圧印加手段である。

[0015] （７）上記態様にかかる磁壁利用型アナログメモリ素子において、前記磁化固定層と、前記磁壁駆動層において前記第１の方向と反対の第２方向に磁化が配向した領域との間に電流を流す電流制御手段をさらに備えてもよい。

[0016] （８）本発明の第４態様にかかる磁壁利用型アナログメモリは、上記態様にかかる磁壁利用型アナログメモリ素子を複数備える。

[0017] （９）本発明の第５態様にかかる不揮発性ロジック回路は、上記態様にか

かる磁壁利用型アナログメモリ素子がアレイ状に配置された磁壁利用型アナログメモリと、前記アレイ内あるいは前記アレイ外のいずれかにＳＴＴ－ＭＲＡＭを備え、記憶機能と論理機能を有し、記憶機能として前記磁壁利用型アナログメモリ及び前記ＳＴＴ－ＭＲＡＭを備えてなる。

[0018] （１０）本発明の第５態様にかかる磁気ニューロ素子は、上記態様にかかる磁磁壁利用型アナログメモリ素子を備え、前記磁壁駆動層は、長手方向に並ぶ第１記憶部と、該第１記憶部を挟む第２記憶部および第３記憶部とを有し、前記第１記憶部、前記第２記憶部および前記第３記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を制御する制御回路を有する電流源を備える。

発明の効果

[0019] 本発明の磁壁利用型アナログメモリ素子によれば、従来の磁壁駆動型ＭＲＡＭが備えていた２つの磁化固定層のうち、少なくとも一つの磁化固定層を不要とした磁壁利用型アナログメモリ素子を提供できる。

図面の簡単な説明

[0020] [図1]本発明に係る磁壁利用型アナログメモリ素子の一例の断面模式図である。

[図2]本発明の第１実施形態にかかる磁壁利用型アナログメモリ素子の斜視模式図を示す。

[図3]図２に示した本発明の第１実施形態にかかる磁壁利用型アナログメモリ素子の断面模式図である。

[図4A]磁壁駆動層中の磁壁の位置を模式的に示す断面模式図であり、磁化固定層の直下に磁壁がなく、磁化固定層の直下がすべて磁化固定層の磁化の向きと反平行の向きである場合の磁壁の位置の一例を示すものである。

[図4B]磁壁駆動層中の磁壁の位置を模式的に示す断面模式図であり、磁化固定層の直下に磁壁がなく、磁化固定層の直下がすべて磁化固定層の磁化の向きと平行な向きである場合の磁壁の位置の一例を示すものである。

[図4C]磁壁駆動層中の磁壁の位置を模式的に示す断面模式図であり、磁化固

定層の直下に磁壁がある場合の一例を示すものである。

[図5]第１実施形態にかかる磁壁利用型アナログメモリ素子の読み出し動作を示す図である。

[図6A]データの読み出し時の回路の一部を模式的に示した図であり、本実施形態にかかる磁壁利用型アナログメモリ素子のように磁化固定層の磁化と配向方向が反対の磁化が存在する方向に読み出し電流を流した場合の回路図である。

[図6B]データの読み出し時の回路の一部を模式的に示した図であり、磁化固定層の磁化と配向方向が同一の磁化が存在する方向に読み出し電流を流した場合の回路図である。

[図7]第２実施形態にかかる磁壁利用型アナログメモリ素子の一例の斜視模式図である。

[図8]第２実施形態にかかる磁壁利用型アナログメモリ素子の他の例の斜視模式図である。

[図9]第３実施形態にかかる磁壁利用型アナログメモリ素子の一例の斜視模式図である。

[図10]第３実施形態にかかる磁壁利用型アナログメモリ素子の他の例の斜視模式図である。

[図11]本発明にかかる磁気ニューロ素子の一例の断面模式図である。

[図12]本発明にかかる磁気ニューロ素子を用いた人工的な脳の概念を示す図である。

[図13]従来の磁壁利用型アナログメモリ素子の一例の断面模式図である。

[図14]磁気ニューロ素子をアレイ配置した積和演算回路である。

発明を実施するための形態

[0021] 以下、本実施形態について、図面を用いてその構成を説明する。以下の説明で用いる図面は、特徴をわかりやすくするために便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などは実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一

例であって、本発明はそれらに限定されるものではない。

[0022]（磁壁利用型アナログメモリ素子）

図１は、本発明に係る磁壁利用型アナログメモリ素子の一例の断面模式図である。図１に示す磁壁利用型アナログメモリ素子は、磁化固定層１と、非磁性層２と、磁壁駆動層３と、第１磁化供給手段４と、第２磁化供給手段５とを備える。

第１磁化供給手段４及び第２磁化供給手段５はそれぞれ、磁壁駆動層３に対して局所的に磁化反転を起こす（磁化を供給する）ことができる手段である。

図１において、１磁化供給手段４及び第２磁化供給手段５は磁壁駆動層３と離間して配置しているが、これは一実施形態であって、本発明の磁壁利用型アナログメモリ素子では、第１磁化供給手段４及び第２磁化供給手段５は、具体的な手段によっては、磁壁駆動層３に直接接合する場合もあるし、層を介して接合する場合もある。

[0023] 図１において、各層の積層方向すなわち、各層の主面に直交する方向（面直方向）をＺ方向として定義している。各層はＺ方向に直交するＸＹ面に平行に形成されている。

[0024]「磁化固定層」

磁化固定層１は、磁化Ｍ１が第１の方向に配向し、固定された層である。ここで、磁化が固定されるとは、書き込み電流を用いた書き込み前後において磁化方向が変化しない（磁化が固定されている）ことを意味する。

なお、本明細書において、「第１の方向」及び「第２の方向」における“方向”とは、平行な場合であっても向きが異なる場合には異なる方向、平行な場合であってかつ向きが同じ場合を同じ方向という意味で用いている。

[0025] 図１に示す例では、磁化固定層１は磁化Ｍ１が面内磁気異方性（面内磁化容易軸）を有する面内磁化膜である。磁化固定層１は、面内磁化膜に限られず、垂直磁気異方性（垂直磁化容易軸）を有する垂直磁化膜であってもよい。

[0026] 磁化固定層１が面内磁化膜であると、高いＭＲ比を有し、読み込み時にスピントランスファートルク（ＳＴＴ）による影響を受けにくく、読み取り電圧を大きくできる。一方、素子を微小化したい場合には磁気異方性が大きく、反磁界が小さい、垂直磁化膜を用いることが好ましい。垂直磁化膜は、熱擾乱に対する耐性が大きいため、データが消去されにくい。

[0027] 磁化固定層１には、公知の材料を用いることができる。例えば、Ｃｒ、Ｍｎ、Ｃｏ、Ｆｅ及びＮｉからなる群から選択される金属及びこれらの金属を１種以上含み強磁性を示す合金を用いることができる。またこれらの金属と、Ｂ、Ｃ、及びＮの少なくとも１種以上の元素とを含む合金を用いることもできる。具体的には、Ｃｏ－ＦｅやＣｏ－Ｆｅ－Ｂが挙げられる。

[0028] また磁化固定層１には、Co_2FeSiなどのホイスラー合金を用いることもできる。

ホイスラー合金は、X_2YZの化学組成をもつ金属間化合物を含み、Ｘは、周期表上でＣｏ、Ｆｅ、Ｎｉ、あるいはＣｕ族の遷移金属元素または貴金属元素であり、Ｙは、Ｍｎ、Ｖ、ＣｒあるいはＴｉ族の遷移金属でありＸの元素種をとることもでき、Ｚは、ＩＩＩ族からＶ族の典型元素である。例えば、Co_2FeSi、Co_2MnSiや$Co_2Mn_{1-a}Fe_aAl_bSi_{1-b}$などが挙げられる。

[0029] また磁化固定層１は反強磁性層、強磁性層、非磁性層から成るシンセティック構造であってもよい。シンセティック構造において磁化固定層１の磁化方向は反強磁性層によって強く保持される。そのため、磁化固定層１の磁化が外部からの影響を受けにくくなる。

[0030] 磁化固定層１の磁化をＸＹ面内に配向させる（磁化固定層１を面内磁化膜にする）場合は、例えば、ＮｉＦｅを用いることが好ましい。一方で磁化固定層１の磁化をＺ方向に配向させる（磁化固定層１を垂直磁化膜にする）場合は、例えば、Ｃｏ／Ｎｉ積層膜、Ｃｏ／Ｐｔ積層膜等を用いることが好ましい。例えば、磁化固定層１を［Ｃｏ（０．２４ｎｍ）／Ｐｔ（０．１６ｎｍ）］$_6$／Ｒｕ（０．９ｎｍ）／［Ｐｔ（０．１６ｎｍ）／Ｃｏ（０．１６ｎ

ｍ）］$_4$／Ｔａ（０．２ｎｍ）／ＦｅＢ（１．０ｎｍ）とすると、垂直磁化膜となる。

[0031]「非磁性層」

非磁性層２は、磁化固定層１の一面に設けられている。磁壁利用型アナログメモリ素子１００は、非磁性層２を介して磁化固定層１に対する磁壁駆動層３の磁化状態の変化を抵抗値変化として読み出す。すなわち、磁化固定層１、非磁性層２及び磁壁駆動層３は磁気抵抗効果素子として機能し、非磁性層２が絶縁体からなる場合はトンネル磁気抵抗（ＴＭＲ）素子と似た構成であり、非磁性層２が金属からなる場合は巨大磁気抵抗（ＧＭＲ）素子と似た構成である。

[0032] 非磁性層２の材料としては、磁気抵抗効果素子の非磁性層に用いることができる公知の材料を用いることができる。非磁性層２が絶縁体からなる場合（トンネルバリア層である場合）、その材料としてAl_2O_3、SiO_2、ＭｇＯ、$MgAl_2O_4$、$ZnAl_2O_4$、$MgGa_2O_4$、$ZnGa_2O_4$、$MgIn_2O_4$、$ZnIn_2O_4$、及び、これらの材料の多層膜や混合組成膜等を用いることができる。またこれらの他にも、Ａｌ、Ｓｉ、Ｍｇの一部が、Ｚｎ、Ｂｅ等に置換された材料等も用いることができる。これらの中でも、ＭｇＯや$MgAl_2O_4$はコヒーレントトンネルが実現できる材料であるため、スピンを効率よく注入できる。一方で、非磁性層２が金属からなる場合は、その材料としてＣｕ、Ａｌ、Ａｇ等を用いることができる。

[0033]「磁壁駆動層３」

磁壁駆動層３は強磁性体材料からなる磁化自由層であり、その内部の磁化の向きは反転可能である。磁壁駆動層３は、磁化Ｍ３ａが磁化固定層１と同じ第１の方向に配向した第１領域３ａと、磁化Ｍ３ｂが第１の方向と反対の第２の方向に配向した第２領域３ｂと、これらの領域の界面をなす磁壁ＤＷとを有する。磁壁ＤＷを挟んで第１領域３ａと第２領域３ｂの磁化の向きは反対である。磁壁ＤＷは、磁壁駆動層３における第１領域３ａと第２領域３ｂの構成比率が変化することで移動する。

[0034] 磁壁駆動層３の材料には、磁気抵抗効果素子の磁化自由層に用いることができる公知の材料を用いることができ、特に軟磁性材料を適用できる。例えば、Ｃｒ、Ｍｎ、Ｃｏ、Ｆｅ及びＮｉからなる群から選択される金属、これらの金属を１種以上含む合金、これらの金属とＢ、Ｃ、及びＮの少なくとも１種以上の元素とが含まれる合金等を用いることができる。具体的には、Ｃｏ－Ｆｅ、Ｃｏ－Ｆｅ－Ｂ、Ｎｉ－Ｆｅが、磁壁駆動層３の材料として挙げられる。

[0035] 磁壁駆動層３の材料には、飽和磁化が小さい材料を用いることもできる。例えば、ＭｎＧａＡｓやＩｎＦｅＡｓは飽和磁化が小さいため、小さい電流密度で磁壁駆動させることができる。また、これらの材料の磁壁駆動速度が遅いため、アナログメモリにおいて使用する場合に好ましい。ＮｉＦｅのような磁気異方性が弱い材料では磁壁駆動速度が速く１００ｍ／ｓｅｃ以上の速度で動作する。つまり、１０ｎｓｅｃのパルスで、１μｍの距離を移動する。したがって、磁壁駆動層を素子内でアナログ的に動かす場合には、高価は半導体回路を用いて微小なパルスを印可するか、集積度を犠牲にして磁壁駆動層を十分長くするなどの対応が必要となる。磁壁駆動速度が遅い材料の場合には、十分長いパルス電流や磁壁駆動層の長さが短い素子でのアナログメモリを形成することが可能である。

[0036] 磁壁駆動層３の材料には、Mn_3X（Ｘ＝Ｇａ、Ｇｅ）の垂直磁化膜やＣｏ／Ｎｉ、Ｃｏ／Ｐｔなどの多層膜による垂直磁化膜が好ましい。これらの材料は磁壁駆動のための電流密度が小さくても磁壁を駆動させることが可能である。

[0037] 磁壁駆動層３がＸ方向に延在する長さは６０ｎｍ以上であることが好ましい。６０ｎｍ未満では単磁区になりやすく、磁壁駆動層３内に磁壁ＤＷが形成されにくい。

[0038] 磁壁駆動層３の厚さは磁壁駆動層として機能する限り、特に制限はないが、例えば、２～６０ｎｍとすることができる。磁壁駆動層３の厚さが６０ｎｍ以上になると、積層方向に磁壁が形成される可能性が高まる。ただし、積

層方向に磁壁が形成されるか否かは、磁壁駆動層３の形状異方性とのバランスによって生じる。磁壁駆動層３の厚さが６０ｎｍ未満であれば、磁壁ＤＷができることは考えにくい。

[0039] 磁壁駆動層３は、層の側面に磁壁ＤＷの移動を止める磁壁ピン止め部を有してもよい。

例えば、磁壁駆動層３の磁壁ＤＷの移動を止めたい位置に、凹凸、溝、膨らみ、くびれ、切り欠きなどを設けると、磁壁の移動を止める（ピンする）ことができる。磁壁ピン止め部を有すると、閾値以上の電流を流さないとそれ以上磁壁が移動しない構成とすることができ、出力信号をアナログ的ではなく、多値化し易くなる。

[0040] 例えば、磁壁ピン止め部を所定の距離ごとに形成することにより、磁壁ＤＷをより安定的に保持することができ、安定的な多値記録を可能にし、より安定的に多値化された出力信号を読み出すことを可能にする。

[0041]「第１磁化供給手段、第２磁化供給手段」

図１３に示した従来の磁壁駆動型ＭＲＡＭでは、図１に示す第１磁化供給手段４及び第２磁化供給手段５に相当する手段はいずれも磁化が固定された磁化供給層であった（図１３の第１磁化供給層１１４及び第２磁化供給層１１５参照）。

これに対して、本発明の磁壁利用型アナログメモリ素子では、第１磁化供給手段４及び第２磁化供給手段５のうち、少なくとも一方の手段は磁化が固定された磁化供給手段（磁化供給層）ではなく、後述する磁化供給手段である点が、図１３に示す従来の磁壁駆動型ＭＲＡＭと異なる。他方の磁化供給手段は図１３に示したような磁化が固定された磁化供給層であってもよい。

[0042] 本発明の磁壁利用型アナログメモリ素子の理解を容易にするために、まず、図１３を参照して従来の磁壁駆動型ＭＲＡＭについて説明する。

従来の磁壁駆動型ＭＲＡＭにおいては、第１磁化供給層１１４または第２磁化供給層１１５との間に書込み電流が流れることで、第１磁化供給層１１４または第２磁化供給層１１５から磁壁駆動層１１３に磁化が供給される。

[0043] 第１磁化供給層１１４及び第２磁化供給層１１５は、いずれも磁化が固定された強磁性体材料からなる層（強磁性層）である。第１磁化供給層１１４の磁化Ｍ１４は、第１磁化供給層１１４が接する磁壁駆動層１１３の第１領域３ａの磁化Ｍ３ａと同一方向に配向している。すなわち、第１磁化供給層１１４の磁化Ｍ１４は、磁化固定層１１１の磁化Ｍ１と同一方向に配向している。これに対し、第２磁化供給層１１５の磁化Ｍ１５は、第２磁化供給層１１５が接する磁壁駆動層１１３の第２領域３ｂの磁化Ｍ３ｂと同一方向に配向している。すなわち、第２磁化供給層１１５の磁化Ｍ１５は、磁化固定層１１１の磁化Ｍ１と反対方向に配向している。

[0044] 磁壁駆動層１１３の第１磁化供給層１１４及び第２磁化供給層１１５と接している部分の磁化の向きは通常の使用では、書き換わることはない。第１磁化供給層１１４及び第２磁化供給層１１５と磁壁駆動層１１３が磁気的に結合し、安定化するためである。そのため、第１磁化供給層１１４及び第２磁化供給層１１５を磁化供給手段として用いると、磁壁ＤＷを移動させても、磁壁ＤＷは第１磁化供給層１１４及び第２磁化供給層１１５と接する部分より外側（Ｘ方向）に移動することは通常の使用ではない。磁壁ＤＷの移動可能範囲が制限されることで、動作中に磁壁ＤＷが無くなり単磁区化することを抑制できる。

以上のようなメリットはあるものの、上述したような問題があり、本発明はその問題を解決するものである。

[0045] 図２に、本発明の第１実施形態にかかる磁壁利用型アナログメモリ素子の斜視模式図を示す。

図２を参照して、本発明の第１実施形態にかかる磁壁利用型アナログメモリ素子が備える第１磁化供給手段４及び第２磁化供給手段５について説明する。

[0046] 磁壁利用型アナログメモリ素子１０１において、磁化供給手段は、磁壁駆動層３に接合し、磁壁駆動層３に対して交差する方向に延在する第１スピン軌道トルク配線１４と第２スピン軌道トルク配線１５である。以下、第１ス

ピン軌道トルク配線１４及び第２スピン軌道トルク配線１５をまとめてスピン軌道トルク配線と言う場合がある。

磁壁利用型アナログメモリ素子１０１はかかる構成を有することにより、磁化固定層を設置することがなくても、スピン軌道トルク配線の両端に電流を流すことにより磁壁駆動層に磁壁を導入することができ、また、スピン軌道トルク配線を介して磁壁駆動層に電流を流すことで、磁壁に移動させることができる。

[0047] スピン軌道トルク配線は、電流が流れるとスピンホール効果によって純スピン流が生成される材料からなる。スピン軌道トルク配線を構成する材料は、単体の元素からなる材料に限らないし、純スピン流が生成される材料で構成される部分と純スピン流が生成されない材料で構成される部分とからなるもの等であってもよい。

[0048] スピン軌道トルク配線は、非磁性の重金属を含んでもよい。ここで、重金属とは、イットリウム以上の比重を有する金属の意味で用いている。スピン軌道トルク配線は、非磁性の重金属だけからなってもよい。

[0049] この場合、非磁性の重金属は最外殻にｄ電子又はｆ電子を有する原子番号３９以上の原子番号が大きい非磁性金属であることが好ましい。かかる非磁性金属は、スピンホール効果を生じさせるスピン軌道相互作用が大きいからである。スピン軌道トルク配線は、最外殻にｄ電子又はｆ電子を有する原子番号３９以上の原子番号が大きい非磁性金属だけからなってもよい。

[0050] 通常、金属に電流を流すとすべての電子はそのスピンの向きに関わりなく、電流とは逆向きに動くのに対して、最外殻にｄ電子又はｆ電子を有する原子番号が大きい非磁性金属はスピン軌道相互作用が大きいためにスピンホール効果によって電子の動く方向が電子のスピンの向きに依存し、純スピン流が発生しやすい。また、金属の合金であることが好ましい。合金は異なる金属元素が一つの構造内に存在するため、結晶構造の対称性が低下し、純スピン流が発生しやすくなる。さらに、好ましくは合金の金属元素の原子番号が十分異なることが好ましい。この場合、電子が感じる金属元素の軌道が大き

く変化するため、より純スピン流が発生しやすくなる。

[0051] また、スピン軌道トルク配線は、磁性金属を含んでもよい。磁性金属とは、強磁性金属、あるいは、反強磁性金属を指す。非磁性金属に微量な磁性金属が含まれるとスピン軌道相互作用が増強され、スピン軌道トルク配線に流す電流に対するスピン流生成効率を高くできるからである。スピン軌道トルク配線は、反強磁性金属だけからなってもよい。

[0052] スピン軌道相互作用はスピン軌道トルク配線材料の物質の固有の内場によって生じるため、非磁性材料でも純スピン流が生じる。スピン軌道トルク配線材料に微量の磁性金属を添加すると、磁性金属自体が流れる電子スピンを散乱するためにスピン流生成効率が向上する。ただし、磁性金属の添加量が増大し過ぎると、発生した純スピン流が添加された磁性金属によって散乱されるため、結果としてスピン流が減少する作用が強くなる。したがって、添加される磁性金属のモル比はスピン軌道トルク配線の主成分のモル比よりも十分小さい方が好ましい。目安で言えば、添加される磁性金属のモル比は３％以下であることが好ましい。

[0053] また、スピン軌道トルク配線は、トポロジカル絶縁体を含んでもよい。スピン軌道トルク配線は、トポロジカル絶縁体だけからなってもよい。トポロジカル絶縁体とは、物質内部が絶縁体、あるいは、高抵抗体であるが、その表面にスピン偏極した金属状態が生じている物質である。物質にはスピン軌道相互作用という内部磁場のようなものがある。そこで外部磁場が無くてもスピン軌道相互作用の効果で新たなトポロジカル相が発現する。これがトポロジカル絶縁体であり、強いスピン軌道相互作用とエッジにおける反転対称性の破れにより純スピン流を高効率に生成することができる。

[0054] トポロジカル絶縁体としては例えば、ＳｎＴｅ、$Bi_{1.5}Sb_{0.5}Te_{1.7}Se_{1.3}$、ＴｌＢｉＳｅ$_2$、$Bi_2Te_3$、$(Bi_{1-x}Sb_x)_2Te_3$などが好ましい。これらのトポロジカル絶縁体は、高効率にスピン流を生成することが可能である。

[0055] スピン軌道トルク配線は、磁壁駆動層３よりも基板（図示せず）側に設置

されていることが好ましい。スピン軌道トルク配線が下にあることで、スピン軌道トルク配線の表面を平坦化することができ、磁壁駆動層とスピン軌道トルク層の界面でのスピン流の散乱を抑制し、少ない電流密度で局所的な磁化反転を引き起こすことができる。

[0056] （その他の構成）

磁壁駆動層３と非磁性層２の間に磁気結合層を設置してもよい。磁気結合層とは、磁壁駆動層３の磁化状態を転写する層である。磁壁駆動層３の主たる機能は磁壁を駆動させるための層であり、磁化固定層１と非磁性層２を介して生じる磁気抵抗効果に適した材料を選択できるとは限らない。一般的に、非磁性層２を用いたコヒーレントトンネル効果を生じさせるためには、磁化固定層１や磁気結合層はＢＣＣ構造の強磁性材料が良いことが知られている。特に、磁化固定層１や磁気結合層の材料として、Ｃｏ－Ｆｅ－Ｂの組成の材料がスパッタによって作成した際に大きな出力が得られることが知られている。

[0057] また磁壁駆動層３のうち平面視して磁化固定層１と重なる部分の厚さは他の部分よりも厚くても良い。磁壁ＤＷが非磁性層２の下部を移動する際、磁壁ＤＷの断面積が増大することで電流密度が減少し、磁壁ＤＷの移動速度が遅くなる。磁壁ＤＷの移動速度が遅くなると、磁壁駆動層３の磁化固定層１と接する部分における第１領域３ａと第２領域３ｂの構成比率を制御しやすく、出力データをアナログ値として読み出しやすくなる。

[0058] このような構造は、磁壁駆動層３、非磁性層２及び磁化固定層１を連続成膜で成膜し、余計な部分を削り取ることによって作製できる。連続成膜を実施した場合には接合する層の間の結合が強くなり、より効率の高い磁気結合や出力が得られる。

[0059] またこの他、磁気抵抗効果素子に用いられる構成と同等の構成を用いることができる。

例えば、各層は複数の層からなるものでもよいし、磁化固定層１の磁化方向を固定するための反強磁性層等の他の層を備えてもよい。

[0060] 「書き込み動作」

図３は、図２に示した本発明の第１実施形態にかかる磁壁利用型アナログメモリ素子の断面模式図である。

第１実施形態にかかる磁壁利用型アナログメモリ素子１０１において書き込みを行う際には、第１スピン軌道トルク配線１４と第２スピン軌道トルク配線１５の少なくとも一方に電流I_{14}、I_{15}を流すことによってスピンホール効果により生成される純スピン流、及び、スピン軌道トルク配線と磁壁駆動層３との間の界面に界面ラシュバ効果により生成したスピン蓄積（上向きスピン又は下向きスピンの一方が多く存在している状態）によって発生する純スピン流を利用する。

[0061] スピンホール効果は、材料に電流を流した場合にスピン軌道相互作用に基づき、電流の向きと直交する方向に純スピン流が誘起される現象である。スピン軌道トルク配線の延在方向に電流を流すと、一方向に配向した第１スピンと反対方向に配向した第２スピンとがそれぞれ電流と直交する方向に曲げられる。通常のホール効果とスピンホール効果とは運動（移動）する電荷（電子）が運動（移動）方向を曲げられる点で共通するが、通常のホール効果は磁場中で運動する荷電粒子がローレンツ力を受けて運動方向を曲げられるのに対して、スピンホール効果では磁場が存在しないのに電子が移動するだけ（電流が流れるだけ）で移動方向が曲げられる点で大きく異なる。

[0062] 非磁性体（強磁性体ではない材料）では第１スピンの電子数と第２スピンの電子数とが等しい。そのため、例えば図中で上方向に向かう第１スピンの電子数と下方向に向かう第２スピンの電子数は等しい。第１スピンの電子の流れを$J_{\uparrow}$、第２スピンの電子の流れを$J_{\downarrow}$、スピン流をJ_Sと表すと、$J_S = J_{\uparrow} - J_{\downarrow}$で定義される。$J_S$は分極率が１００％の電子の流れである。すなわち、スピン軌道トルク配線内において、電荷の正味の流れとしての電流はゼロであり、この電流を伴わないスピン流は特に純スピン流と呼ばれる。

[0063] 純スピン流が生じているスピン軌道トルク配線を磁壁駆動層３に接合すると、所定の方向に配向したスピンが磁壁駆動層３に拡散して流れ込む。

[0064] 界面ラシュバ効果の詳細なメカニズムについては明らかでないが、以下のように考えられる。異種材料間の界面においては、空間反転対称性が破れていて、面直方向にポテンシャル勾配が存在しているとみなされる。このような面直方向にポテンシャル勾配がある界面に沿って電流が流れる場合、つまり電子が２次元の面内を運動する場合、電子の運動方向と垂直且つ面内の方向において有効磁場がスピンに作用して、その有効磁場の方向にスピンの向きが揃う。これにより、界面にスピン蓄積が形成される。そして、このスピン蓄積は、面外に拡散する純スピン流を生じさせる。

[0065] 例えば、図２においてスピン軌道トルク配線と磁壁駆動層３の界面は異種材料間の界面に対応する。そのため、スピン軌道トルク配線の磁壁駆動層３側の面には所定の方向に配向したスピンが蓄積する。蓄積したスピンは、エネルギー的な安定を得るために、磁壁駆動層３に拡散し流れ込む。

[0066] 磁壁駆動層３に拡散し流れ込むスピンの向きは、第１スピン軌道トルク配線１４及び第２スピン軌道トルク配線１５に流す電流の向きで変更できる。磁壁駆動層３の第１領域３ａには磁化M_{3a}と同一方向のスピンが、磁壁駆動層３の第２領域３ｂには磁化M_{3b}と同一方向のスピンが、供給されるようにする。

[0067] このように、第１スピン軌道トルク配線１４と第２スピン軌道トルク配線１５の少なくとも一方に電流I_{14}、I_{15}を流すことで、磁壁駆動層３に所定の方向のスピンを供給することができ、その結果、磁壁駆動層３内の磁壁の位置を移動することができる。

[0068] 図４Ａに、磁壁の位置が図３に示した位置とは異なる位置に移動した状態を示す。

磁壁ＤＷの位置が変動すると、磁壁駆動層３の磁化固定層１と接触する部分の磁化状態が変化する。例えば、図４Ａに示すように磁壁駆動層３の磁化固定層１と接触する部分の磁化状態が、磁化固定層１の磁化Ｍ１と反平行の場合を“０”、図４Ｂに示すように磁壁駆動層３の磁化固定層１と接触する部分の磁化状態が、磁化固定層１の磁化Ｍ１と平行の場合を“１”とするこ

とでデータを２値で記録できる。また、図４Ｃのように磁壁駆動層３の磁化固定層１と接触する部分に磁壁ＤＷがある場合において、磁壁駆動層３における磁化Ｍ３ａと磁化Ｍ３ｂの構成比率が変化する。変動する抵抗値に複数の閾値を設けることで、データを多値で記録できる。

[0069] また、磁壁ＤＷの移動量（移動距離）は、書き込み電流I_{14}、I_{15}の大きさ、時間を調整することによって可変に制御することができる。書き込み電流の大きさ、時間は例えば、パルス数あるいはパルス幅によって磁壁ＤＷの移動量（移動距離）を設定してもよい。

[0070] 本発明の磁壁利用型アナログメモリ素子では、第１磁化供給手段４及び第２磁化供給手段５のうち、少なくとも一方の手段は磁化が固定された磁化供給層（図１３の第１磁化供給層１１４及び第２磁化供給層１１５参照）ではない。磁壁駆動層３の磁化固定層１を挟んだ２つの端部のうち、磁化が固定された磁化供給層が接合されていない端部では、磁壁が、磁壁駆動層３の橋に達して単磁区化することがある。この場合は、書き込む際に、磁化供給手段を用いて磁壁駆動層内に磁壁を導入した後に、磁壁を磁化固定層１の下に移動して書き込むことができる。

第１磁化供給手段４及び第２磁化供給手段５のいずれも、磁化が固定された磁化供給層ではない場合例えば、第１実施形態の場合、第１スピン軌道トルク配線１４及び第２スピン軌道トルク配線１５に対して互いに逆向きに電流を流すことによって、互いに反平行の磁化を導入することによって磁壁を導入することができる。他の実施形態の場合も同様であり、第１磁化供給手段４及び第２磁化供給手段５のそれぞれから互いに反平行の磁化を導入することによって磁壁を導入することができる。

[0071]「読み出し動作」

次いで、データの読み出し動作について説明する。図５は、本実施形態にかかる磁壁利用型アナログメモリ素子１０１の読み出し動作を示す図である。

[0072] 図５に示すように、データの読み出し時には、磁化固定層１の磁化Ｍ１と

配向方向が反対の磁化Ｍ３ｂが存在する方向に読み出し電流を流すことが好ましい。すなわち、磁化固定層１と磁壁駆動層３の第２領域３ｂと電極６Ａとの間に読み出し電流を流す方が、磁化固定層１と磁壁駆動層３の第２領域３ｂと電極６Ｂとの間に読み出し電流を流すより好ましい。電流I_Rの流れ方向は、電流制御手段によって制御する。磁化固定層１の磁化Ｍ１と配向方向が反対の磁化Ｍ３ｂが存在する方向に電流I_Rを流すことで、磁壁利用型アナログメモリ素子１０１の抵抗値変化が線形になり、データをより正確に多値で読み出すことができる。この理由について以下に説明する。

[0073] 磁壁駆動層３の第１領域３ａの磁化Ｍ３ａは、磁化固定層１の磁化Ｍ１と平行に配向している。これに対し、磁壁駆動層３の第２領域３ｂの磁化Ｍ３ｂは、磁化固定層１の磁化Ｍ１と反平行に配向している。すなわち、磁化固定層１と第１領域３ａの界面は低抵抗であり、磁化固定層１と第２領域３ｂの界面は高抵抗である。

[0074] 図６Ａ及び図６Ｂは上記理由を概念的に示すために、データの読み出し時の回路の一部を模式的に示した図であり、図６Ａは本実施形態にかかる磁壁利用型アナログメモリ素子のように磁化固定層１の磁化Ｍ１と配向方向が反対の磁化Ｍ３ｂが存在する方向に読み出し電流I_Rを流した場合（図５の点線）の回路図であり、図６Ｂは磁化固定層１の磁化Ｍ１と配向方向が同一の磁化Ｍ３ａが存在する方向に読み出し電流を流した場合の回路図である。

[0075] 磁化固定層１の磁化Ｍ１と配向方向が反対の磁化Ｍ３ｂが存在する第２領域３ｂ側に読み出し電流I_Rを流す場合、図４Ａに示すように、磁化固定層１と第１領域３ａとの界面における抵抗R_{3a}を有する電流経路I_{3a}と、磁化固定層１と第２領域３ｂの界面における抵抗R_{3b}を有する電流経路I_{3b}と、を有する並列回路が形成される。磁化固定層１と第１領域３ａとの界面における抵抗R_{3a}及び磁化固定層１と第２領域３ｂの界面における抵抗R_{3b}は、磁化固定層１と接する磁壁駆動層３における磁壁ＤＷの位置により変化する可変抵抗とみなせる。

[0076] また読み出し電流I_Rは最終的に第２領域３ｂ側へ向かうため、磁化固定層

１と第１領域３ａとの界面を流れる電流は必ず、第１領域３ａと第２領域３ｂの間の磁壁ＤＷを通過する。すなわち、電流経路I_{3a}には磁壁ＤＷ界面における抵抗R_{DW}が重畳される。磁壁ＤＷは位置が変動するだけで抵抗状態は大きく変動しないため、抵抗R_{DW}は固定抵抗とみなせる。

[0077] これに対し、磁化固定層１の磁化Ｍ１と配向方向が同一の磁化Ｍ３ａが存在する第１領域３ａ側に読み出し電流を流す場合も、図４Ｂに示すように、磁化固定層１と第１領域３ａとの界面における抵抗R_{3a}を有する電流経路I_{3a}と、磁化固定層１と第２領域３ｂの界面における抵抗R_{3b}を有する電流経路I_{3b}と、を有する並列回路が形成される。一方で、最終的に読み出し電流は第１領域３ａ側へ向かうため、磁化固定層１と第２領域３ｂとの界面を流れた電流は必ず、第１領域３ａと第２領域３ｂの間の磁壁ＤＷを通過する必要がある。すなわち、電流経路I_{3b}に磁壁ＤＷ界面における抵抗R_{DW}が重畳される。

[0078] ここで上述のように、磁化固定層１と第１領域３ａの界面の抵抗R_{3a}は、磁化固定層１と第２領域３ｂの界面の抵抗R_{3b}より低抵抗である。図４Ｂに示すように、磁壁ＤＷの界面における抵抗R_{DW}が高抵抗な抵抗R_{3b}が存在する電流経路I_{3b}に存在すると、電流経路I_{3b}の総抵抗が大きくなり、読み出し電流の多くは電流経路I_{3a}を流れる。そのため、磁化固定層１の磁化Ｍ１と配向方向が同一の磁化Ｍ３ａが存在する第１領域３ａ側に読み出し電流I_Rを流す場合、磁壁利用型アナログメモリ素子１００の抵抗値変化として主として読み出されるのは、磁化固定層１と第１領域３ａの界面の抵抗R_{3a}の抵抗値変化であり、磁化固定層１と第２領域３ｂの界面の抵抗R_{3b}の抵抗値変化は大きな寄与を与えない。

[0079] これに対し、図４Ａに示すように、磁壁ＤＷの界面における抵抗R_{DW}が低抵抗な抵抗R_{3a}が存在する電流経路I_{3a}に存在すると、電流経路I_{3a}の総抵抗が大きくなり、電流経路I_{3a}に流れる読み出し電流と電流経路I_{3b}に流れる読み出し電流の分配比率は平均化される。そのため、磁化固定層１の磁化Ｍ１と配向方向が反対の磁化Ｍ３ｂが存在する第２領域３ｂ側に読み出し電

流I_Rを流す場合、読み出し電流は電流経路I_{3a}及び電流経路I_{3b}のいずれにも流れ、磁化固定層１と第１領域３ａの間の抵抗R_{3a}の抵抗値変化と、磁化固定層１と第２領域３ｂの間の抵抗R_{3b}の抵抗値変化とを重畳したものが磁壁利用型アナログメモリ素子１００の抵抗値変化として読み出される。

[0080] このように読み出し時の電流I_Rの流れ方向を電流制御手段によって制御することで、回路上二つの抵抗R_{3a}、R_{3b}（可変抵抗）の抵抗値変化を磁壁利用型アナログメモリ素子１００の抵抗値変化として読み出すことができ、データの読み出しをより精密に行うことができる。

[0081] なお、読み出し時の電流I_Rの一部は、磁壁ＤＷを貫通する方向（Ｘ方向）に流れる。

この際に磁壁ＤＷが移動し、読み出し時に書込み状態が変わることも想定されるが、読み出し時に印加する電流I_Rは、書き込み時に印加する電流I_{W1}、I_{W2}より小さい。そのため、読み出し時に印加する電流I_Rを調整することで、磁壁ＤＷの移動は抑制できる。

[0082] 上述のように、第１実施形態にかかる磁壁利用型アナログメモリ素子１００は、書き込み時に磁壁駆動層３の磁化固定層１と接触する部分における第１領域３ａと第２領域３ｂの構成比率を調整し、磁壁ＤＷを移動させることで、データを多値で記録できる。また読み出し時の電流I_Rの流れ方向を電流制御手段によって制御することで、磁壁利用型アナログメモリ素子１００の抵抗値変化が磁壁駆動により線形に変化し、アナログ値をより正確に測定できる。

[0083] 電流制御手段は、読出し時に磁化固定層１から磁壁駆動層３の第２領域３ｂ側に電流が流れるように制御する制御手段である。

特許文献４には、磁気抵抗効果素子の抵抗値変化によりデータを読み出すことしか記載されておらず、読出し電流をどのように印加すべきかについては記載されていない。そのため、磁化状態（磁壁の位置）に応じて変化する抵抗値変化が線形にならず、多値的に書き込んだ情報を安定的に読み出すことができない場合があったが、この電流制御手段によれば、多値的に書き込

んだ情報を安定的に読み出すことができる。

電流制御手段の一つとして、読出し時に磁化固定層１、第１領域３ａ及び第２領域３ｂの電位を調整する電位制御手段がある。例えば、磁化固定層１と第１領域３ａとを等電位とし、第２領域３ｂの電位を磁化固定層１の電位より低く設定する。このように設定すると、読出し時には磁化固定層１から第２領域３ｂに向かって電流が流れる。

またこの他に、電流制御手段としてダイオード等の整流素子を用いてもよい。ダイオード等を用いて、読出し時には磁化固定層１から第２領域３ｂに向かって電流が流れるように制御してもよい。

[0084] 「第２実施形態」

図７は、第２実施形態にかかる磁壁利用型アナログメモリ素子１０２の斜視模式図である。第２実施形態にかかる磁壁利用型アナログメモリ素子１０２は、磁化供給手段が異なる点が第１実施形態にかかる磁壁利用型アナログメモリ素子１０１と異なる。その他の構成は、第１実施形態にかかる磁壁利用型アナログメモリ素子１０１と同一であり、同一の構成には同一の符号を付している。

[0085] 第２実施形態かかる磁壁利用型アナログメモリ素子１０２において磁化供給手段は、磁壁駆動層３と電気的に絶縁され、磁壁駆動層３に対して交差する方向に延在する第１磁場印加配線２４と第２磁場印加配線２５である。

[0086] 第２実施形態にかかる磁壁利用型アナログメモリ素子１０２は磁化供給手段が異なるため、書き込み時の動作が異なる。磁壁利用型アナログメモリ素子１０１を書き込む際には、第１磁場印加配線２４と第２磁場印加配線２５の少なくとも一方に電流I_{24}、I_{25}を流す。第１磁場印加配線２４及び第２磁場印加配線２５は、電流I_{24}、I_{25}が流れるとアンペールの法則から磁場M_{24}、M_{25}が発生する。

[0087] 第１磁場印加配線２４に流す電流I_{24}と第２磁場印加配線２５に流す電流I_{25}との向きは反対とする。電流の向きを反対にすることで、それぞれの配線の周囲に生じる磁場M_{24}、M_{25}の向きが反対となる。第１磁場印加配線２

４が生み出す磁場M_{24}は磁壁駆動層３に＋Ｘの磁場M_{24}を与え、第２磁場印加配線２５が生み出す磁場M_{15}は、磁壁駆動層３に－Ｘの磁場M_{25}を与える。すなわち、第１磁場印加配線２４及び第２磁場印加配線２５に流すことで、磁壁駆動層３の第１領域３ａと第２領域３ｂの構成比率を変更し、磁壁ＤＷの位置が移動を動かすことができ、データを多値で記録できる。

[0088] データの読み出し時は、第１実施形態にかかる磁壁利用型アナログメモリ素子１０１と同様に、電流の流れ方向を磁化固定層１と磁壁駆動層３の第２領域３ｂとの間に制御することで、データを正確に読み出すことができる。

[0089] 第１磁場印加配線２４及び第２磁場印加配線２５に用いられる材料は導電性に優れるものであれば特に問わない。例えば、金、銀、銅、アルミニウム等を用いることができる。

[0090] また図８に示す磁壁利用型アナログメモリ素子１０３のように、磁化固定層１及び磁壁駆動層３の磁化の向きがＺ方向に配向している場合は、第１磁場印加配線２４及び第２磁場印加配線２５の位置関係及び電流I_{24}、I_{25}を流す方向を調整することで、磁壁ＤＷの位置を移動させることができる。

[0091] 「第３実施形態」

図９は、第３実施形態にかかる磁壁利用型アナログメモリ素子１０４の斜視模式図である。第３実施形態にかかる磁壁利用型アナログメモリ素子１０４は、磁化供給手段が異なる点が第１実施形態にかかる磁壁利用型アナログメモリ素子１０１と異なる。その他の構成は、第１実施形態にかかる磁壁利用型アナログメモリ素子１０１と同一であり、同一の構成には同一の符号を付している。

[0092] 第３実施形態かかる磁壁利用型アナログメモリ素子１０４において磁化供給手段は、磁壁駆動層３に絶縁層３６、３７を介して接続された第１電圧印加端子３４と第２電圧印加端子３５である。以下、第１電圧印加端子３４と第２電圧印加端子３５をまとめて電圧印加端子と言う場合がある。

[0093] 第３実施形態かかる磁壁利用型アナログメモリ素子１０４は磁化供給手段が異なるため、書き込み時の動作が異なる。磁壁利用型アナログメモリ素子

１０４を書き込む際には、磁化固定層１と第１電圧印加端子３４又は第２電圧印加端子３５の間に電圧を印加する。

[0094] 例えば、磁化固定層１と第１電圧印加端子３４の間に電圧を印加すると、第１領域３ａの磁化M_{3a}の一部が電圧の影響を受ける。電圧をパルスで印加すると磁化M_{3a}の一部は、電圧印加時にはＺ方向に配向し、電圧印加が止まったタイミングで磁化容易方向＋Ｘ方向又は－Ｘ方向に配向する。このＺ方向に配向した磁化が＋Ｘ方向又は－Ｘ方向に倒れるかは等確率であり、パルス電圧を印加するタイミング、回数、周期を調整することで、磁化M_{3a}の一部を＋Ｘ方向から－Ｘ方向に配向させることができる。

[0095] このように、磁壁駆動層３に電圧をパルスで印加することで、磁壁駆動層３に所定の方向のスピンを供給することができる。その結果、磁壁駆動層３の第１領域３ａと第２領域３ｂの構成比率が変更され、磁壁ＤＷの位置が移動することで、データを多値で記録できる。

[0096] 一方で、絶縁層３６、３７は読み込み時の電流の流れを阻害する。そのため、絶縁層３６、３７の存在は、磁壁利用型アナログメモリ素子１０４の出力特性を小さくするおそれがある。この場合は、図１０に示す磁壁利用型アナログメモリ素子１０５のように、読み出し電流が流れる読み出し用配線３８を設けてもよい。

[0097] 以上、本発明の実施形態について図面を参照して詳述したが、各実施形態における各構成及びそれらの組み合わせ等は一例であり、本発明の趣旨から逸脱しない範囲内で、構成の付加、省略、置換、及びその他の変更が可能である。

[0098] 磁化供給手段は、第１領域３ａに磁化を供給する手段と、第２領域３ｂに磁化を供給する手段とが異なっていてもよい。例えば、第１領域３ａに磁化を供給する手段が第１スピン軌道トルク配線１４であり、第２領域３ｂに磁化を供給する手段が第２磁場印加配線２５でもよい。このように、第１実施形態から第３実施形態にかかる磁化供給手段をそれぞれ組み合わせて配置してもよい。また磁化供給手段として、磁壁駆動層３に流す書き込み電流その

ものをスピン偏極電流としてもよい。

[0099]（磁壁利用型アナログメモリ）

本実施形態にかかる磁壁利用型アナログメモリは、上述の実施形態にかかる磁壁利用型アナログメモリ素子を複数備える。複数の磁壁利用型アナログメモリ素子はアレイ状に配置してもよい。

[0100]（不揮発性ロジック回路）

本実施形態にかかる不揮発性ロジック回路は、本実施形態にかかる磁壁利用型アナログメモリ素子がアレイ状に配置され、アレイ内あるいはアレイ以外のいずれかにＳＴＴ－ＭＲＡＭを備え、記憶機能と論理機能を有し、記憶機能として磁壁利用型アナログメモリ素子及びＳＴＴ－ＭＲＡＭを備えてなる。

磁壁利用型アナログメモリ素子とＳＴＴ－ＭＲＡＭは同一の工程で作製することが可能であるため、コストの削減が可能である。また、デジタル的であるＳＴＴ－ＭＲＡＭがアレイ状に配置された磁壁利用型アナログメモリ素子と同一回路に設置されることで、入出力をデジタル化し、内部ではアナログで処理することが可能なロジックを形成することができる。

[0101]（磁気ニューロ素子）

図１１は、本実施形態に係る磁気ニューロ素子の一例の断面模式図である。本実施形態にかかる磁気ニューロ素子３００は、上述の磁壁利用型アナログメモリ素子と、制御回路を有する電流源（図示略）とを備える。磁壁利用型アナログメモリ素子の磁壁駆動層３の長手方向には、第１記憶部３０１と該第１記憶部３０１を挟む第２記憶部３０２および第３記憶部３０３とがある。制御回路は、第１記憶部３０１、第２記憶部３０２および第３記憶部３０３のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流す。

[0102] 第１記憶部３０１は、磁壁駆動層３の平面視して磁化固定層１と重なる部分である。第２記憶部３０２及び第３記憶部３０３はいずれも、平面視して磁化固定層１と重ならない部分であり、前者は第２スピン軌道トルク配線１

５寄りの部分であり、後者は第１スピン軌道トルク配線１４寄りの部分である。

[0103] 磁気ニューロ素子はシナプスの動作を模擬する素子であり、本実施形態にかかる磁壁利用型アナログメモリ素子に制御回路を設けることで磁気ニューロ素子として利用できる。

[0104] シナプスは、外部からの刺激に対して線形な出力を持ち、また、逆向きの負荷が与えられた際にはヒステリシスがなく、可逆的に出力する。磁壁ＤＷの駆動（移動）によって磁化固定層１と磁壁駆動層３のそれぞれの磁化方向が平行な部分の面積が連続的に変化すると、磁化固定層１と磁壁駆動層３のそれぞれの磁化方向が平行な部分に形成される電流経路と反平行な部分に形成される電流経路とによる並列回路が形成される。

[0105] 磁壁駆動層３の磁壁ＤＷが移動すると、磁化方向が平行な部分の面積率と磁化方向が反平行な部分の面積率との比が変化し、比較的線形な抵抗変化が得られる。また磁壁ＤＷの移動は電流の大きさと印可される電流パルスの時間に依存する。そのため電流の大きさと向き、さらに、印可される電流パルスの時間を外部からの負荷として見なすことができる。

[0106]（記憶の初期段階）

例えば、まず、磁壁駆動層３の磁壁が－Ｘ方向に移動し、磁壁ＤＷを第２記憶部３０２側の位置３０２ａに配置させる。第１スピン軌道トルク配線１４と第２スピン軌道トルク配線１５の少なくとも一方に電流I_{14}、I_{15}を流すことによって、磁壁ＤＷを＋Ｘ方向に移動する。磁壁ＤＷが磁化固定層１の第２磁化供給手段１５側の端部３０２ｂに達するまでは磁壁ＤＷが移動しても、読み出しの抵抗は変化しない。この状態（第２記憶部３０２内に磁壁ＤＷが配置する場合）を記憶の初期段階と呼ぶ。記憶の初期段階ではデータとしての記録はされていないが、データを記録するための準備が整えられている状態である。

[0107]（主記憶段階）

磁壁ＤＷが磁化固定層１の下部（平面視して重なる部分、第１記憶部３０

１）を通過している間は、読み出し時の抵抗が変化する。電流を第１スピン軌道トルク配線１４と第２スピン軌道トルク配線１５の少なくとも一方に流すことを外部からの負荷とし、負荷にある程度比例した線形の抵抗値変化を読み出すことができる。これが主記憶段階である。すなわち、第１記憶部３０１内に磁壁ＤＷが配置する場合を記憶の主記憶段階と呼ぶ。磁壁ＤＷが磁化固定層１の一方のＸ方向の端部より外側にいる状態を記憶、あるいは、無記憶と定義し、磁壁ＤＷが磁化固定層１の他方の端部より外側にいる状態を無記憶、あるいは、記憶と定義する。磁壁駆動層３に流れる電流の向きを逆にすると、逆の作用となる。

[0108] （記憶の深層化段階）

磁壁ＤＷが磁化固定層１の第１磁化供給手段４側の端部３０３ｂに達して、磁化固定層１から離れる方向に磁壁ＤＷが移動する際には、読み込みの出力は変化しない。しかしながら、磁壁ＤＷが磁化固定層１から十分離れた後は、逆向きの負荷が印可されても、磁壁ＤＷが磁化固定層１の端部３０３ｂに達するまでは読み込み時の出力は変化しない。すなわち、第３記憶部３０３に磁壁ＤＷがいる際は、外部からの負荷が与えられても記憶を失わず、記憶が深層化されている。すなわち、第３記憶部３０３内に磁壁ＤＷが配置する場合を記憶の深層化段階と呼ぶ。

[0109] なお、第１スピン軌道トルク配線１４及び／又は第２スピン軌道トルク配線１５に流す電流の向き（磁壁ＤＷを駆動させる向き）を逆向きにすると、記憶の初期段階、主記憶段階および記憶の深層化段階と各記憶部との対応は逆となる。

[0110] このように磁壁利用型アナログメモリをシナプスの動作を模擬する磁気ニューロ素子として用いるためには、磁壁ＤＷの移動を記憶の初期段階、主記憶段階および記憶の深層化段階を順に経る必要がある。磁壁ＤＷの移動は、書き込み電流を流す電流源によって制御される。すなわち磁壁利用型アナログメモリは、少なくとも第１記憶部、第２記憶部および第３記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み

電流を流すように制御する制御回路を有する電流源（図示略）を備えることで、磁気ニューロ素子として機能する。第１記憶部３０１、第２記憶部３０２および第３記憶部３０３のそれぞれを何回の移動で磁壁が通過し切るかは、書き込み電流の条件によって決める。

[0111]（記憶の忘却段階）

無記憶状態に磁壁駆動層３の磁壁を移動させることによって、記憶を忘却することができる。また、外部磁場、熱、及び物理的な歪みを与えることによっても、磁壁の駆動や消失を生じさせることができる。磁壁利用型アナログメモリは、出力が一定の低抵抗と高抵抗の値を示すため、記憶と無記憶は定義によって決定される。また、磁壁駆動層３に電流を流す以外の方法で磁壁を移動や消失させる場合にはランダムとなるため、複数の磁壁利用型アナログメモリ間での情報の相関が失われる。これらを記憶の忘却段階と呼ぶ。

[0112]（磁気ニューロ素子を用いた人工的な脳）

本実施形態にかかる磁気ニューロ素子はシナプスの動きを模擬し、記憶の初期段階、主記憶段階、そして、記憶の深層化段階を経ることができるメモリである。すなわち、磁壁利用型アナログメモリを複数回路上に設置することで、脳の模擬をすることが可能である。一般的なメモリのように縦横に均等にアレイさせた配置では集積度が高い脳を形成することが可能である。

[0113] 図１２に示したように特定の回路を持った複数の磁気ニューロ素子を一つの塊として、これらをアレイ配置することで、外部負荷からの認識度が異なる脳を形成することが可能である。図１４は磁気ニューロ素子をアレイ配置した積和演算回路である。図１４の左方向からそれぞれの配線に同時に入力され、磁気ニューロ素子が記録している重みに基づいたそれぞれの出力を束ねて出力する回路である。例えば、色について感度の良い脳や言語の理解度が高い脳などの個性を生むことができる。つまり、外部のセンサから入手された情報を、視覚、味覚、触覚、嗅覚及び聴覚認識に最適化された五感領域で認識の処理を行い、さらに、論理的思考領域で判断することによって、次の行動を決定するというプロセスを形成させることが可能である。さらに、

磁壁駆動層３の材料を変化させると、負荷に対する磁壁の駆動速度や磁壁の形成方法が変化するため、その変化を個性とした人工的な脳を形成することが可能となる。

産業上の利用可能性

[0114] 従来の磁壁駆動型ＭＲＡＭが備えていた２つの磁化固定層のうち、少なくとも一つの磁化固定層を不要とした磁壁利用型アナログメモリ素子、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子を提供することができる。

符号の説明

[0115] １　磁化固定層

２　非磁性層

３　磁壁駆動層

３ａ　第１領域

３ｂ　第２領域

４　第１磁化供給手段

５　第２磁化供給手段

１４　第１スピン軌道トルク配線

１５　第２スピン軌道トルク配線

２４　第１磁場印加配線

２５　第２磁場印加配線

３４　第１電圧印加端子

３５　第２電圧印加端子

３６、３７　絶縁層

３８　読み出し用配線

１００、１０１、１０２、１０３、１０４、１０５　磁壁利用型アナログメモリ素子

３００　磁気ニューロ素子

３０１　第１記憶部

３０２　　第２記憶部

３０３　　第３記憶部

ＤＷ　　磁壁

請求の範囲

[請求項1] 第１の方向に磁化が配向した磁化固定層と、

前記磁化固定層の一面に設けられた非磁性層と、

前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、

前記磁壁駆動層に前記第１の方向に配向した磁化を供給する第１磁化供給手段及び前記第１の方向と反対の前記第２の方向に配向した磁化を供給する第２磁化供給手段と、を備え、

前記第１磁化供給手段及び前記第２磁化供給手段のうち少なくとも一方は、前記磁壁駆動層に接し、前記磁壁駆動層に対して交差する方向に延在するスピン軌道トルク配線である、磁壁利用型アナログメモリ素子。

[請求項2] 前記スピン軌道トルク配線が前記磁壁駆動層よりも基板側に設置されている、請求項１に記載の磁壁利用型アナログメモリ素子。

[請求項3] 第１の方向に磁化が配向した磁化固定層と、

前記磁化固定層の一面に設けられた非磁性層と、

前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、

前記磁壁駆動層に前記第１の方向に配向した磁化を供給する第１磁化供給手段及び前記第１の方向と反対の前記第２の方向に配向した磁化を供給する第２磁化供給手段と、を備え、

前記第１磁化供給手段及び前記第２磁化供給手段のうち少なくとも一方は、前記磁壁駆動層と電気的に絶縁され、前記磁壁駆動層に対して交差する方向に延在する磁場印加配線である、磁壁利用型アナログメモリ素子。

[請求項4] 前記磁場印加配線は、前記磁壁駆動層の面内磁化を供給可能に配置されている、請求項３に記載の磁壁利用型アナログメモリ素子。

[請求項5] 前記磁場印加配線は、前記磁壁駆動層の面直磁化を供給可能に配置

されている、請求項３に記載の磁壁利用型アナログメモリ素子。

[請求項6] 第１の方向に磁化が配向した磁化固定層と、

前記磁化固定層の一面に設けられた非磁性層と、

前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、

前記磁壁駆動層に前記第１の方向に配向した磁化を供給する第１磁化供給手段及び前記第１の方向と反対の前記第２の方向に配向した磁化を供給する第２磁化供給手段と、を備え、

前記第１磁化供給手段及び前記第２磁化供給手段のうち少なくとも一方は、前記磁壁駆動層に絶縁層を介して接続された電圧印加手段である、磁壁利用型アナログメモリ素子。

[請求項7] 読み出し時に、前記磁化固定層と、前記磁壁駆動層において前記第１の方向と反対の第２方向に磁化が配向した領域との間に電流を流す電流制御手段をさらに備えた請求項１～６のいずれか一項に記載の磁壁利用型アナログメモリ素子。

[請求項8] 請求項１～７のいずれか一項に記載の磁壁利用型アナログメモリ素子を複数備えた磁壁利用型アナログメモリ。

[請求項9] 請求項１～７のいずれか一項に記載の磁壁利用型アナログメモリ素子がアレイ状に配置された磁壁利用型アナログメモリと、前記アレイ内あるいは前記アレイ外のいずれかにＳＴＴ－ＭＲＡＭと、を備え、

記憶機能と論理機能を有し、記憶機能として前記磁壁利用型アナログメモリ素子及び前記ＳＴＴ－ＭＲＡＭを備えてなる不揮発性ロジック回路。

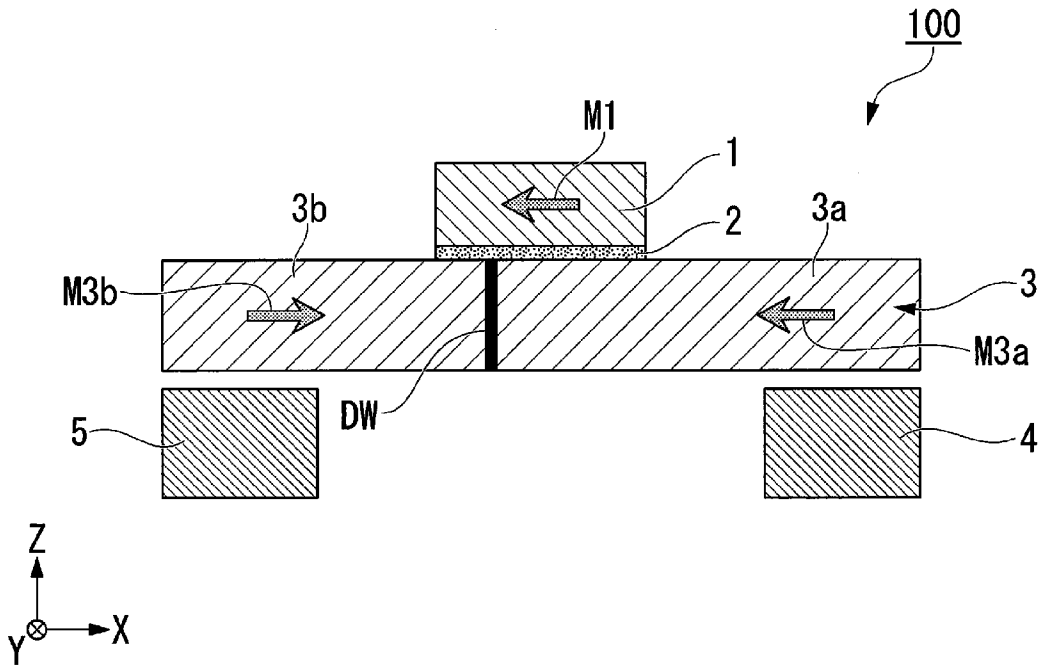
[請求項10] 請求項１～７のいずれか一項に記載の磁壁利用型アナログメモリ素子を備え、

前記磁壁駆動層は、長手方向に並ぶ第１記憶部と、該第１記憶部を挟む第２記憶部および第３記憶部とを有し、

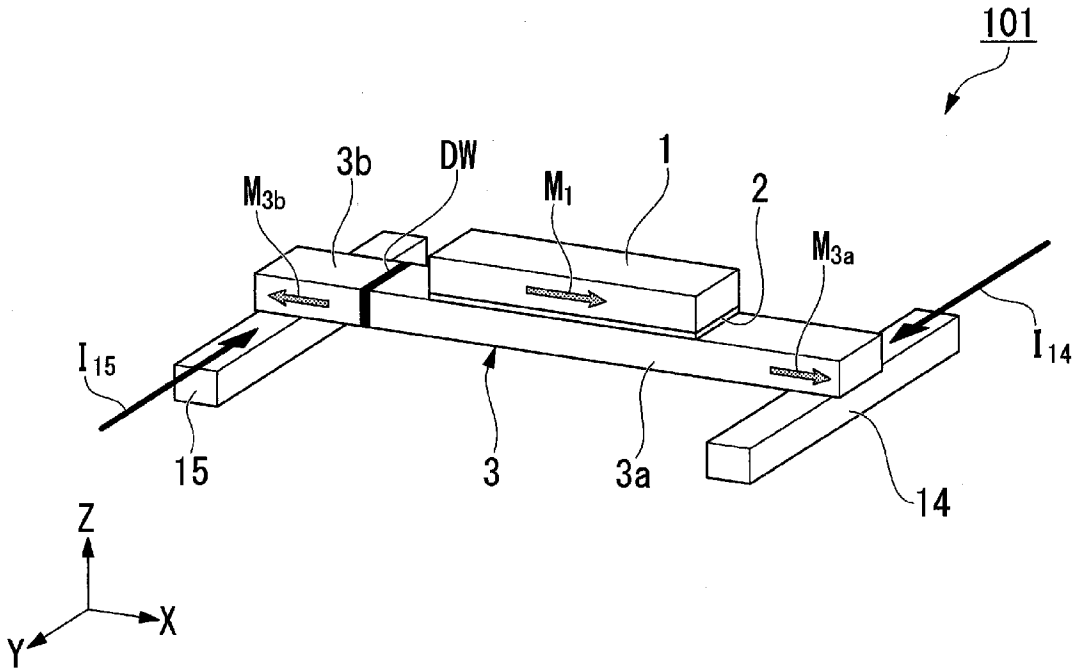
前記第１記憶部、前記第２記憶部および前記第３記憶部のすべての

記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を制御する制御回路を有する電流源を備えた磁気ニューロ素子。

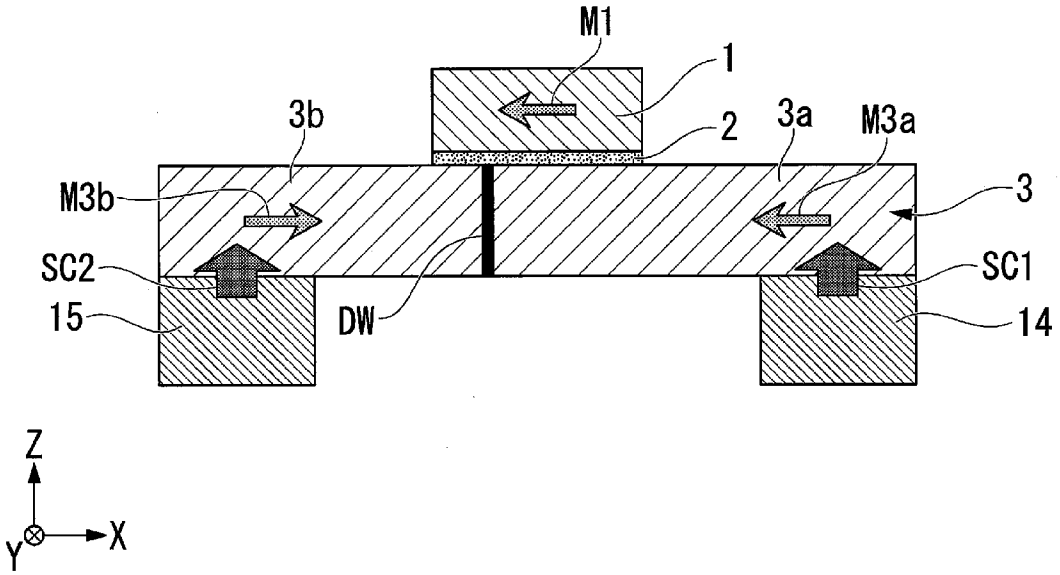
[図1]


100
M1
1
2
3b
3a
M3b
3
M3a
DW
5
4
Z
Y
X

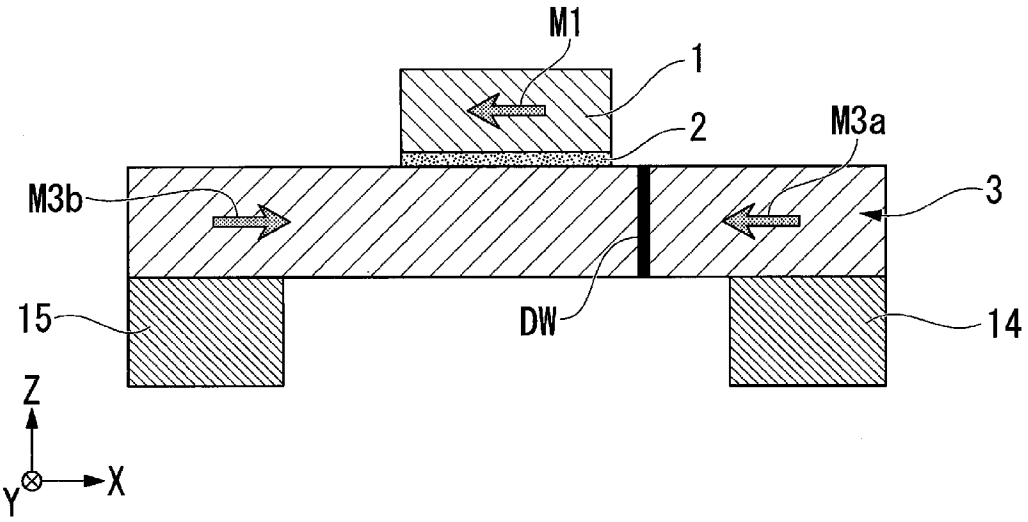
[図2]


101
3b
DW
1
M3b
M1
2
M3a
I15
I14
15
3
3a
14
Z
Y
X

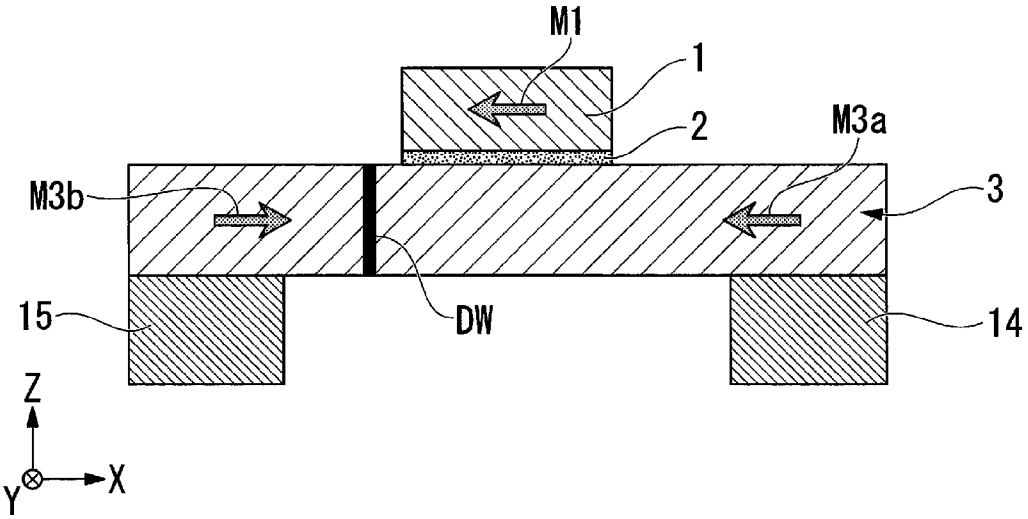
[図3]



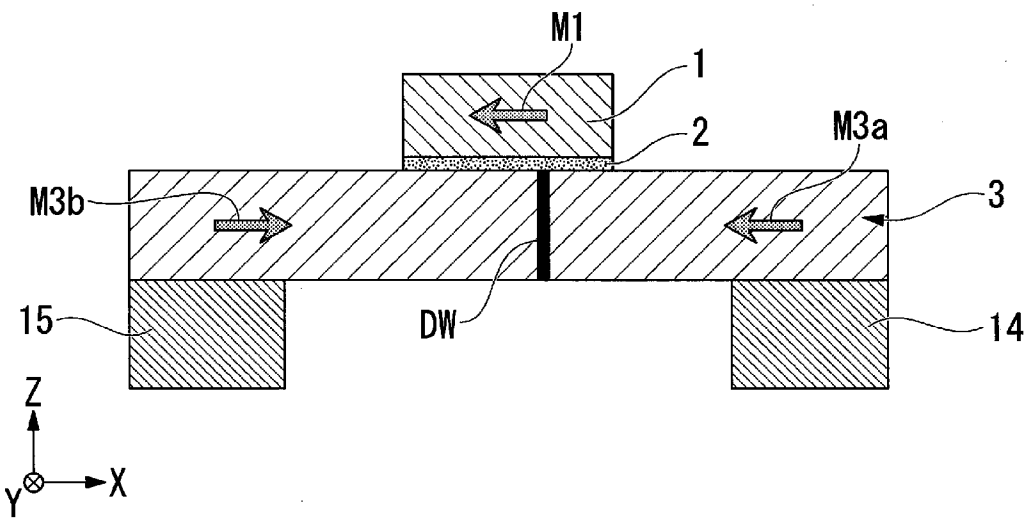
[図4A]


M1
1
2
M3a
M3b
3
15
DW
14
Z
Y
X

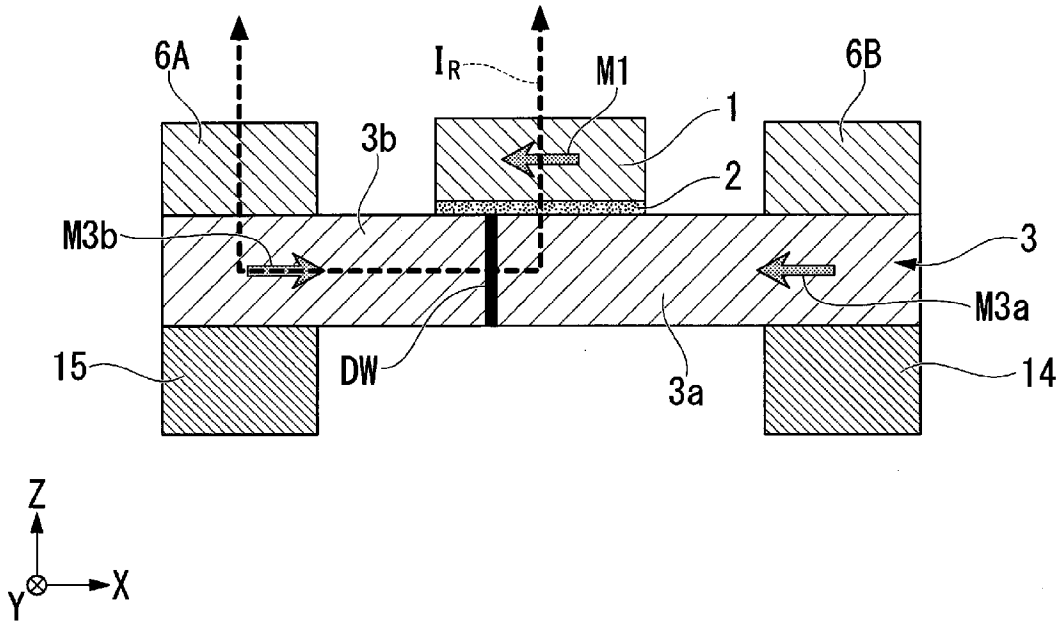
[図4B]


M1
1
2
M3a
M3b
3
15
DW
14
Z
Y
X

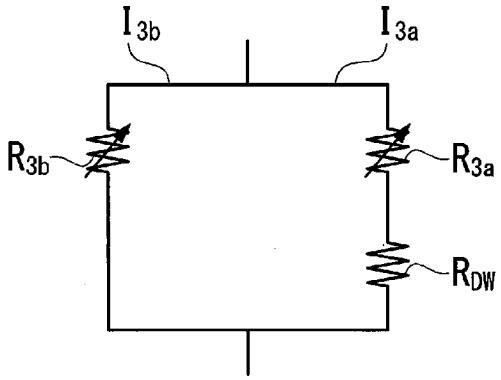
[図4C]


M1
1
2
M3a
M3b
3
15
DW
14
Z
Y
X

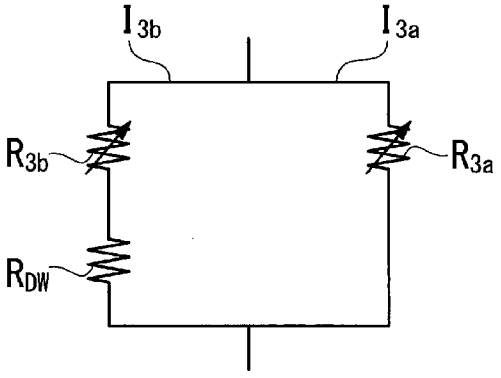
[図5]


6A
I_R
M1
6B
1
3b
2
M3b
3
M3a
15
DW
3a
14
Z
Y
X

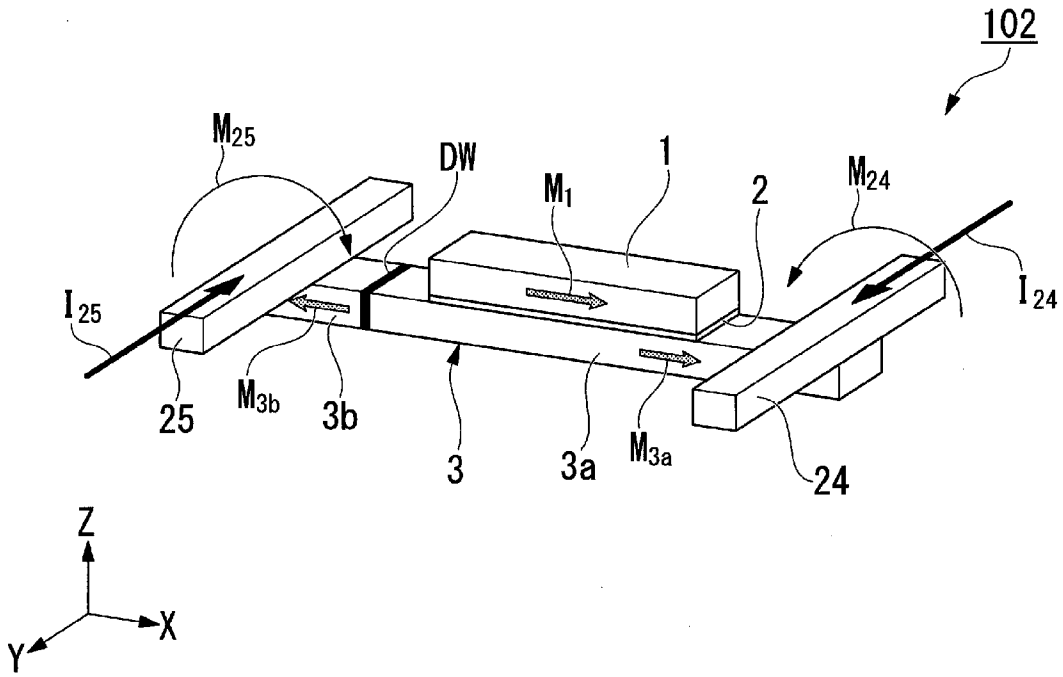
[図6A]


I_{3b}
I_{3a}
R_{3b}
R_{3a}
R_{DW}

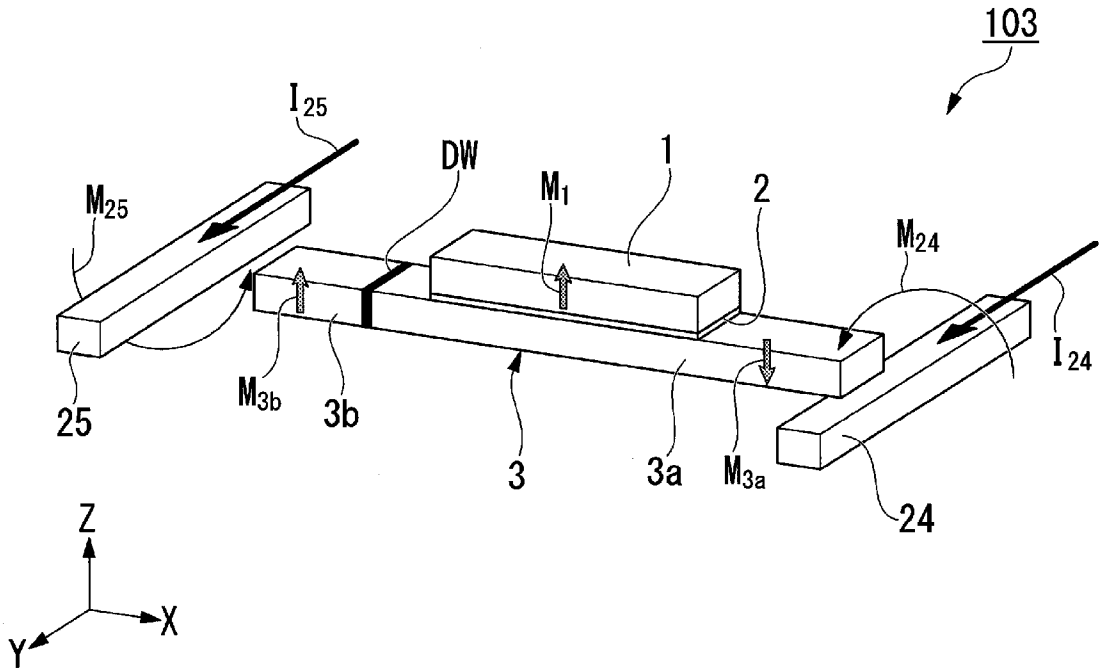
[図6B]


I_{3b}
I_{3a}
R_{3b}
R_{3a}
R_{DW}

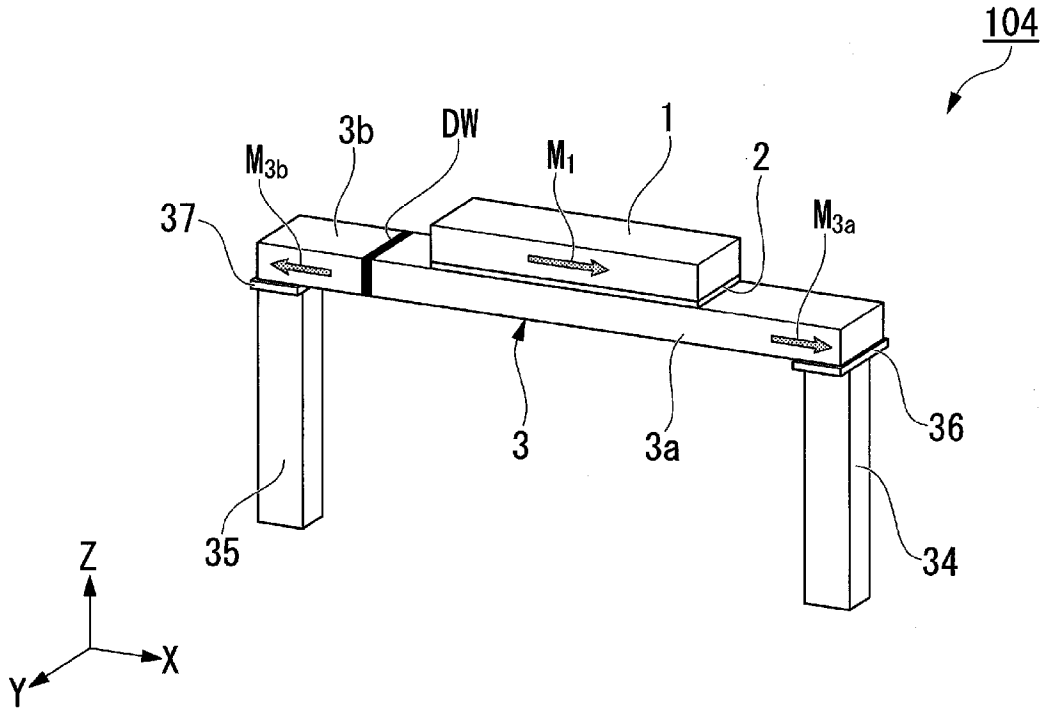
[図7]


102
M25
DW
M1
1
2
M24
I25
I24
25
M3b
3b
3
3a
M3a
24
Z
X
Y

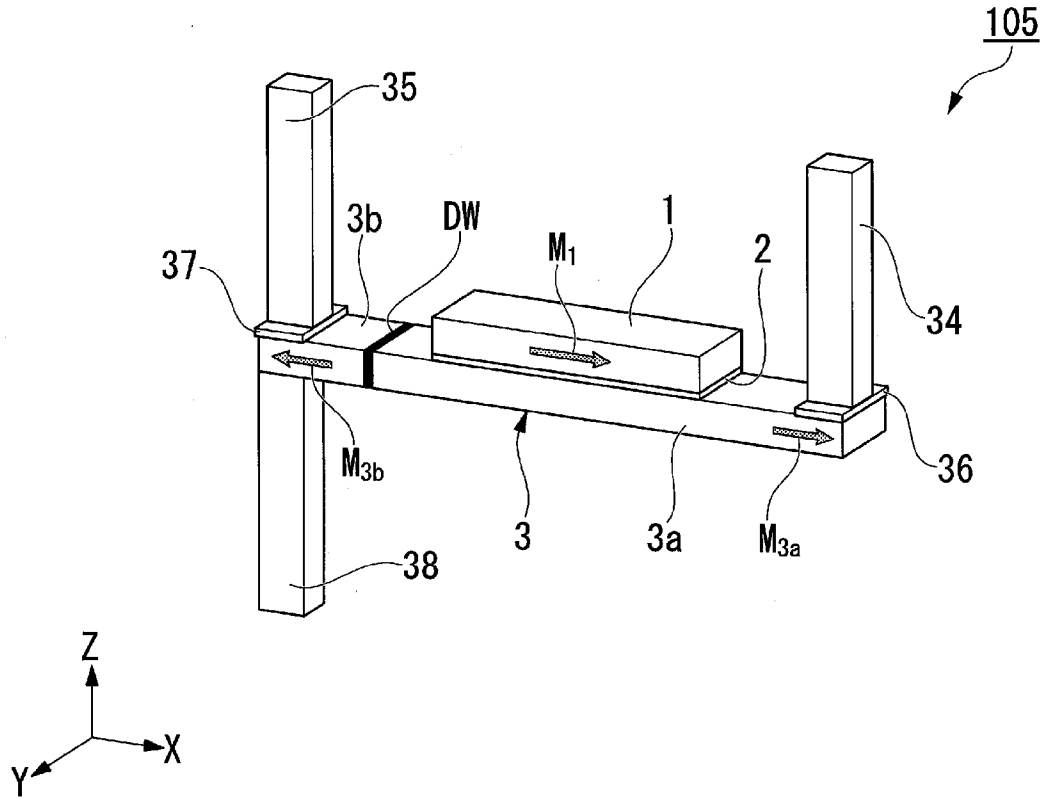
[図8]


103
I25
DW
M1
1
2
M25
M24
I24
25
M3b
3b
3
3a
M3a
24
Z
X
Y

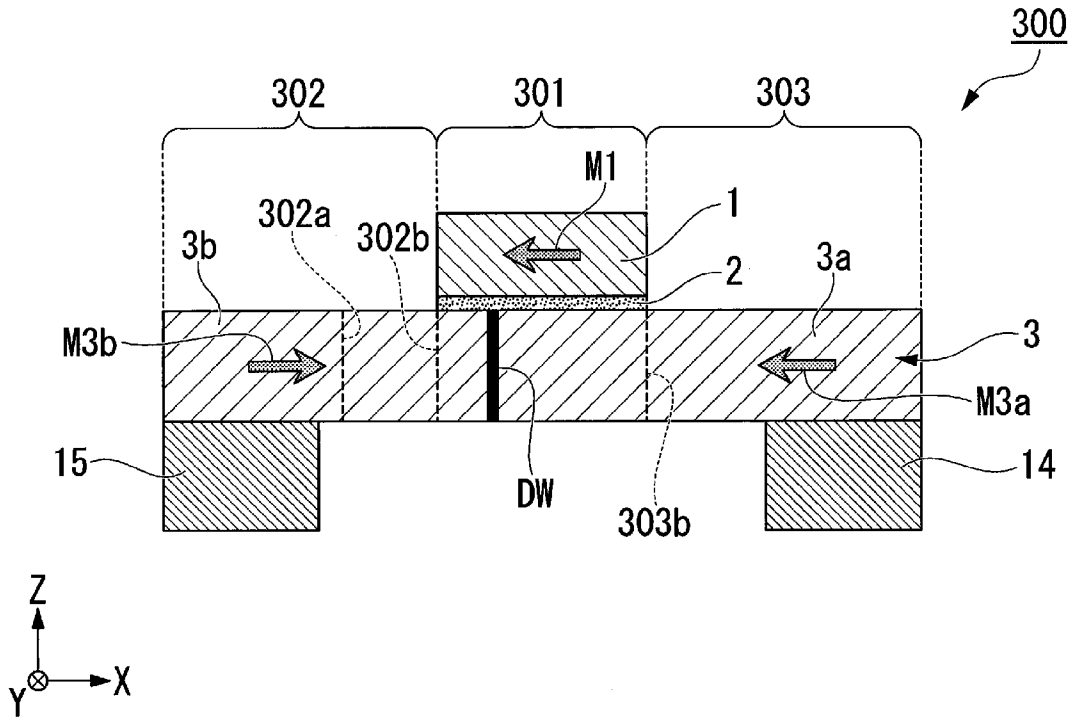
[図9]


104
3b
DW
1
M_{3b}
M_1
2
37
M_{3a}
3
3a
36
35
34
Z
X
Y

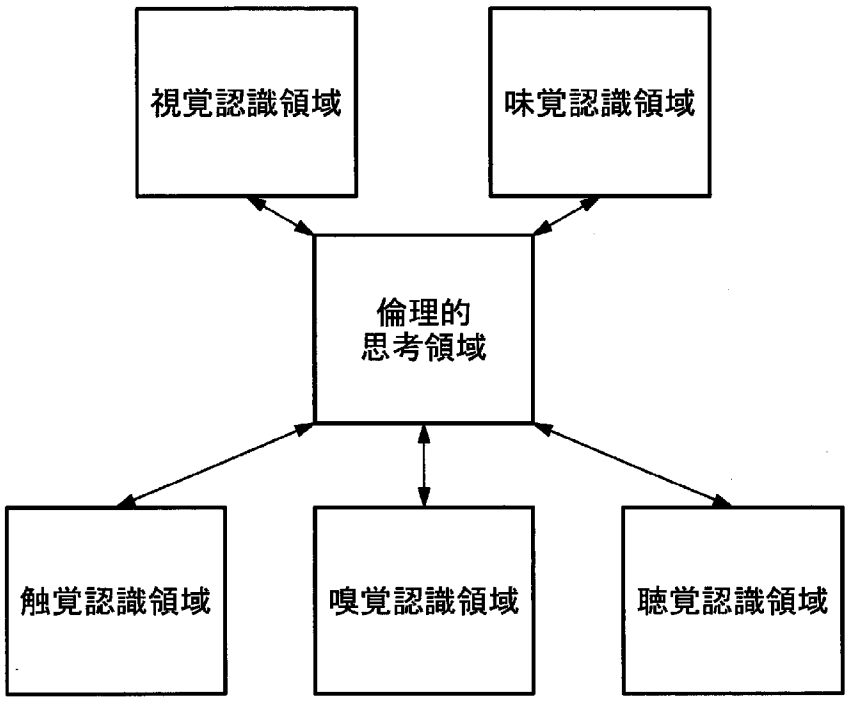
[図10]


105
35
3b
DW
1
37
M_1
2
34
M_{3b}
36
3
3a
M_{3a}
38
Z
X
Y

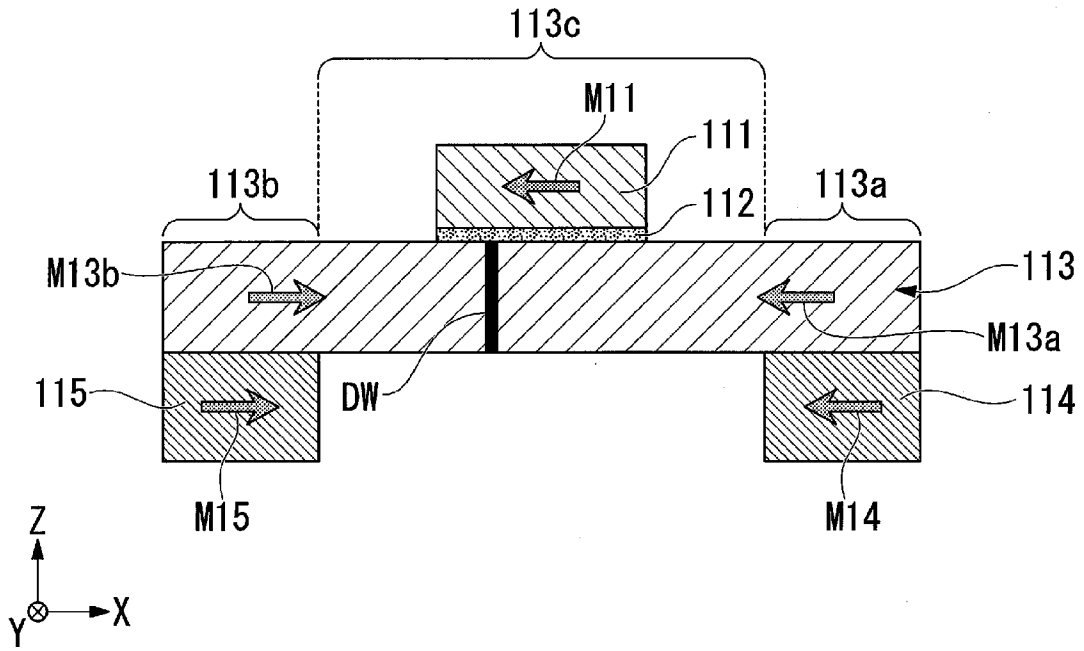
[図11]


300
302
301
303
M1
1
302a
302b
3b
2
3a
M3b
3
M3a
15
DW
303b
14
Z
Y
X

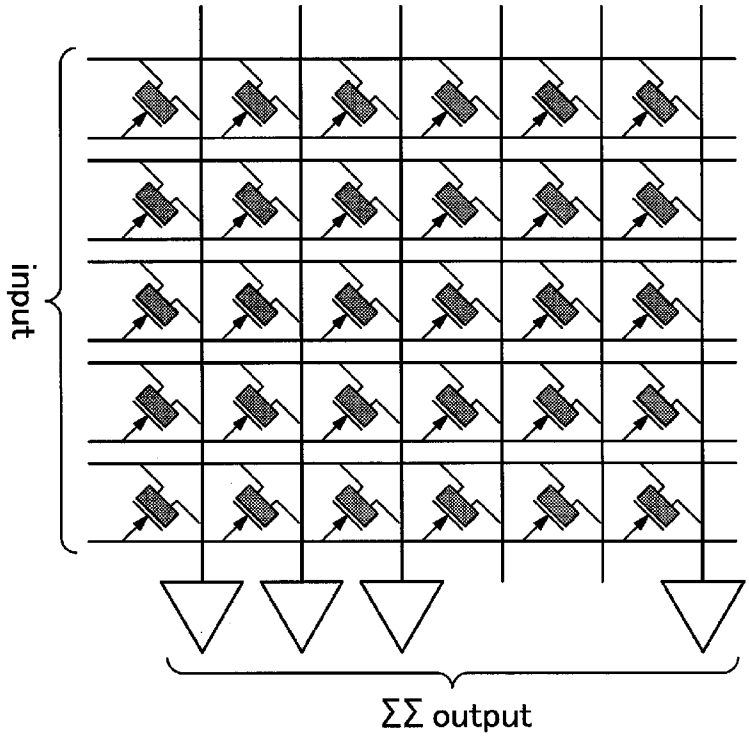
[図12]


視覚認識領域
味覚認識領域
倫理的
思考領域
触覚認識領域
嗅覚認識領域
聴覚認識領域

[図13]


113c
M11
111
113b
112
113a
M13b
113
M13a
115
DW
114
M15
M14
Z
Y
X

[図14]


input
ΣΣ output

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/046623

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L29/82(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/8239, H01L27/105, H01L29/82, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-39015 A (NEC CORP.) 23 February 2012, paragraphs [0016], [0022], [0033], [0037]-[0040], [0047], [0048], [0058], [0059], [0068], [0069], fig. 1-16 (Family: none)	3-5, 7-10 1, 2, 6
Y	WO 2009/101827 A1 (NEC CORP.) 20 August 2009, paragraphs [0030], [0035]-[0038], [0049]-[0055], fig. 1-18 & US 2011/0129691 A1, paragraphs [0047], [0052]-[0055], [0067]-[0073], fig. 1-18	3-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 27 February 2018 (27.02.2018)	Date of mailing of the international search report 13 March 2018 (13.03.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/046623

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-269885 A (SONY CORP.) 05 October 2006, paragraphs [0032], [0040], fig. 1-11 & US 2006/0227466 A1, paragraphs [0051], [0059], fig. 1-11	6-10
Y	JP 2010-153022 A (SAMSUNG ELECTRONICS CO., LTD.) 08 July 2010, paragraphs [0078]-[0082], fig. 1-21 & US 2010/0157663 A1, paragraphs [0098]-[0102], fig. 1-21	9, 10
Y	SENGUPTA, Abhronil et al., "A Vision for All-Spin Neural Networks: A Device to System Perspective", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I, 2016, vol. 63, no. 12, pp. 2267-2277	9, 10
A	WO 2015/068509 A1 (NEC CORP.) 14 May 2015, paragraph [0008], fig. 1-22 & US 2016/0247550 A1, paragraphs [0045]-[0153], fig. 1-22	1-10
A	JP 2013-197174 A (TOSHIBA CORP.) 30 September 2013, paragraphs [0010]-[0076], fig. 1-20 & US 2013/0242647 A1, paragraphs [0025]-[0097], fig. 1-20	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０４６６２３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L29/82(2006.01)i, H01L43/08(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8239, H01L27/105, H01L29/82, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-39015 A (日本電気株式会社) 2012.02.23, 段落 0016, 0022, 0033, 0037-0040, 0047, 0048, 0058, 0059, 0068, 0069, 図 1-16 (ファミリーなし)	3-5, 7-10
A		1, 2, 6
Y	WO 2009/101827 A1 (日本電気株式会社) 2009.08.20, 段落 0030, 0035-0038, 0049-0055, 図 1-18 & US 2011/0129691 A1, 段落 0047, 0052-0055, 0067-0073, 図 1-18	3-10

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．０２．２０１８	１３．０３．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９４５８
小山　満
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-269885 A (ソニー株式会社) 2006.10.05, 段落 0032,0040,図 1-11 & US 2006/0227466 A1,段落 0051,0059,図 1-11	6-10
Y	JP 2010-153022 A (三星電子株式会社) 2010.07.08, 段落 0078-0082,図 1-21 & US 2010/0157663 A1,段落 0098-0102,図 1-21	9,10
Y	SENGUPTA Abhronil et al., A Vision for All-Spin Neural Networks: A Device to System Perspective, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I, 2016, Vol.63, No.12, p.2267-2277	9,10
A	WO 2015/068509 A1 (日本電気株式会社) 2015.05.14, 段落 0008,図 1-22 & US 2016/0247550 A1,段落 0045-0153,図 1-22	1-10
A	JP 2013-197174 A (株式会社東芝) 2013.09.30, 段落 0010-0076,図 1-20 & US 2013/0242647 A1,段落 0025-0097,図 1-20	1-10