

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 7 月 2 日 (02.07.2020)



(10) 国际公布号
WO 2020/134243 A1

(51) 国际专利分类号:
H01L 33/00 (2010.01)

(21) 国际申请号: PCT/CN2019/107881

(22) 国际申请日: 2019 年 9 月 25 日 (25.09.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811632413.6 2018 年 12 月 28 日 (28.12.2018) CN

(71) 申请人: **TCL 科技集团股份有限公司 (TCL TECHNOLOGY GROUP CORPORATION)**
[CN/CN]; 中国广东省惠州市仲恺高新区惠风三路
17 号 TCL 科技大厦, Guangdong 516006 (CN)。

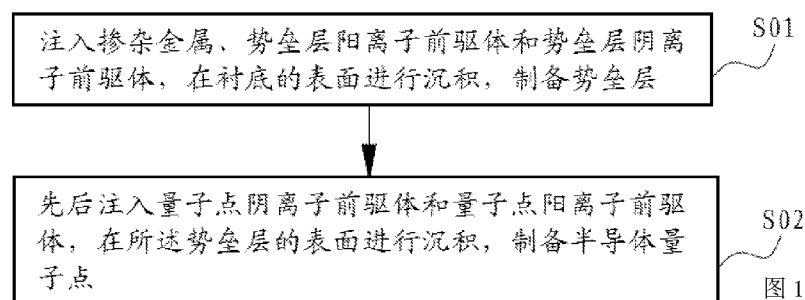
(72) 发明人: **叶炜浩 (YE, Weihao)**; 中国广东省惠州市仲恺高新技术开发区十九号小区, Guangdong 516006 (CN)。

(74) 代理人: 深圳中一联合知识产权代理有限公司 (SHENZHEN ZHONGYI UNION INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国广东省深圳市福田区园岭街道深南中路 1014 号报春大厦 9 楼 (5 号信箱), Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** QUANTUM WELL STRUCTURE PREPARATION METHOD AND QUANTUM WELL STRUCTURE

(54) 发明名称: 一种量子阱结构的制备方法和量子阱结构



S01 Implant doped metal, a barrier layer cationic precursor and a barrier layer anionic precursor, and carry out deposition on a surface of a substrate to prepare a barrier layer

S02 Successively implant a quantum dot anionic precursor and a quantum dot cationic precursor, and carry out deposition on a surface of the barrier layer to prepare semiconductor quantum dots

(57) **Abstract:** Disclosed is a quantum well structure preparation method. The quantum well structure preparation method comprises: implanting doped metal, a barrier layer cationic precursor and a barrier layer anionic precursor, and carrying out deposition on a surface of a substrate to prepare a barrier layer (S01); and successively implanting a quantum dot anionic precursor and a quantum dot cationic precursor, and carrying out deposition on a surface of the barrier layer to prepare semiconductor quantum dots (S02), wherein atoms of the doped metal lack electrons, and an absolute value of a difference between the radius of the doped metal and the radius of a barrier layer cation is 0.1 angstrom-0.3 angstrom. Nucleation sites distributed uniformly are formed on a surface of a barrier layer by means

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

of introducing doped metal, such that the uniformity of the growth of quantum dots on the surface of the barrier layer is improved, and the quantum efficiency of a quantum well is improved.

(57) 摘要: 一种量子阱结构的制备方法, 该量子阱结构的制备方法包括: 注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体, 在衬底的表面进行沉积, 制备势垒层(S01); 先后注入量子点阴离子前驱体和量子点阳离子前驱体, 在势垒层的表面进行沉积, 制备半导体量子点(S02); 其中, 掺杂金属原子缺电子, 且掺杂金属的半径与势垒层阳离子的半径之差的绝对值为0.1~0.3埃。通过引入掺杂金属在势垒层表面形成均匀分布的成核点, 改善了量子点在势垒层表面生长的均匀性, 提高了量子阱的量子效率。

一种量子阱结构的制备方法和量子阱结构

[0001] 本申请要求于2018年12月28日在中国专利局提交的、申请号为201811632413.6、发明名称为“一种量子阱结构的制备方法和量子阱结构”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本申请涉及发光材料制备技术领域，具体涉及一种量子阱结构的制备方法以及量子阱结构。

背景技术

[0003] 随着半导体超晶格、半导体量子点的研制成功，光电材料的范围得到了极大的拓展，半导体材料的设计和制造从“杂质工程”发展到“能带工程”，由此产生了量子阱器件，其优越的发光性能使得量子阱器件在光致发光材料领域中得到了极为广泛的应用。

[0004] 量子阱器件，指采用半导体材料作为有源区的光电子器件，是由交替生长的两种半导体材料（包括势垒和势阱）组成的周期性结构。这类器件的特点在于量子阱有源区具有准二维特性和量子尺寸效应，二维电子空穴的态密度是台阶状分布，量子尺寸效应使电子空穴的能级不再连续，而是集中占据着量子化第一子能级，半峰宽缩窄且价带上轻重空穴的简并被解除，价带间的吸收降低。如果量子阱的势垒的宽度较大，使得两个相邻势阱中的电子波函数互不重叠，那么就形成的量子阱将是相互独立的，这就是多量子阱。多量子阱的光学性质与单量子阱的相同，而强度则是单量子阱的线性迭加。因而，量子阱器件的优越性使它得以不断的被应用于各种新的领域。

[0005] 量子阱器件的势阱可表现为多种结构形态，如阱层结构、量子线和量子点。阱层结构呈层状结构，其与层状的势垒层叠设置，其电子的一个方向的自由度被限制，而其在其它两个维度上可自由或准自由的运动。量子线呈线状分布于势垒材料中，其电子只能在一个维度上自由运动，其他两个维度被限制。量子点呈点状分布于势垒材料中，其电子在三个维度上的运动受限。在施加一定的电

场或光压下，量子点发出的光波长会随其尺寸的改变而改变，通过调节量子点的尺寸可以控制其发出的光的颜色。近年来，在势垒中生长量子点的技术已经成为本领域技术人员的研究焦点。

[0006] 目前，量子点的制备主要通过二维电子气系统上加调制电极、分子束外延进行自组织生长以及用胶体化学方法制备等三种方法。分子束外延技术（MBE），是在超高真空下利用局域化的原子束或分子束在衬底晶体上外延生长薄膜的技术。当原子束流轰击到外延薄膜表面上时，加热到设定温度的衬底为这些原子提供足够的热能，使它们在表面扩散、迁移，最终到达相应格点上。采用MBE法制备半导体量子点，具有尺寸可控、操作简便、污染少、界面有原子级平整度的等优点。

[0007] 然而，在采用分子束外延进行自组织生长量子点的过程中，由于量子点的成核点是在应变层生长过程中应力不均匀的地方产生的，同时岛的长大也是随机的。因而，量子点在势垒层中的分布不均匀，导致量子阱的整体量子效率降低。

发明概述

技术问题

[0008] 本申请实施例的目的之一在于：提供一种量子阱结构的制备方法和量子阱结构，旨在解决现有量子阱整体量子效率较低的问题。

问题的解决方案

技术解决方案

[0009] 为解决上述技术问题，本申请实施例采用的技术方案是：

[0010] 第一方面，提供了一种量子阱结构的制备方法，包括：

[0011] 注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，在衬底的表面进行沉积，制备势垒层；

[0012] 先后注入量子点阴离子前驱体和量子点阳离子前驱体，在所述势垒层的表面进行沉积，制备半导体量子点；

[0013] 其中，所述掺杂金属原子缺电子，且所述掺杂金属的半径与势垒层阳离子的半径之差的绝对值为0.1~0.3埃。

[0014] 第二方面，提供了一种量子阱结构，包括：势垒层和半导体量子点；

[0015] 所述半导体量子点多个，且均匀布置于所述势垒层上；

[0016] 所述势垒层为含掺杂金属的半导体材料，所述掺杂金属原子缺电子，且所述掺杂金属的半径与所述势垒层的阳离子的半径之差的绝对值为0.1~0.3埃。

[0017] 本申请实施例中，通过在势垒层的生长过程中引入掺杂金属，为量子点的生长提供了成核点，使得量子点能够均匀地生长在势垒层的表面，提高了晶体质量，进而提高量子阱的量子效率。通过上述制备方法得到的量子阱结构，具有较高的量子效率，其发光性能优异，可应用于制备如LED、显示屏和激光器件等发光器件。

发明的有益效果

对附图的简要说明

附图说明

[0018] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例或示范性技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

[0019] 图1是本申请一实施例提供的量子阱结构的制备方法流程图；

[0020] 图2是本申请另一实施例提供的量子阱结构的局部结构简图；

[0021] 图3是本申请一对比实施例提供的量子阱结构的局部结构简图；

[0022] 图4是本申请测试例二中实施例一至实施例三制备的量子阱结构的发光波长扫描图。

发明实施例

本发明的实施方式

[0023] 为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本发明，并不用于限定本申请。

[0024] 为了说明本申请所述的技术方案，以下结合具体附图及实施例进行详细说明。

[0025] 本申请一些实施例提供一种半导体量子点的制备方法，请参阅图1，包括：

- [0026] S01、注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，在衬底的表面进行沉积，制备势垒层；
- [0027] S02、先后注入量子点阴离子前驱体和量子点阳离子前驱体，在所述势垒层的表面进行沉积，制备半导体量子点；
- [0028] 其中，所述掺杂金属原子缺电子，且所述掺杂金属的半径与势垒层阳离子的半径之差的绝对值为0.1~0.3埃。
- [0029] 在上述技术方案中，基于分子束外延技术，在势垒层的生长过程中引入掺杂金属，使得掺杂金属能够均匀分布在势垒层中，部分掺杂金属位于势垒层表面。掺杂金属原子缺电子，其与量子点阴离子之间存在非共价键，产生电荷诱导效应，使得在注入量子点阴离子前驱体时诱导量子点阴离子趋向于该掺杂金属，从而在势垒层的表面形成均匀分布的成核点；之后，注入量子点阳离子前驱体，量子点阳离子向该成核点移动并与量子点阴离子形成量子点，使得量子点能够均匀地生长在势垒层的表面，提高了晶体质量，进而提高量子阱的量子效率。
- [0030] 以在ZnSe势垒层上形成量子点CdSe为例，说明本发明实施例量子点合成的具体过程。在合成过程中，Be原子缺电子，其与Se之间存在电荷诱导效应，Be键吸引Se，形成BeSe成核点，即使在掺杂量很低的情况下，也能形成人工成核位点。BeSe具有很高的带隙，能量为5.6 eV，与量子点CdSe相比，BeSe具有更强的键强和更低的表面流动性，因而势垒层表面的成核点位置相对固定。然后，成核点BeSe中的Se诱导Cd向其移动，使得Cd与Se形成CdSe量子点。
- [0031] 具体的，在步骤S01中，注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，这一步骤参考本领域技术人员在进行分子束外延技术中的常规操作，本发明实施例不作具体限定。
- [0032] 理论上，具有缺电子结构、且半径与势垒层阳离子的半径之差的绝对值为0.1~0.3埃的金属均可作为掺杂金属，应用于本发明实施例中。掺杂金属原子缺电子，其与量子点阴离子之间存在非共价键，可通过电荷诱导效应诱导量子点阴离子趋向于该掺杂金属，进而定向形成量子点。掺杂金属的半径与势垒层阳离子的半径之差的绝对值为0.1~0.3埃，也就是，当掺杂金属的半径与势垒层阳离子

的半径相近时，可使得在沉积过程中部分势垒层阳离子能够被掺杂金属取代，使得掺杂金属能够均匀分布在势垒层中。作为一种实施方式，掺杂金属选为Be、Mn、Mg、Ca、Sr、Ba或Ra。在一些实施例中，掺杂金属为Be、Mn或Mg；在其他的实施例中，掺杂金属还可以为Ca、Sr、Ba或Ra。

[0033] 在本发明实施例中，势垒层阳离子前驱体为IIB族原子，势垒层阴离子前驱体为VIA族原子；或，势垒层阳离子前驱体为IIIA族原子，势垒层阴离子前驱体为VA族原子。

[0034] 作为一种实施方式，掺杂金属与所述势垒层阳离子的摩尔比为(0.01~0.1):1。当摩尔比低于0.01:1时，掺杂金属的量过少，势垒层的表面没有分布掺杂金属，其在势阱层的生长过程中无法起到位点的作用；当摩尔比高于0.1:1时，掺杂金属的量过多，掺杂金属已成为基质材料的一部分，会改变整个势垒层的晶体结构，对势垒层的能级有较大影响，还可能失去势阱层电子的限制，导致本发明半导体量子点不发光。

[0035] 在本发明实施例中，通过调节摩尔比大小可调节势垒层的量子点分布密度，进而达到调节发光强度的目的，提高了半导体量子点的发光质量。同时，通过调整摩尔比的大小还可调节量子点的尺寸，如8~15nm，进而调整半导体量子点的发光波长。一个量子阱单元包括一层势垒层，以及生长在该势垒层上的半导体量子点。通过在量子阱结构中的不同量子阱单元中生长不同尺寸的量子点，也可实现由多种半导体量子点发射多种波长的光，满足消费者的使用需求。

[0036] 作为一种实施方式，在步骤S01中，沉积时间为35~60s，以形成相应厚度的势垒层。

[0037] 作为一种实施方式，势垒层的厚度为6~10nm。当势垒层的厚度小于6nm时，由于势垒层薄，对量子点的束缚能力降低，量子点中的电子穿透势垒层而与相邻层的量子点相互作用导致发光减弱；当势垒层的厚度超过10nm，本发明半导体量子点不具量子限制效应，不再是量子阱，也不会发光。

[0038] 作为一种实施方式，制备势垒层的具体过程包括：

[0039] S011、在晶体转化临界温度以下，注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，在衬底的表面上进行沉积，制备势垒层前驱体；

- [0040] S012、在晶体转化临界温度以上，继续注入势垒层阳离子前驱体和势垒层阴离子前驱体，在势垒层前驱体上进行沉积，制备势垒层。
- [0041] 具体的，量子阱这类半导体材料的晶体转化临界温度为200°C左右。
- [0042] 步骤S011中，在注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体的过程中，衬底的温度在晶体转化临界温度以下。在晶体转化临界温度以下注入原料，掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体在衬底上外延生长薄薄的一层势垒层前驱体，在沉积过程中发生初步结晶，此时，掺杂金属仍为游离状态。
- [0043] 作为一种实施方式，在步骤S011中，衬底的温度优选为150~180°C。在一定的相对较低的温度下注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，使掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体能有足够时间在衬底上分布均匀，在150~180°C这一温度范围下可初步结晶。当温度低于150°C时，初步结晶不好；当温度高于180°C时，晶体开始生长并形成具有一定结构的稳定晶体，不利于掺杂金属在后续生长的势垒层中进行再次分布。
- [0044] 作为一种实施方式，势垒层前驱体的厚度优选为0.04~0.14nm。其中，一个原子层厚度约为2nm，故势垒层前驱体仅为0.02~0.07个原子层（ML）。在该厚度范围下，可使得掺杂金属预沉积在衬底上，使其在后续升温过程中自发地均匀分布在势垒层中。
- [0045] 在步骤S012中，在注入势垒层阳离子前驱体和势垒层阴离子前驱体的过程中，衬底的温度在晶体转化临界温度以上。在晶体转化临界温度以上，掺杂于势垒层前驱体中的掺杂金属发生热动力学过程，掺杂金属重新分布，并均匀分布于势垒层中，部分掺杂金属位于势垒层表面，使得势垒层表面粗糙化；同时，掺杂金属与势垒层阳离子和势垒层阴离子之间发生进行转变，由初步结晶的四方晶系转变至六方晶系，部分初步结晶晶型中的势垒层阳离子被掺杂金属取代。
- [0046] 作为一种实施方式，在步骤S012中，衬底的温度优选为250~300°C。在该温度范围下，可促进势垒层形成稳定的晶系。当温度低于250°C，势垒层半导体材料的结晶性差或者反应速率慢；当温度高于300°C，势垒层半导体材料开始向体相材料生长，失去势垒层的性能，例如，形成连续能级，失去对量子点电子的束

缚能力。

[0047] 在步骤S02中, 先后注入量子点阴离子前驱体和量子点阳离子前驱体, 其目的在于, 使得量子点阴离子能先与势垒层表面的掺杂金属结合形成成核位点, 通过利用量子点阴离子对量子点阳离子的诱导作用, 诱导后期注入的量子点阳离子向该成核点移动, 进而在该成核位点形成量子点。

[0048] 作为一种实施方式, 量子点阴离子前驱体原子束比量子点阳离子前驱体原子束早注入10~15 s。具体的, 量子点阴离子前驱体原子束比量子点阳离子前驱体原子束早注入10、11、12、13、14或15s。当量子点阴离子前驱体原子束比量子点阳离子前驱体原子束早注入的时间少于10s时, 可导致在成核点富集的量子点阴离子不够多, 量子点阳离子可能在成核点以外的地方结晶成核, 使得发光中心呈块状或片状不规则分布, 影响晶体质量; 当量子点阴离子前驱体原子束比量子点阳离子前驱体原子束早注入的时间大于15s时, 过量的量子点阴离子由于电荷作用, 可能会外延到成核点以外的位置, 与势垒层表面的阳离子结合来平衡电荷。

[0049] 在一些实施例中, 量子点阳离子前驱体为IIB族原子, 量子点阴离子前驱体为VIA族原子; 在另一些实施例中, 量子点阳离子前驱体为IIIA族原子, 量子点阴离子前驱体为VA族原子。可以理解的是, 势垒层阴离子前驱体与量子点阴离子前驱体可以相同或互不相同, 当势垒层阴离子前驱体与量子点阴离子前驱体相同时, 制备的势垒层的势垒层阴离子与量子点阴离子相同; 当势垒层阴离子前驱体与量子点阴离子前驱体互不相同, 制备的势垒层的势垒层阴离子与量子点阴离子互不相同。在一些实施例中, 势垒层阴离子前驱体与量子点阴离子前驱体相同。

[0050] 沉积时间较慢可以让反应原料充分反应, 使得晶体具有更好的结晶度, 有利于量子点颗粒尺寸、形貌较为均一, 发光强度好。值得注意的是, 因为沉积的时间很快, 本发明实施例的沉积时间和原子束的注入时间基本相等。

[0051] 作为一种实施方式, 在制备所述半导体量子点的过程中, 沉积时间为25~30s。具体的, 沉积时间为25、26、27、28、29或30s。如此, 可促进量子点阴离子与量子点阳离子充分反应, 并促进半导体量子点形成规定的尺寸, 不同尺寸的量

量子点发光波长不一样。

[0052] 半导体量子点厚度小于势垒层，较厚的势垒层才能有效地抑制量子点的电子向外跃迁，进而促进发光。在一些实施例中，所述半导体量子点的厚度为4~6nm。

[0053] 作为本发明的优选实施方式，在制备势垒层之前，还包括：在衬底的表面制备缓冲层，且缓冲层位于衬底与势垒层之间。

[0054] 衬底如果存在不平整或其它缺陷，在反应过程中衬底缺陷将沿生长方向延伸，最终达到有源区形成有害的多复合中心，降低了量子效率，提高了阈值电流。在衬底的表面制备缓冲层，能够平滑修复衬底表面的不平整或其它缺陷。

[0055] 作为一种实施方式，在衬底上制备缓冲层的具体过程包括：将衬底加热至500~550℃，注入缓冲层原料原子束，在衬底上沉积缓冲层；

[0056] 其中，缓冲层原料原子束包括Ga、As和Al中的两种或多种。

[0057] 作为一种实施方式，缓冲层的厚度为200~300nm；沉积时间为5~6h。

[0058] 如果缓冲层的厚度小于200nm，衬底表面不够平滑，可能会影响与缓冲层相接的量子阱单元的发光性能；如果缓冲层过厚，对材料的发光性能影响不大，但是会造成材料资源的浪费。

[0059] 作为一种实施方式，量子阱结构中的量子阱单元不止一个，其发光强度为多个量子阱单元的叠加。更为具体的，其制备包括：在生长有所述半导体量子点的势垒层上，循环重复步骤S01和步骤S02，进而形成多量子阱结构。多量子阱的发光强度和结构均为多个单量子阱的叠加。

[0060] 本申请另一些实施例提供一种由上述制备方法制得的量子阱结构，包括：势垒层和半导体量子点；

[0061] 所述半导体量子点多个，且均匀布置于所述势垒层上；

[0062] 所述势垒层为含掺杂金属的半导体材料，所述掺杂金属原子缺电子，且所述掺杂金属的半径与所述势垒层的阳离子的半径之差的绝对值为0.1~0.3埃。

[0063] 作为一种实施方式，势垒层至少一层；

[0064] 沿所述势垒层的层数递增方向，所述半导体量子点均匀布置于所述势垒层面面向所述下一层势垒层的一侧。

[0065] 具体的，当本发明实施例量子阱结构中的势垒层数量为一个时，半导体量子点

均匀布置于势垒层的其中一个侧面。当本发明实施例量子阱结构中的势垒层数量为两个以上时，沿势垒层的层数递增方向，半导体量子点布置于势垒层面向下一层势垒层的一侧，部分半导体量子点设置于相邻的势垒层之间。

[0066] 作为一种实施方式，掺杂金属为Be、Mn、Mg、Ca、Sr、Ba或Ra。

[0067] 作为一种实施方式，所述势垒层为IIB-VIA族化合物半导体材料或IIIA-VA族化合物半导体材料。

[0068] 作为一种实施方式，所述半导体量子点为IIB-VIA族化合物半导体材料或IIIA-VA族化合物半导体材料。

[0069] 作为一种实施方式，势垒层为IIB-VIA族化合物半导体材料时，势垒层为ZnSe、ZnS或ZnTe；势垒层为IIIA-VA族化合物半导体材料时，势垒层为GaAs、AlGaAs、GaN、GaP或InSb。

[0070] 半导体量子点为IIB-VIA族化合物半导体材料时，半导体量子点为CdSe、CdS、CdTe或CdZnSe；半导体量子点为IIIA-VA族化合物半导体材料时，半导体量子点为InGaAs、GaAs、InGaN、InP或InAsSb。

[0071] 作为本发明的优选实施方式，势垒层与半导体量子点同为IIB-VIA族化合物半导体材料或IIIA-VA族化合物半导体材料。

[0072] 在一些实施例中，势垒层和量子点均为IIB-VIA族化合物半导体材料时，势垒层为ZnSe、ZnS或ZnTe；势阱层为CdSe、CdS、CdTe或CdZnSe。优选为CdSe/ZnSe、CdSe/ZnS、CdS/ZnS、CdTe/ZnTe或CdZnSe/ZnSe（量子点/势垒层）。

[0073] 这类量子阱的优点在于势垒层有较大的电子能级，可以更好地限制量子点的电子向外跃迁，避免相邻两个量子点之间的电子相互作用而降低发光强度。而且，在上述这几种量子阱中形成的量子点容易调控发光波长和得到较纯的单一波长的光（半峰宽较窄）。

[0074] 在另一些实施例中，势垒层和量子点均为IIIA-VA族化合物半导体材料时，势垒层为GaAs、AlGaAs、GaN、GaP或InSb；势阱层为InGaAs、GaAs、InGaN、InP或InAsSb。优选为InGaAs/GaAs、GaAs/AlGaAs、InGaN/GaN、InP/GaP或InAsSb/InSb（量子点/势垒层）。

[0075] 这类量子阱不含重金属Cd，较前一种（IIB-VIA族化合物半导体材料）的应用

领域更为广泛；但是，这类量子阱的发光效果比不上前者。

[0076] 作为一种实施方式，量子阱结构还包括由下至上依次设置的衬底和缓冲层，势垒层设于缓冲层背离衬底的一侧，势垒层与缓冲层相接。

[0077] 在一些实施例中，缓冲层为GaAs、AlGaAs或GaAs/AlGaAs超晶格。

[0078] 这类缓冲层材料与衬底的晶格匹配度很高、热膨胀系数相差小。当选用的缓冲层材料与衬底晶格配合度低时，缓冲层不容易附着在衬底上，容易掉落。

[0079] 在另一些实施例中，衬底优选为ZrN/MgO、TiN/MgO、玻璃、单晶硅、SiC、蓝宝石或GaAs；更优选为蓝宝石、GaAs或单晶硅，这类衬底的晶体结构与缓冲层、量子阱相近，即晶格匹配度很高。

[0080] 经过实验检测，发现通过在势垒层的形成过程中引入掺杂金属形成量子点的成核点，使得本发明实施例的量子阱结构的发光效率高达70%~80%；然而，在没有引入掺杂金属且没有形成量子阱的量子阱结构的发光效率仅为40%~50%。而且，本发明还可实现通过调整掺杂金属的添加量，进而控制的量子点分布密度及其发光波长，提高了量子阱的发光强度和发光质量。

[0081] 为了使本发明要解决的技术问题、技术方案及有益效果更加清楚明白，以下结合具体实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

[0082] 实施例一：

[0083] 本实施例提供了一种量子阱结构，其结构如图2所示，包括25层势垒层，势垒层上布置有若干半导体量子点，且部分势垒层上的半导体量子点设置于相邻势垒层之间；

[0084] 势垒层为含掺杂金属的半导体材料，掺杂金属具有缺电子结构，且掺杂金属的半径与势垒层的阳离子的半径之差的绝对值为0.3埃。

[0085] 其中，掺杂金属选为Be；量子点和势垒层均选为IIB-VIA族化合物半导体材料，具体为CdSe/ZnSe（量子点/势垒层）；缓冲层优选为GaAs；衬底优选为GaAs。

[0086] 本实施例的量子阱结构的具体制备过程如下：

[0087] （1）衬底的预处理

[0088] 选择GaAs作为衬底，进行物理抛光；然后，采用丙酮清洗15min后，转移至无水乙醇中清洗10min；接着，采用氮气吹干后置于真空生长室中；之后，于180℃除气8h，再升温至600℃加热15min，以除去衬底表面的氧化层。

[0089] (2) 在衬底上生长缓冲层

[0090] 将步骤(1)经过预处理的衬底从600℃降温至500℃，注入缓冲层原料原子束（包括Ga原子束和As原子束），沉积5h，在衬底表面生成GaAs缓冲层，缓冲层厚度约为200 nm。

[0091] (3) 制备势垒层和半导体量子点

[0092] 1) 将步骤(2)生长有缓冲层的衬底从500℃降温至170℃，注入Se原子、Zn原子束和掺杂金属Be原子束，在缓冲层表面沉积势垒层前驱体，沉积厚度为0.1nm；然后，从170℃升温至250℃；接着，注入Se原子束和Zn原子束，沉积势垒层。

[0093] 其中，Be与Zn的摩尔比约为0.03:0.97，势垒层的分子组成为 $\text{Zn}_{0.97}\text{Be}_{0.03}\text{Se}$ ；势垒层的厚度为6 nm；势垒层前驱体的厚度为0.1nm。

[0094] 2) 先后注入量子点阴离子前驱体（Se原子束）和量子点阳离子前驱体（Cd原子束），Se原子束比Cd原子束先注入10 s，沉积25 s，在步骤1)的势垒层表面生长分布均匀的半导体量子点CdSe，量子点的厚度为4nm。

[0095] (4) 重复步骤1)和步骤2)，在循环25次，在含缓冲层衬底表面生长势垒层和量子点。

[0096] 实施例二：

[0097] 本实施例的量子阱结构，包括28层势垒层；掺杂金属选为Mn；

[0098] 量子点和势垒层均选为IIIB-VIA族化合物半导体材料，具体为CdZnSe/ZnSe（量子点/势垒层）；缓冲层为GaAs/AlGaAs超晶格；衬底为蓝宝石。

[0099] 本实施例的量子阱结构的具体制备过程如下：

[0100] (1) 衬底的预处理

[0101] 选择蓝宝石作为衬底，进行物理抛光；然后，采用丙酮清洗18min后，转移至无水乙醇中清洗15min；接着，采用氮气吹干后置于真空生长室中；之后，于190℃除气10h，再升温至650℃加热11min，以除去衬底表面的氧化层。

[0102] (2) 在衬底上生长缓冲层

[0103] 将步骤(1)经过预处理的衬底从650°C降温至530°C, 注入缓冲层原料原子束(包括Al原子束、Ga原子束和As原子束, 先注入Ga原子束和As原子束5s, 然后注入Al原子束、Ga原子束和As原子束5s, 交替循环, 共沉积5h), 在衬底表面生成GaAs/AlGaAs超晶格缓冲层, 缓冲层厚度约为260 nm。

[0104] (3) 制备势垒层和半导体量子点

[0105] 1) 将步骤(2)生长有缓冲层的衬底从530°C降温至160°C, 注入Se原子束、Zn原子束和掺杂金属Mn原子束, 在缓冲层表面沉积势垒层前驱体, 沉积厚度为0.12nm; 然后, 从160°C升温至280°C; 接着, 注入Se原子束和Zn原子束, 沉积势垒层。

[0106] 其中, Mn与Zn的摩尔比约为0.08:0.92, 势垒层的分子组成为 $Zn_{0.92}Mn_{0.08}Se$; 势垒层前驱体和势垒层的总厚度为10 nm; 势垒层前驱体的厚度为0.12nm。

[0107] 2) 依次先后注入量子点阴离子前驱体(Se原子束)和量子点阳离子前驱体(包括Cd原子束和Zn原子束), Se原子束比Cd原子束、Zn原子束先注入11 s, 沉积28 s, 在步骤1)的势垒层表面生长分布均匀的半导体量子点CdZnSe, 量子点的厚度为5nm。

[0108] (4) 重复步骤1)和步骤2), 循环28次, 在含缓冲层衬底表面生长势垒层和量子点。

[0109] 实施例三:

[0110] 本实施例的量子阱结构, 包括20层势垒层; 掺杂金属选为Mg;

[0111] 量子点和势垒层均选为IIIA-VA族化合物半导体材料, 具体为InP/GaP(量子点/势垒层); 缓冲层为AlGaAs超晶格; 衬底为单晶硅。

[0112] 本实施例的量子阱结构的具体制备过程如下:

[0113] (1) 衬底的预处理

[0114] 选择单晶硅作为衬底, 进行物理抛光; 然后, 采用丙酮清洗10min后, 转移至无水乙醇中清洗20min; 接着, 采用氮气吹干后置于真空生长室中; 之后, 于200°C除气10h, 再升温至550°C加热12min, 以除去衬底表面的氧化层。

[0115] (2) 在衬底上生长缓冲层

- [0116] 将步骤（1）经过预处理的衬底从550°C降温至510°C，注入缓冲层原料原子束（包括Al原子束、Ga原子束和As原子束），沉积6h，在衬底表面生成AlGaAs缓冲层，缓冲层厚度约为250 nm。
- [0117] （3）制备势垒层和半导体量子点
- [0118] 1）将步骤（2）生长有缓冲层的衬底从510°C降温至180°C，注入Ga原子束、P原子束和掺杂金属Mg原子束，在缓冲层表面沉积势垒层前驱体；然后，从180°C升温至280°C；接着，注入P原子束和Ga原子束，继续沉积势垒层。
- [0119] 其中，掺杂金属Mg与Ga的摩尔比约为0.05:0.95，势垒层的分子组成为Ga_{0.95}Mg_{0.05}P；势垒层前驱体的厚度为0.06nm。
- [0120] 2）依次先后注入量子点阴离子前驱体（P原子束）和量子点阳离子前驱体（In原子束），P原子束比In原子束先注入15 s，沉积30 s，在步骤1）的势垒层表面生长分布均匀的半导体量子点，半导体量子点的厚度为6nm。
- [0121] （4）重复步骤1）和步骤2），共循环20次，在含缓冲层衬底表面生长势垒层和量子点。
- [0122] 对比例一：
- [0123] 本对比例提供了一种量子阱结构，如图3所示，其与实施例1区别在于：在制备时不引入掺杂金属，势垒层中不含掺杂金属。
- [0124] 本对比例的半导体量子点包括由下至上依次设置的衬底、缓冲层和依次连接的若干个量子阱单元，每个量子阱单元包括依次设置的势垒层和势阱层，势垒层与缓冲层相接；其中，量子阱单元选为IIB-VIA族化合物半导体材料，具体为CdSe/ZnSe（势阱层/势垒层）；缓冲层优选为GaAs；衬底优选为GaAs。
- [0125] 其具体制备过程如下：
- [0126] （1）衬底的预处理
- [0127] 此步骤与实施例1相同。
- [0128] （2）在衬底上生长缓冲层
- [0129] 此步骤与实施例1相同。
- [0130] （3）在缓冲层上生长量子阱单元
- [0131] 1）将步骤（2）生长有缓冲层的衬底从500°C降温至250°C，注入Se原子束和Zn

原子束，在缓冲层表面沉积势垒层，沉积厚度为6nm，势垒层的分子组成为ZnSe。

[0132] 2) 注入Se原子束和Cd原子束，沉积25 s，在步骤1) 的势垒层表面沉积4nm厚的CdSe势阱层。

[0133] 3) 循环重复步骤1) 和步骤2)，共循环25次。

[0134] 测试例一：

[0135] 取实施例一至实施例三以及对比例一的量子阱结构，采用荧光分光光度计检测其发光效率，表1为检测结果。如结果所示，本发明实施例的量子阱结构的发光效率高达80%，明显优于对比例一的发光效率，说明在势垒层的生长过程中引入掺杂金属可有效提高本发明实施例量子阱结构的发光效率。

[0136] 表1

[表1]

	实施例1	实施例2	实施例3	对比例1
发光效率 (%)	80.57	85.69	78.54	47.78

[0137] 测试例二：

[0138] 取实施例一至实施例三的量子阱结构，采用荧光分光光度计扫描其发光波长，图4为检测结果，说明通过调节掺杂金属的添加量，可调节量子点的尺寸，进而调节本发明实施例量子阱结构的发光波长。

[0139] 以上仅为本申请的可选实施例而已，并不用于限制本申请。对于本领域的技术人员来说，本申请可以有各种更改和变化。凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的权利要求范围之内。

权利要求书

- [权利要求 1] 一种量子阱结构的制备方法，其特征在于，包括：
注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，在衬底的表面进行沉积，制备势垒层；
先后注入量子点阴离子前驱体和量子点阳离子前驱体，在所述势垒层的表面进行沉积，制备半导体量子点；
其中，所述掺杂金属原子缺电子，且所述掺杂金属的半径与势垒层阳离子的半径之差的绝对值为0.1~0.3埃。
- [权利要求 2] 根据权利要求1所述的制备方法，其特征在于，所述制备方法还包括：
多次循环制备所述势垒层与所述半导体量子点。
- [权利要求 3] 根据权利要求1所述的制备方法，其特征在于，制备所述势垒层具体包括如下步骤：
在晶体转化临界温度以下，注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，在衬底的表面上进行沉积，制备势垒层前驱体；
在晶体转化临界温度以上，继续注入所述势垒层阳离子前驱体和所述势垒层阴离子前驱体，在所述势垒层前驱体上进行沉积，制备势垒层。
- [权利要求 4] 根据权利要求3所述的制备方法，其特征在于，控制衬底的温度在晶体转化临界温度以下，注入掺杂金属、势垒层阳离子前驱体和势垒层阴离子前驱体，在衬底的表面上进行沉积，制备势垒层前驱体，其中，所述衬底的温度为150~180℃；和/或
控制所述衬底的温度在晶体转化临界温度以上，继续注入所述势垒层阳离子前驱体和所述势垒层阴离子前驱体，在所述势垒层前驱体上进行沉积，制备势垒层，其中，所述衬底温度为250~300℃。
- [权利要求 5] 根据权利要求1所述的制备方法，其特征在于，所述掺杂金属为Be、Mn、Mg、Ca、Sr、Ba或Ra；和/或
所述掺杂金属与所述势垒层阳离子的摩尔比为(0.01~0.1):1。
- [权利要求 6] 根据权利要求1所述的制备方法，其特征在于，所述势垒层阳离子前

驱体为IIB族原子，所述势垒层阴离子前驱体为VIA族原子；

或，所述势垒层阳离子前驱体为IIIA族原子，所述势垒层阴离子前驱体为VA族原子。

[权利要求 7] 根据权利要求1所述的制备方法，其特征在于，所述量子点阳离子前驱体为IIB族原子，所述量子点阴离子前驱体为VIA族原子；
或，所述量子点阳离子前驱体为IIIA族原子，所述量子点阴离子前驱体为VA族原子。

[权利要求 8] 根据权利要求1所述的制备方法，其特征在于，所述势垒层阴离子前驱体与所述量子点阴离子前驱体相同。

[权利要求 9] 根据权利要求1所述的制备方法，其特征在于，在制备所述半导体量子点的过程中，沉积时间为25~30s；和/或
所述量子点阴离子前驱体比所述量子点阳离子前驱体早注入10~15 s；和/或
所述半导体量子点的厚度为4~6nm。

[权利要求 10] 根据权利要求1所述的制备方法，其特征在于，在制备所述势垒层的过程中，沉积时间为35~60s；和/或
所述势垒层的厚度为6~10nm。

[权利要求 11] 根据权利要求1所述的制备方法，其特征在于，在制备所述势垒层之前，还包括：在所述衬底的表面制备缓冲层，且所述缓冲层位于所述衬底与所述势垒层之间。

[权利要求 12] 一种量子阱结构，其特征在于，包括：势垒层和半导体量子点；
所述半导体量子点多个，且均匀布置于所述势垒层上；
所述势垒层为含掺杂金属的半导体材料，所述掺杂金属原子缺电子，且所述掺杂金属的半径与所述势垒层的阳离子的半径之差的绝对值为0.1~0.3埃。

[权利要求 13] 根据权利要求12所述的量子阱结构，其特征在于，所述势垒层至少一层；
沿所述势垒层的层数递增方向，所述半导体量子点均匀布置于所述势

垒层面向下一层势垒层的一侧。

- [权利要求 14] 根据权利要求12所述的量子阱结构，其特征在于，所述掺杂金属为Be、Mn、Mg、Ca、Sr、Ba或Ra。
- [权利要求 15] 根据权利要求12所述的量子阱结构，其特征在于，所述势垒层为IIB-VIA族化合物半导体材料或IIIA-VA族化合物半导体材料；和/或所述半导体量子点为IIB-VIA族化合物半导体材料或IIIA-VA族化合物半导体材料。
- [权利要求 16] 根据权利要求15所述的量子阱结构，其特征在于，所述势垒层与所述半导体量子点同为IIB-VIA族化合物半导体材料或IIIA-VA族化合物半导体材料。
- [权利要求 17] 根据权利要求15所述的量子阱结构，其特征在于，所述势垒层为IIB-VIA族化合物半导体材料时，所述势垒层为ZnSe、ZnS或ZnTe；所述势垒层为IIIA-VA族化合物半导体材料时，所述势垒层为GaAs、AlGaAs、GaN、GaP或InSb。
- [权利要求 18] 根据权利要求15所述的量子阱结构，其特征在于，所述半导体量子点为IIB-VIA族化合物半导体材料时，所述半导体量子点为CdSe、CdS、CdTe或CdZnSe；所述半导体量子点为IIIA-VA族化合物半导体材料时，所述半导体量子点为InGaAs、GaAs、InGaN、InP或InAsSb。
- [权利要求 19] 根据权利要求12所述的量子阱结构，其特征在于，还包括衬底和缓冲层，所述缓冲层设于所述衬底和所述势垒层之间。
- [权利要求 20] 根据权利要求19所述的量子阱结构，其特征在于，所述缓冲层为GaAs、AlGaAs或GaAs/AlGaAs超晶格；和/或所述衬底为ZrN/MgO、TiN/MgO、玻璃、单晶硅、SiC、蓝宝石或GaAs。

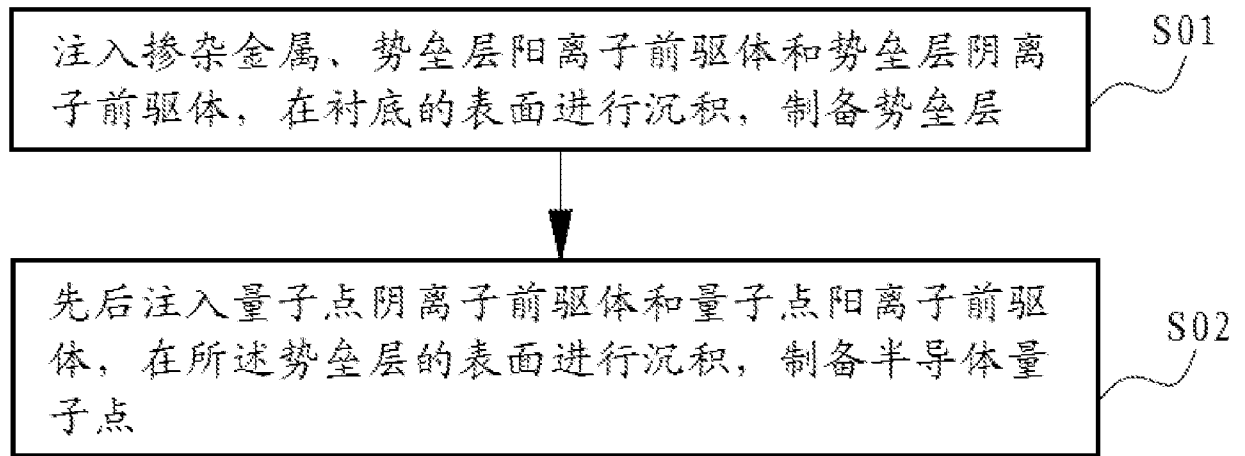


图 1



图 2

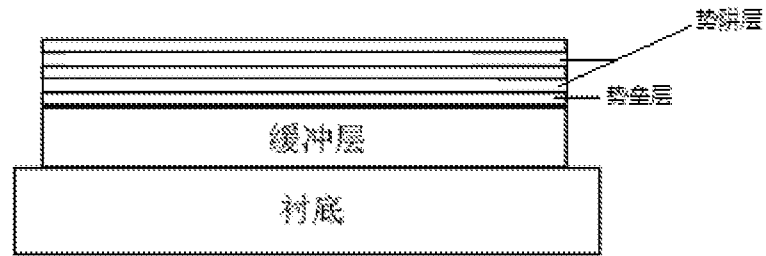


图 3

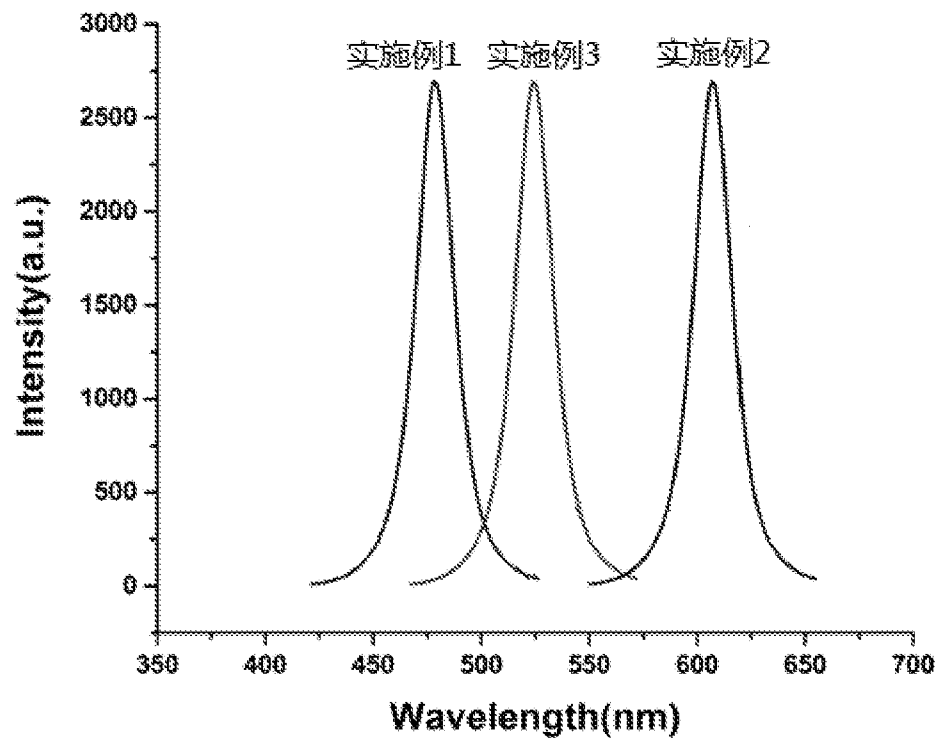


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/107881

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/00(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 量子阱, 量子井, 量子点, QD, 势垒, 垒层, 掺杂, 杂质, P型, 缺电子, 前驱体, 半径, quantum, well, dot, barrier, spacer, spacing, doped, doping, dopant, impurity, P type, precursor, radius

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105981149 A (TOYOTA MOTOR EUROP NV/SA) 28 September 2016 (2016-09-28) description, paragraphs [0017]-[0052], and figures 1-4	1-20
A	CN 101752444 A (INSTITUTE OF SEMICONDUCTORS, CHINESE ACADEMY OF SCIENCES) 23 June 2010 (2010-06-23) entire document	1-20
A	CN 103441181 A (INSTITUTE OF SEMICONDUCTORS, CHINESE ACADEMY OF SCIENCES) 11 December 2013 (2013-12-11) entire document	1-20
A	JP 10326906 A (HAMAMATSU PHOTONICS K.K.) 08 December 1998 (1998-12-08) entire document	1-20
A	JP 2008227323 A (FUJITSU LTD.) 25 September 2008 (2008-09-25) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 December 2019

Date of mailing of the international search report

25 December 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/107881

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105981149	A	28 September 2016	US	9917218	B2	13 March 2018
				WO	2015117659	A1	13 August 2015
				US	2017162733	A1	08 June 2017
				JP	6463773	B2	06 February 2019
				JP	2017515294	A	08 June 2017
CN	101752444	A	23 June 2010	CN	101752444	B	18 January 2012
CN	103441181	A	11 December 2013	None			
JP	10326906	A	08 December 1998	None			
JP	2008227323	A	25 September 2008	JP	4763636	B2	31 August 2011

国际检索报告

国际申请号

PCT/CN2019/107881

A. 主题的分类

H01L 33/00 (2010.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPDOC, IEEE: 量子阱, 量子井, 量子点, QD, 势垒, 垒层, 掺杂, 杂质, P型, 缺电子, 前驱体, 半径, quantum, well, dot, barrier, spacer, spacing, doped, doping, dopant, impurity, P type, precursor, radius

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105981149 A (丰田自动车欧洲股份有限公司) 2016年 9月 28日 (2016 - 09 - 28) 说明书第[0017]-[0052]段, 附图1-4	1-20
A	CN 101752444 A (中国科学院半导体研究所) 2010年 6月 23日 (2010 - 06 - 23) 全文	1-20
A	CN 103441181 A (中国科学院半导体研究所) 2013年 12月 11日 (2013 - 12 - 11) 全文	1-20
A	JP 10326906 A (HAMAMATSU PHOTONICS K.K.) 1998年 12月 8日 (1998 - 12 - 08) 全文	1-20
A	JP 2008227323 A (FUJITSU LTD.) 2008年 9月 25日 (2008 - 09 - 25) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 12月 4日

国际检索报告邮寄日期

2019年 12月 25日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

黄万国

电话号码 86-10-53961457

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/107881

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105981149	A	2016年 9月 28日	US	9917218	B2	2018年 3月 13日
				WO	2015117659	A1	2015年 8月 13日
				US	2017162733	A1	2017年 6月 8日
				JP	6463773	B2	2019年 2月 6日
				JP	2017515294	A	2017年 6月 8日
CN	101752444	A	2010年 6月 23日	CN	101752444	B	2012年 1月 18日
CN	103441181	A	2013年 12月 11日	无			
JP	10326906	A	1998年 12月 8日	无			
JP	2008227323	A	2008年 9月 25日	JP	4763636	B2	2011年 8月 31日