



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

227 100

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 31 12 82

(21) PV 10 147 - 82

(51) Int. Cl. G 06 F 13/02

(40) Zveřejněno 26 08 83

(45) Vydáno 01 01 85

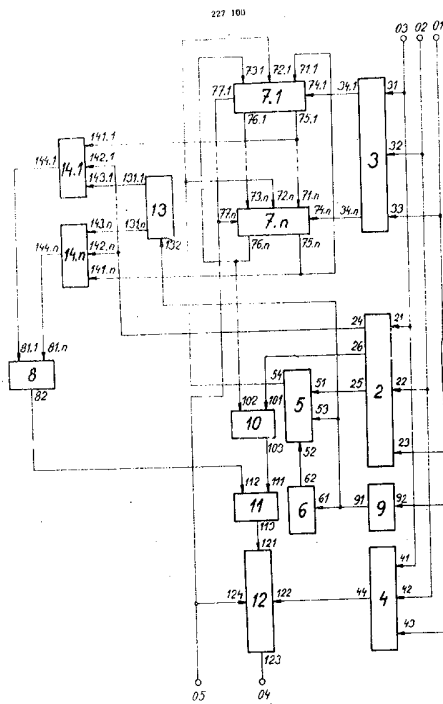
(75)

Autor vynálezu

STRONER PETER ing., BARTOŇEK IVAN ing., PRAHA

(54)

Zapojení pro generování volitelného zpoždění



Vynález se týká zapojení obvodu pro generování volitelného zpoždění pro zařízení pracující v reálném čase.

V oblasti číslicové techniky je často třeba vytvořit časový obvod, který má proměnnou, předem určenou dobu zpoždění. Požadovaná doba průchodu signálu se mnohdy pohybuje v rozsahu několika řádů základní použité časové jednotky. Jsou známá uspořádání, která používají k řízení číselně zadaného časového intervalu různých zapojení čítačů, jejichž dělicí poměr a frekvence vstupních impulsů určí dobu, po kterou se aktivuje příslušný výstup. Nevýhodou těchto uspořádání s různými typy monostabilních klopných obvodů a zpožďovacích linek je, že se pro řadu použití nehodí. Buď proto, že vykazují malý rozsah dosažitelných intervalů, nebo jsou málo přesné, či jejich dlouhodobá stabilita je nevyhovující. Jsou známá též různá čítačová zapojení, jejichž hodinové impulsy jsou odvozeny od krystalem řízeného oscilátoru. Přesnost a stabilita těchto zapojení je vyhovující a rozsah volitelných časových impulsů není prakticky omezen. Nevýhodou těchto řešení však je, že u nich nelze dosáhnout vyšší jemnosti dělení časového intervalu. Minimální délka časového intervalu je dána rychlostí nejnižšího řádu použitého počítače.

Tyto nedostatky odstraňuje zapojení pro generování volitelného zpoždění podle vynálezu. Podstata vynálezu spočívá v tom, že povelová vstupní svorka zapojení je spojena s povelovým vstupem paměti časového měřítka, s povelovým vstupem druhého přepisovacího obvodu, s řídicím vstupem generátoru frekvence a s povelovým vstupem prvního přepisovacího obvodu. Každý výstup prvního přepisovacího obvodu je spojen s nastavovacím vstupem odpovídajícího klopného obvodu, jehož první výstup je spojen s prvním vstupem následujícího klopného obvodu a s prvním vstupem přiřazeného součinnového obvodu. První výstup n -tého klopného obvodu je spojen s prvním

vstupem prvního klopného obvodu a s prvním vstupem n -tého součinnového obvodu. Nulovací výstup každého klopného obvodu je spojen s nulovací vstupní svorkou zapojení a s nulovacím výstupem posuvného registru, jehož zadávací vstup je spojen se skupinovým výstupem druhého přepisovacího obvodu. Datový vstup druhého přepisovacího obvodu je spojen s datovou vstupní svorkou zapojení, s datovým vstupem prvního přepisovacího obvodu a s datovým vstupem paměti časového měřítka. Skupinový výstup paměti časového měřítka je spojen s prvním skupinovým vstupem multiplexoru, jeho druhý skupinový vstup je spojen se skupinovým výstupem děliče frekvence. Vstup děliče frekvence je spojen se třetím vstupem multiplexoru, s výstupem generátoru frekvence a se vstupem zpožďovací jednotky, jejíž každý výstup je spojen se zpožďovacím vstupem přiřazeného součinnového obvodu. Uvolňovací vstupy součinnových obvodů jsou spojeny s prvním hradlovacím výstupem paměti časového měřítka a výstup každého součinnového obvodu je spojen s odpovídajícím vstupem druhého součtového obvodu. Výstup druhého součtového obvodu je spojen se druhým vstupem prvního součtového obvodu, jehož první vstup je spojen s výstupem hradlovacího obvodu. Výstup prvního součtového obvodu je spojen s hodinovým vstupem posuvného registru, jehož výstup je spojen s výstupní svorkou zapojení. Adresní vstupní svorka zapojení je spojena s adresním vstupem prvního přepisovacího obvodu, s adresním vstupem druhého přepisovacího obvodu a s adresním vstupem paměti časového měřítka, jejíž druhý hradlovací výstup je spojen s prvním vstupem hradlovacího obvodu. Druhý vstup hradlovacího obvodu je spojen s inverzním výstupem n -tého klopného obvodu a se druhým vstupem prvního klopného obvodu. Inverzní výstup prvního až předposledního klopného obvodu je spojen se druhým vstupem bezprostředně následujícího klopného obvodu. Hodinový vstup každého klopného obvodu je spojen s výstupem multiplexoru.

Zapojení podle vynálezu zvyšuje jednoduchým způsobem rozsah vytvářených hodnot zpoždění minimálně o jeden řád směrem ke kratším časům ve srovnání se známými zapojeními, která využívají čítačů. Umožňuje generovat kratší hodnoty časových intervalů než se dosahují obdobnými obvody při standartním použití čítačové či děličové funkce.

Rozsah časů generovaných zapojením podle vynálezu není prakticky omezen. Další výhodou je, že zapojení je přizpůsobeno pro připojení na systémovou sběrnici. To umožňuje pružné měření takových parametrů, jako jsou časové měřítka nebo délka zvoleného intervalu. Odměření žádaného intervalu je velmi přesné, protože závisí jen na přesnosti budícího oscilátoru. Základní chyba odměřeného časového intervalu zůstává konstantní nezávisle na délce zvoleného intervalu a lze ji tedy jednoduše kompenzovat v následujících zpracovatelských obvodech.

Příklad zapojení podle vynálezu je znázorněn v blokovém schématu na připojeném výkresu.

Technické prostředky, jimiž jsou jednotlivé bloky vytvořeny, jsou vesměs známé obvody číslicové techniky a proto nejsou na výkresu podrobně rozkresleny. Jednotlivé bloky zapojení lze charakterizovat takto. Paměť 2 časového měřítka je registr složený z klopných obvodů a slouží k zapamatování zadaného časového měřítka. První přepisovací obvod 3 a druhý přepisovací obvod 4 jsou vytvořeny jako běžné oddělovací obvody užívané pro řízené sběrnice. Slouží k zapsání žádané hodnoty časového intervalu. Multiplexor 5 je přepínač vytvořený jako monolitický integrovaný obvod, který přepíná vstupní signály na společný výstup obvodu. Dělič 6 frekvence je vytvořen z klopných obvodů a slouží k synchronnímu dělení frekvence přiváděné na jeho vstup. Všechny klopné obvody 7.1 až 7.10 jsou stejné klopné obvody typu J-K. První výstup 7.1 až 7.10 každého klopného obvodu 7.1 až 7.10 je spojen s prvním vstupem 7.2 až 7.11 následujícího klopného obvodu 7.2 až 7.1 a tímto propojením se vytváří kruhový posuvný registr o n krocích. Je-li počet klopných obvodů 7.1 až 7.10 roven číslu deset, potom je kruhový 8 registr o deseti krocích. Posuvný registr slouží k zadání nejnižší dekády žádaného časového zpoždění. Druhý součtový obvod 9 je vytvořen z logických kombinačních obvodů a logicky sečítá vstupní signály. Generátor 2 frekvence je hradlovaný krystalový oscilátor, který vytváří základní frekvenci. Hradlovací obvod 10 je tvořen kombinačními obvody a hradluje průchod signálu ze svého druhého vstupu 10.2 na svůj výstup 10.3 v závislosti na stavu svého

prvního vstupu 101. První součtový obvod 11 je vytvořen z kombinačních logických obvodů. Logicky sečítá signály pro posuvný registr 12, který je vytvořen z deseti klopných obvodů a slouží k předvození vyšší dekády zadaného časového intervalu. Zpožďovací jednotka 13 je vytvořena seriovou kombinací zpožďovacích elementů a generuje na svých výstupech ekvidistantně posunuté impulsní průběhy. Součinové obvody 14₁ až 14₁₀ jsou vytvořené z logických hradel. Slouží k nalezení koincidence výstupu zpožďovací jednotky 13 se stavem klopných obvodů 7₁ až 7₁₀. Vstupy a výstupy, které mají společný logický nebo funkční význam, jsou označeny jako jeden spoj a jsou označeny jako skupinové. Jednotlivé bloky zapojení obvodu pro generování volitelného zpoždění jsou zapojeny takto. Povelová vstupní svorka Q1 zapojení je spojena s povelovým vstupem 23 paměti 2 časového měřítka, s povelovým vstupem 43 druhého přepisovacího obvodu 4, s řídicím vstupem 22 generátoru 2 frekvence a s povelovým vstupem 33 prvního přepisovacího obvodu 3. Každý výstup 34₁ až 34₁₀ prvního přepisovacího obvodu 3 je spojen s nastavovacím vstupem 74₁ až 74₁₀ odpovídajícího klopného obvodu 7₁ až 7₁₀. První výstup 75₁ až 75₁₀=1 prvního až předposledního klopného obvodu 7₁ až 7₁₀=1 je spojen s prvním vstupem 71₂ až 71₁₀ následujícího, to je druhého až n-tého klopného obvodu 7₂ až 7₁₀ a s prvním vstupem 141₁ až 141₁₀=1 přiřazeného součinového obvodu 14₁ až 14₁₀=1. První výstup 75₁₀ n-tého, tedy posledního klopného obvodu 7₁₀ je spojen s prvním vstupem 71₁ prvního klopného obvodu 7₁ a s prvním vstupem 141₁₀ n-tého součinového obvodu 14₁₀. Nulovací výstup 77₁ až 77₁₀ každého klopného obvodu 7₁ až 7₁₀ je spojen s nulovací vstupní svorkou Q5 zapojení a s nulovacím vstupem 124 posuvného registru 12. Zadávací vstup 122 posuvného registru 12 je spojen se skupinovým výstupem 44 druhého přepisovacího obvodu 4. Datový vstup 42 druhého přepisovacího obvodu 4 je spojen s datovou vstupní svorkou Q2 zapojení, s datovým vstupem 32 prvního přepisovacího obvodu 3 a s datovým vstupem 22 paměti 2 časového měřítka. Skupinový výstup 25 paměti 2 časového měřítka je spojen s prvním skupinovým vstupem 51 multiplexoru 5, jehož druhý skupinový vstup 52 je spojen se

skupinovým výstupem 62 děliče 6 frekvence. Vstup 61 děliče 6 frekvence je spojen se třetím vstupem 53 multiplexoru 5, s výstupem 21 generátoru 2 frekvence a se vstupem 132 zpožďovací jednotky 13. Každý výstup 131_{A1} až 131_{A0} zpožďovací jednotky 13 je spojen se zpožďovacím vstupem 143_{A1} až 143_{A0} přiřazeného součinnového obvodu 14_{A1} až 14_{A0}. Uvolňovací vstup 142_{A1} až 142_{A0} každého součinnového obvodu 14_{A1} až 14_{A0} je spojen s prvním hradlovacím výstupem 24 paměti 2 časového měřítka. Výstup 144_{A1} až 144_{A0} každého součinnového obvodu 14_{A1} až 14_{A0} je spojen s odpovídajícím vstupem 81_{A1} až 81_{A0} druhého součtového obvodu 8. Výstup 82 druhého součtového obvodu 8 je spojen se druhým vstupem 112 prvního součtového obvodu 11. První vstup 111 prvního součtového obvodu 11 je spojen s výstupem 103 hradlovacího obvodu 10. Výstup 113 prvního součtového obvodu 11 je spojen s hodinovým vstupem 121 posuvného registru 12. Výstup 123 posuvného registru 12 je spojen s výstupní svorkou Q4 zapojení. Adresní vstupní svorka Q3 zapojení je spojena s adresním vstupem 31 prvního přepisovacího obvodu 3, s adresním vstupem 41 druhého přepisovacího obvodu 4 a s adresním vstupem 21 paměti 2 časového měřítka. Druhý hradlovací výstup 26 paměti 2 časového měřítka je spojen s prvním vstupem 101 hradlovacího obvodu 10. Druhý vstup 102 hradlovacího obvodu 10 je spojen s inverzním výstupem Z6_{A0} n-tého, to je posledního klopného obvodu Z_{A0} a se druhým vstupem Z3_{A1} prvního klopného obvodu Z_{A1}. Inverzní výstup Z6_{A1} až Z6_{A0=1} prvního až předposledního klopného obvodu Z_{A1} až Z_{A0=1} je spojen se druhým vstupem Z3_{A2} až Z3_{A0} bezprostředně následujícího, to je druhého až posledního klopného obvodu Z_{A2} až Z_{A0}. Hodinový vstup Z2_{A1} až Z2_{A0} každého klopného obvodu Z_{A1} až Z_{A0} je spojen s výstupem 54 multiplexoru 5.

Zapojení pracuje takto. Data, která charakterizují délku voleného časového intervalu, vyjádřenou počtem jednotek času, to jest časovým měřítkem, přicházejí z řídicí jednotky, která není na výkrese znázorněna, na povelovou vstupní svorku Q1 zapojení, na datovou vstupní svorku Q2 zapojení a na adresní vstupní svorku Q3 zapojení. Údaj časového měřítka se запиše do paměti 2 časového měřítka. Údaje o délce časového intervalu se запиší do prvního

přepisovacího obvodu 3 pro nejnižší dekádu a do druhého přepisovacího obvodu 4 pro jednu nebo několik vyšších dekád. Do kruhového registru, vytvořeného z klopných obvodů Z_{A1} až Z_{A9} se z prvního přepisovacího obvodu 3 přepíše desítkový doplněk číselné hodnoty nejnižší dekády hodnoty délky intervalu. Do posuvného registru 12 se přepíše desítkové doplňky vyšších dekád ze druhého přepisovacího obvodu 4. Před tím se oba přepisovací obvody 3, 4 vynulují. Vynulování se provádí nulovacím signálem. Nulovacím signálem přicházejícím z nulovací vstupní svorky 05 zapojení na nulovací vstup ZZ_{A1} až ZZ_{A9} každého klopného obvodu Z_{A1} až Z_{A9} se vynuluje kruhový posuvný registr vytvořený z klopných obvodů Z_{A1} až Z_{A9} a současně se stejným nulovacím signálem, který přichází na nulovací svorku 124 posuvného registru 12 vynuluje posuvný registr 12. První hradlovací výstup 24 paměti 2 časového měřítka a její druhý hradlovací výstup 26 určují na základě velikosti zadaného měřítka, zda bude právě ve funkci první vstup 111 prvního součtového obvodu 11 nebo jeho druhý vstup 112. Současně se na skupinovém výstupu 25 paměti 2 časového měřítka objeví kódová kombinace, určující zda se na výstup 54 multiplexoru 5 přivede jeho druhý skupinový vstup 52 nebo jeho třetí vstup 53. Na třetí vstup 53 multiplexoru 5 přichází základní frekvence z generátoru 2 frekvence. Základní frekvence, například 10 MHz přicházejí současně na vstup 61 děliče 6 frekvence. Na skupinovém výstupu 62 děliče 6 frekvence jsou k dispozici vydělené frekvence. Kódová kombinace na prvním skupinovém vstupu 51 multiplexoru 5 určuje frekvenci, která bude na výstupu 54 multiplexoru 5. Tato frekvence je pak zdrojem hodinových pulsů pro kruhový registr tvořený klopnými obvody Z_{A1} až Z_{A9} . Základní frekvence z výstupu 21 generátoru 2 frekvence se též přivádí na vstup 132 zpožďovací jednotky 13. Celková délka zpožďovací jednotky 13 se volí tak, aby doba jejího zpoždění nebyla větší než odpovídá časovému intervalu mezi dvěma po sobě následujícími impulsy generátoru 2 frekvence. Výstupy 131_{A1} až 131_{A9} zpožďovací jednotky 13 se volí tak, aby představovaly ekvidistantní zpoždění vstupního impulsu, což může být například deset procent jeho délky. Jestliže signál na prvním hradlovacím výstupu 24 paměti 2 časového měřítka spolu s údaji na jejím skupinovém výstupu 25 a na jejím druhém

výstupu 26 určuje, že je zvoleno nejmenší časové měřítko, potom se uvolní všechny součinné obvody 14_{A1} až 14_{AN} přes své uvolňovací vstupy 14_{A1} až 14_{AN}. Zároveň se zablokuje výstup 54 multiplexoru 5 a současně se zahradije hradlovací obvod 10. Jestliže například generátor 2 frekvence vytváří frekvenci deset MHz a počet všech výstupů 13_{A1} až 13_{AN} zpoždovací jednotky 13 je roven číslu deset, potom z toho plynoucí interval mezi souhlasnými hranami jednotlivých pulsů na výstupech 13_{A1} až 13_{AN} zpoždovací jednotky 13 je deset nanosekund. Má-li se docílit na výstupní svorce Q₄ zapojení výstupní hrana zpožděná například dvanáctkrát deset nanosekund, to je stodvacet nanosekund oproti povelu přijatému generátorem 2 frekvence na jeho řídicím vstupu 22 předvolí se do posuvného registru vytvořeného z klopných obvodů 7_{A1} až 7_{AN}, při n rovno deseti, hodnota rovná doplňku nejnižší dekády žádaného času, to je osm, což je doplněk ke dvěma a do posuvného registru 12 se předvolí hodnota doplňku vyšší dekády požadovaného intervalu, sníženého o jednotku, to je rovněž osm. Při průchodu prvního impulsu z generátoru 2 frekvence zpoždovací jednotkou 13, dojde při koincidenci signálů na předposledním zpoždovacím výstupu 13_{AN}=1 zpoždovací jednotky 13 s předvoleným klopným obvodem 7_{AN}=1, který není na výkrese znázorněn. Koincidenci vyhodnotí předposlední součinný obvod 14_{AN}=1 a přes druhý součtový obvod 8 a dále přes druhý vstup 11₂ prvního součtového obvodu 11 posune přes hodinový vstup 12₁ posuvný registr 12. K této koincidenci dojde po dvaceti nanosekundách od první aktivní hrany hodinového impulsu z výstupu 21 generátoru 2 frekvence. Výstup 54 multiplexoru 5 je při této činnosti v klidu, což zajišťuje kódová kombinace na prvním skupinovém vstupu 51 multiplexoru 5. Za této situace se stav posuvného registru složeného z klopných obvodů 7_{A1} až 7_{AN} nemění. K další koincidenci dojde opět za dvacet nanosekund po příchodu další aktivní hrany impulsu, který přichází z generátoru 2 frekvence po sto nanosekundách. To je přesně za stodvacet nanosekund od aktivace generátoru 2 frekvence. Opět se posune posuvný registr 12 a na výstupní svorce Q₄ zapojení se objeví žádaným způsobem zpožděná aktivní hrana. Celkové zpoždění vyhodnocovacích obvodů je konstantní a nezávislé na použité frekvenci i zvolené hodnotě zpoždění. Lze jej kompenzovat ve zpracovatelských obvo-

dech, které nejsou dále popisovány. Z tohoto důvodu je lze považovat za nulové. V případě, že se má generovat zpoždění v hrubším měřítku, potom se signálem z prvního hradlovacího výstupu 24 paměti 2 časového měřítka zablokuje přes uvolňovací vstupy 142a1 až 142a0 všechny součtové obvody 14a1 až 14a0. Současně se signálem ze skupinového výstupu 25 paměti 2 časového měřítka přes první skupinový vstup 51 multiplexoru 5 uvolní příslušná frekvence na výstupu 54 multiplexoru 5. Signálem ze druhého hradlovacího výstupu 26 paměti 2 časového měřítka se přes první vstup 101 uvolní hradlovací obvod 10. Tím se propojí do série posuvný registr tvořený klopnými obvody 7a1 až 7a0 s posuvným registrem 12, čímž se zapojení změní tak, že posuvný registr tvořený klopnými obvody 7a1 až 7a0 pracuje jako dělič frekvence hodinových impulsů přiváděných na jeho hodinové vstupy 72a1 až 72a0 vzhledem k výstupu 76a0. Předvolba žádané hodnoty zpoždění aktivní hrany impulsu se provádí stejně jako v předchozím případě, to je jako dekadický doplněk, při počtu $n=10$, nebo jako jiný doplněk žádoucí hodnoty zpoždění při počtu $n \neq 10$.

Vynálezu se využije při generování proměnného zpoždění aktivní hrany impulsu ve velkém rozsahu hodnot, zejména v těch případech, kdy mezní frekvenční vlastnosti logických obvodů nedovolují dosáhnout požadované jemnosti dělení intervalu. Hlavní oblasti využití jsou testovací a měřicí technika a řízení procesů probíhajících v reálném čase.

/11/ je spojen s hodinovým vstupem /121/ posuvného registru /12/, jehož výstup /123/ je spojen s výstupní svorkou /04/ zapojení, jehož adresní vstupní svorka /03/ je spojena s adresním vstupem /31/ prvního přepisovacího obvodu /3/, s adresním vstupem /41/ druhého přepisovacího obvodu /4/ a s adresním vstupem /21/ paměti /2/ časového měřítka, jejíž druhý hradlovací výstup /26/ je spojen s prvním vstupem /101/ hradlovacího obvodu /10/, jehož druhý vstup /102/ je spojen s inverzním výstupem /76.n/ n-tého klopného obvodu /7.n/ a s druhým vstupem /73.1/ prvního klopného obvodu /7.1/ a inverzní výstup /76.1 až 76.n-1/ prvního až předposledního klopného obvodu /7.1 až 7.n-1/ je spojen s druhým vstupem /73.2 až 73.n/ bezprostředně následujícího klopného obvodu /7.2 až 7.n/ a hodinový vstup /72.1 až 72.n/ každého klopného obvodu /7.1 až 7.n/ je spojen s výstupem /54/ multiplexoru /5/.

Zapojení pro generování volitelného zpoždění, vyznačující se tím, že povelová vstupní svorka /01/ zapojení je spojena s povelovým vstupem /23/ paměti /2/ časového měřítka, s povelovým vstupem /43/ druhého přepisovacího obvodu /4/, s řídícím vstupem /92/ generátoru /9/ frekvence a s povelovým vstupem /33/ prvního přepisovacího obvodu /3/, jehož každý výstup /34.1 až 34.n/ je spojen s nastavovacím vstupem /74.1 až 74.n/ odpovídajícího klopného obvodu /7.1 až 7.n/ a první výstup /75.1 až 75.n-1/ prvního až před-

posledního klopného obvodu /7.1 až 7.n-1/ je spojen s prvním vstupem /71.2 až 71.n/ následujícího klopného obvodu /7.2 až 7.n/ a s prvním vstupem /141.1 až 141.n-1/ přiřazeného součinnového obvodu /14.1 až 14.n-1/, kde první výstup /75.n/ n-tého klopného obvodu /7.n/ je spojen s prvním vstupem /71.1/ prvního klopného obvodu /7.1/ a s prvním vstupem /141.n/ n-tého součinnového obvodu /14.n/ a nulovací výstup /77.1 až 77.n/ každého klopného obvodu /7.1 až 7.n/ je spojen s nulovací vstupní svorkou /05/ zapojení a s nulovacím výstupem /124/ posuvného registru /12/, jehož zadávací vstup /122/ je spojen se skupinovým výstupem /44/ druhého přepisovacího obvodu /4/, jehož datový vstup /42/ je spojen s datovou vstupní svorkou /02/ zapojení, s datovým vstupem /32/ prvního přepisovacího obvodu /3/ a s datovým vstupem /22/ paměti /2/ časového měřítka, jejíž skupinový výstup /25/ je spojen s prvním skupinovým vstupem /51/ multiplexoru /5/, jehož druhý skupinový vstup /52/ je spojen se skupinovým výstupem /62/ děliče /6/ frekvence, jehož vstup /61/ je spojen s třetím vstupem /53/ multiplexoru /5/, s výstupem /91/ generátoru /9/ frekvence a se vstupem /132/ zpožďovací jednotky /13/, jejíž každý výstup /131.1 až 131.n/ je spojen se zpožďovacím vstupem /143.1 až 143.n/ přiřazeného součinnového obvodu /14.1 až 14.n/, jehož uvolňovací vstup /142.1 až 142.n/ je spojen s prvním hradlovacím výstupem /24/ paměti /2/ časového měřítka a výstup /144.1 až 144.n/ každého součinnového obvodu /14.1 až 14.n/ je spojen s odpovídajícím vstupem /81.1 až 81.n/ druhého součtového obvodu /8/, jehož výstup /82/ je spojen se druhým vstupem /112/ prvního součtového obvodu /11/, jehož první vstup /111/ je spojen s výstupem /103/ hradlovacího obvodu /10/ a výstup /113/ prvního součtového obvodu

