

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2004-198747  
(P2004-198747A)

(43) 公開日 平成16年7月15日(2004.7.15)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl. <sup>7</sup>             | F I            | テーマコード (参考) |
| GO2F 1/133                            | GO2F 1/133 550 | 2H088       |
| GO2F 1/13                             | GO2F 1/13 101  | 2H093       |
| GO9G 3/20                             | GO9G 3/20 622C | 5C006       |
| GO9G 3/36                             | GO9G 3/20 622D | 5C080       |
|                                       | GO9G 3/20 622G |             |
| 審査請求 未請求 請求項の数 10 O L (全 34 頁) 最終頁に続く |                |             |

|           |                              |          |                                             |
|-----------|------------------------------|----------|---------------------------------------------|
| (21) 出願番号 | 特願2002-367403 (P2002-367403) | (71) 出願人 | 000005049                                   |
| (22) 出願日  | 平成14年12月18日 (2002.12.18)     |          | シャープ株式会社                                    |
|           |                              |          | 大阪府大阪市阿倍野区長池町22番22号                         |
|           |                              | (74) 代理人 | 100078282                                   |
|           |                              |          | 弁理士 山本 秀策                                   |
|           |                              | (74) 代理人 | 100062409                                   |
|           |                              |          | 弁理士 安村 高明                                   |
|           |                              | (74) 代理人 | 100107489                                   |
|           |                              |          | 弁理士 大塩 竹志                                   |
|           |                              | (72) 発明者 | 藪内 英明                                       |
|           |                              |          | 大阪府大阪市阿倍野区長池町22番22号                         |
|           |                              |          | シャープ株式会社内                                   |
|           |                              | Fターム(参考) | 2H088 FA12 FA13 FA30 HA06 HA08<br>KA25 MA20 |
|           |                              | 最終頁に続く   |                                             |

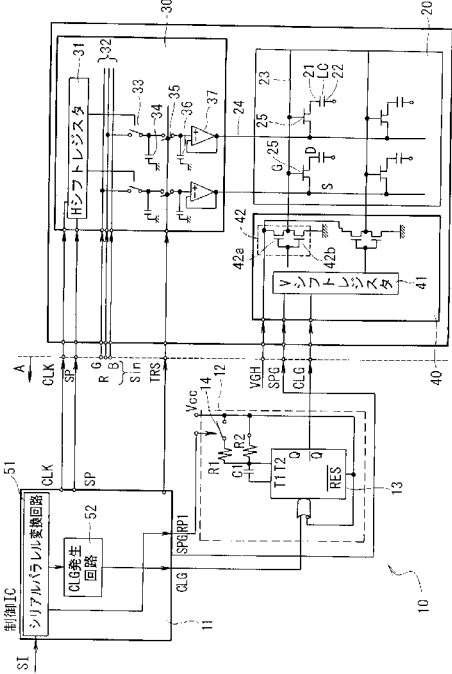
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 TFTの電気的特性（電圧－電流特性）に僅かなずれが場合でも容易および確実に不良品検出を行う。

【解決手段】 液晶パネル20の設けられている各TFT25に対して、通常動作用のゲート制御信号の電圧印加時間である駆動電圧印加時間および電気的特性検査用のゲート制御信号の電圧印加時間である駆動電圧印加時間（例えば、それぞれ50μsecおよび30μsec）を切換えて画像表示させるので、TFT25の電気的特性不良の場合には、所定切換時間（nフィールド期間）毎に表示画像の輝度の濃淡により、TFT25の電気的特性の僅かなシフトによる不良品をも容易かつ確実に確認可能となり、従来のように検査対象装置と基準となる比較対象装置とを共に動作させて大規模な装置で時間をかけて表示画像の輝度を比較する必要がなくなる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の映像信号線と複数の制御信号線との各交差部の近傍毎に絵素電極がそれぞれ設けられ、制御信号による各絵素電極駆動素子の駆動タイミング毎に映像信号を各絵素電極にそれぞれ供給して画像表示を行う液晶表示装置において、  
該各絵素電極駆動素子に対して、該制御信号の電圧印加時間と、電気的特性検査用制御信号の電圧印加時間とを切換えて画像表示可能とする画像表示制御手段を有する液晶表示装置。

## 【請求項 2】

前記画像表示制御手段は、  
複数の映像信号線から映像信号線を順次選択して映像信号を供給する映像信号線駆動手段と、  
複数の制御信号線から制御信号線を順次選択して制御信号を供給する制御信号線駆動手段と、  
該制御信号線駆動手段に供給する前記各絵素電極駆動素子の該制御信号の電圧印加時間と、前記電気的特性検査用制御信号の電圧印加時間とを切換え可能とする駆動電圧印加時間切換手段とを有する請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記電気的特性検査用制御信号の電圧印加時間は、正常と判定する絵素電極駆動素子の電圧－電流特性と、不良と判定する絵素電極駆動素子の電圧－電流特性とに基づいて設定されている請求項 1 または 2 に記載の液晶表示装置。

## 【請求項 4】

前記駆動電圧印加時間切換手段は、  
切換タイミング制御信号を発生する切換タイミング制御信号発生手段と、  
該切換タイミング制御信号に基づいて前記各絵素電極駆動素子の前記制御信号の電圧印加時間と、前記電気的特性検査用制御信号の電圧印加時間とを交互に切り換える駆動電圧印加時間設定手段とを有する請求項 2 に記載の液晶表示装置。

## 【請求項 5】

前記駆動電圧印加時間設定手段は、並列接続された二つの抵抗のうち、一方の抵抗に直列接続されたスイッチング回路を有し、前記切換えタイミング制御信号に応じて該スイッチング回路を制御して、前記各絵素電極駆動素子の前記制御信号の電圧印加時間と、前記電気的特性検査用制御信号の電圧印加時間とを生成する回路が設けられている請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記切換タイミング制御信号発生手段は、画面表示の少なくとも  $n$  ( $n$  は自然数) フィールド期間毎または  $n$  フレーム期間毎に前記切換タイミング制御信号レベルを切り換える請求項 4 に記載の液晶表示装置。

## 【請求項 7】

前記切換タイミング制御信号発生手段は、前記切換タイミング制御信号レベルを、画面表示の 1 フィールド内で切換えるとともに、1 フィールド毎に同一表示ライン位置で切換える請求項 4 に記載の液晶表示装置。

## 【請求項 8】

前記画面表示の 1 フィールド内での切り換えライン位置は、一箇所または複数箇所である請求項 7 に記載の液晶表示装置。

## 【請求項 9】

前記同一表示ライン位置での前記切換タイミング制御信号レベルの切り換え方向を、 $m$  ( $m$  は自然数) フィールド毎に逆方向とする請求項 7 または 8 に記載の液晶表示装置。

## 【請求項 10】

前記制御信号の電圧印加時間および前記電気的特性検査用制御信号の電圧印加時間の設定値の少なくとも一方は可変である請求項 1 ～ 9 のいずれかに記載の液晶表示装置。

10

20

30

40

50

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、TFT (Thin Film Transistor) の電圧－電流特性等の電気的特性のずれを検出する電気的特性検出回路が搭載されたアクティブマトリックス型液晶表示装置等の液晶表示装置に関する。

## 【0002】

## 【従来の技術】

絶縁性基板上に複数の絵素電極をマトリクス状に配置し、各絵素電極に独立して映像信号を印加するアクティブマトリクス方式は、液晶テレビジョン、携帯電話、コンピュータの  
10 端末表示装置等の表示装置に実用化されている。

## 【0003】

図11は、従来のアクティブマトリックス型液晶表示装置の要部の構成の一例を示すブロック図である。

## 【0004】

図11に示すアクティブマトリックス型液晶表示装置100は、表示画面が設けられている液晶表示パネル200と、映像信号を液晶表示パネル200に供給する映像信号線駆動手段であるソースドライバ300と、映像信号を液晶表示パネル200に供給するタイミングを制御する制御信号線駆動手段であるゲートドライバ400と、これらのソースドライバ300およびゲートドライバ400に対して同期制御信号を供給する制御IC500  
20 とを有している。

## 【0005】

制御IC500は、シリアル信号SIが入力されるシリアルパラレル変換回路501と、シリアルパラレル変換回路501からの制御信号によってゲートクロック信号CLGを発生させるCLG発生回路502とを有しており、入力サンプリング信号SP、クロック信号CLKおよび転送信号TRSをソースドライバ300に出力し、スタートパルス信号SPGおよびゲートクロック信号CLGをゲートドライバ400に出力する。

## 【0006】

ソースドライバ300は、制御IC500からの入力サンプリング信号SPおよびクロック信号CLKが入力され、入力サンプリング信号SPをクロック信号CLKに同期させて  
30 、順次遅延させたサンプリング信号を順次出力するHシフトレジスタ301と、RGB信号入力端子Sinを介して映像信号の各色成分であるRGB信号が入力されるRGB信号線302と、Hシフトレジスタ301からのサンプリング信号によりRGB信号線302からのRGB信号の各色信号を選択し、オン／オフ動作を繰り返して順次RGB信号のそれぞれの色信号を出力する複数のサンプリングSW（スイッチ）303と、サンプリングSW303を介してRGB信号線302から供給されるRGB信号の各色信号をそれぞれ一旦保持する複数のサンプリングコンデンサ304と、制御IC500からの転送信号TRSを印加されることによりオン状態となり各サンプリングコンデンサ304にそれぞれ保持されたRGB信号の各色信号を一斉に転送する複数の転送SW（スイッチ）305と  
40 、各転送SW305を介して各サンプリングコンデンサ304から転送されたRGB信号の各色信号をそれぞれ一旦保持する複数の転送コンデンサ306と、各転送コンデンサ306にそれぞれ保持されたRGB信号の各色信号を増幅して複数の映像信号線204にそれぞれ出力する複数のオペアンプ307とを有している。

## 【0007】

ここで、サンプリングコンデンサ304および転送コンデンサ306は、それぞれサンプリングSW303および転送SW305の出力端子とアース（GND）との間にそれぞれ接続され、RGB信号の各色信号は、それぞれオペアンプ307の非反転入力端子（＋）に入力され、オペアンプ307の反転入力端子（－）および出力端子は短絡されている。そして、各オペアンプ307の出力端子は、それぞれの映像信号線204に接続されている。

## 【0008】

ゲートドライバ400は、制御IC500からの入力スタートパルス信号SPGを、制御IC500から出力されるゲートクロック信号CLGに同期させて、順次遅延させたゲート制御信号線選択信号を順次出力するVシフトレジスタ401と、外部供給電圧端子VGHを介して外部供給電圧のゲート電圧VGH1が印加される複数の出力バッファ402とを有している。出力バッファ402は、P型MOSトランジスタ402aおよびN型MOSトランジスタ402bから構成されたインバータ回路である。P型MOSトランジスタ402aのドレイン端子およびゲート端子は、それぞれN型MOSトランジスタ402bのドレイン端子およびゲート端子にそれぞれ接続される。P型MOSトランジスタ402aおよびN型MOSトランジスタ402bの各ドレイン端子は、出力バッファ402の出力端子となりゲート制御信号線203に接続されている。P型MOSトランジスタ402aおよびN型MOSトランジスタ402bの各ゲート端子は、出力バッファ402の入力端子となる。出力バッファ402の入力端子には、Vシフトレジスタ401から出力されるゲート制御信号線選択信号が入力される。P型MOSトランジスタ402aおよびN型MOSトランジスタ402bのソース端子は、それぞれ外部供給電圧端子VGHおよびアース（GND）に接続される。

## 【0009】

出力バッファ402は、Vシフトレジスタ401からのゲート制御信号線選択信号によって、オン／オフ動作を行い出力端子よりゲート制御信号線203にゲート制御信号であるゲート電圧VGH1を出力する。出力バッファ402は、ゲート制御信号線203毎に設けられている。

## 【0010】

液晶表示パネル200は、マトリクス状に配置された複数の絵素電極201を有するガラス板等の透明絶縁性基板（以下、アクティブマトリクス基板と記載する）と、このアクティブマトリクス基板に対向して配設され、膜状の共通（対向）電極202が設けられたガラス板等の透明絶縁性基板（以下、対向基板と記載する）とを有し、アクティブマトリクス基板と対向基板との間には、液晶層LCが挟持されている。

## 【0011】

アクティブマトリクス基板は、走査線として機能する複数のゲート制御信号線203（ゲート信号線）と、これらのゲート制御信号線203と直交し、信号線として機能する複数の映像信号線204（ソース信号線）とを有している。各ゲート制御信号線203および各映像信号線204の直交する位置の近傍には、絵素電極駆動素子205がそれぞれ配置されている。絵素電極駆動素子205のゲート端子およびソース端子は、それぞれゲート制御信号線203および映像信号線204にそれぞれ接続されており、絵素電極駆動素子205の駆動端子であるドレイン端子は、絵素電極201に接続されている。各絵素電極201は、それぞれのゲート制御信号線203および映像信号線204に囲まれた領域に設けられている。

## 【0012】

絵素電極駆動素子（以下、TFTと記載する）205には、アモルファスシリコンによって形成された薄膜トランジスタ（TFT：Thin Film Transister）、MIM（Metal Insulator Metal）素子等が用いられる。

## 【0013】

図11に示す液晶表示装置は、このような構成により、まず、RGB信号入力端子Sinを介して映像信号の各色成分であるRGB信号が、ソースドライバ300に設けられているRGB信号線302に入力される。同時に、Hシフトレジスタ301は、入力サンプリング信号SPおよびクロック信号CLKが入力され、入力サンプリング信号SPをクロック信号CLKに同期させて、順次遅延させたサンプリング信号を順次サンプリングSW（スイッチ）303に出力する。この時、RGB信号線302における1水平期間の映像信号の各色信号が、液晶表示パネル200に表示すべき映像信号として各サンプリングSW303にて順次サンプリングされ、このサンプリングされた映像信号の各色成分が各サン

プリングコンデンサ 304 に順次保持される。

【0014】

次に、上記サンプリング動作までの間に、制御 IC 500 から出力される転送信号 TRS によって各転送 SW 305 がオン状態となり、1 水平期間の映像信号は、保持された各サンプリングコンデンサ 304 から各転送 SW 305 をそれぞれ介して各転送コンデンサ 306 にそれぞれ転送される。さらに、各転送コンデンサ 304 に充電された各映像信号出力電圧は各オペアンプ 307 によってそれぞれ増幅された後に各映像信号線 204 にそれぞれ転送される。

【0015】

一方、各映像信号線 204 にそれぞれ出力された 1 水平期間の映像信号は、ゲートドライバ 400 の出力バッファ 402 から各ゲート制御信号線 203 にそれぞれ順次出力されるゲート制御信号によって、所定のゲート制御信号線 203 に接続される 1 ライン（走査）分の横一列の複数の TFT 205 が一斉にオン状態となり、複数の映像信号線 204 上の各映像信号電圧がそれぞれ、各 TFT 205 のドレイン端子を通して各絵素電極 201 にそれぞれ書き込まれる。

【0016】

この場合のゲートドライバ 400 の出力バッファ 402 から出力されるゲート制御信号の出力タイミングについて説明する。

【0017】

図 12 は、図 11 に示すゲートドライバ 400 の各出力バッファ 402 から出力されるそれぞれのゲート制御信号のタイミングチャートである。

【0018】

図 12 に示すように、ゲートドライバ 400 の V シフトレジスタ 401 では、制御 IC 500 から出力されたスタートパルス信号 SPG が入力されると、制御 IC 500 から出力された所定周波数のゲートクロック信号 CLG に同期して、ゲート制御信号線選択信号が出力バッファ 402 に出力され、ゲート制御信号線選択信号に基づいて出力バッファ 402 からゲート制御信号であるゲート電圧 VGH1 がゲート制御信号線 204 に出力される。例えば、液晶表示パネル 200 の画面 1 行目（第 1 ライン目）のゲート制御信号線 203 に対して、この第 1 ライン目のゲート制御信号線 203 に対応する出力バッファ 402 よりゲート制御信号であるゲート電圧 VGH1 が出力され、このゲート制御信号によって液晶表示パネル 200 の画面 1 行目が表示される。さらに、所定周波数のゲートクロック信号 CLG に同期して、画面 2 行目（第 2 ライン目）のゲート制御信号線 204 に対して、この第 2 ライン目のゲート制御信号線 203 に対応する出力バッファ 402 よりゲート制御信号が出力され、このゲート制御信号によって液晶表示パネル 200 の画面 2 行目が表示される。出力バッファ 402 よりゲート制御信号が出力される動作は、所定周波数のゲートクロック信号 CLG の周期で繰り返されて、1 垂直期間内での 1 画面が表示される。尚、出力バッファ 402 からゲート制御信号線 203 に出力されるゲート制御信号であるゲート電圧 VGH1 は、HIGH 状態では  $VGH(HIGH) = 1.3V$ 、LOW 状態では  $VGH(LOW) = 0V (GND)$  である。

【0019】

【発明が解決しようとする課題】

しかしながら、従来の液晶表示装置 100 では、ゲート電圧 VGH1 の HIGH 状態の期間が一定であっても TFT 205 の電圧－電流特性等の電気的特性が不良である場合には、映像信号の信号レベルが正確に絵素電極 201 に書き込まれない（充電不足）おそれがある。

【0020】

従来の TFT の電気的特性の検査方法では、液晶表示装置 100 において、TFT による絵素電極 201 の充電不足か否かを判定するために、液晶層 LC に印加する映像信号電圧を固定値とし、電気的特性が良好な TFT で形成された液晶表示装置 100 の輝度を基準として定め、検査対象の液晶表示装置 100 の輝度を測定し、基準の液晶表示装置 100

10

20

30

40

50

の輝度と検査対象の液晶表示装置 100 の輝度とを比較することによって、TFT に対して良品または不良品かを判定している。

#### 【0021】

この場合に、測定される検査対象の液晶表示装置 100 と比較するために、良品の TFT で形成された、基準となる液晶表示装置 100 も輝度を確認するために画像を表示させる必要がある。

#### 【0022】

これにより、検査対象の液晶表示装置 100 の輝度測定とともに、比較対象の良品の TFT で形成された、基準となる液晶表示装置 100 の輝度を測定する時間が必要となり、処理スピードが低下する大きな要因になっている。そして、良品の TFT で形成された、基準となる液晶表示装置 100 と検査対象の液晶表示装置 100 とを比較する場合において、検査装置の規模が大きくなるとともに、比較用の良品の TFT で形成された基準となる液晶表示装置 100 を駆動させる駆動回路も必要となり、TFT の電気的特性の検査におけるコストアップにつながっている。 10

#### 【0023】

また、TFT の電気的特性が検査された液晶表示装置 100 が出荷された後に、液晶表示装置 100 が使用された各種製品の製造工程および運搬時に、静電気などによって TFT の電気的特性がわずかにシフトする場合がある。この場合、従来の液晶表示装置 100 における TFT の電気的特性の検査方法では、TFT の電気的特性が極端なシフトであれば不良品として判定が可能であるが、TFT の電気的特性が僅かなシフトであれば不良品としての判定が難しく、検出されないおそれがある。 20

#### 【0024】

上記の問題点のある従来の TFT の電気的特性の良否判定を行う検査方法において、本発明者等は、TFT の電気的特性について以下のように検討した。

#### 【0025】

図 13 は、図 11 に示すソースドライバ 300 のオペアンプ 307 から出力される映像信号出力電圧、制御 IC 500 からのゲートクロック信号 CLG に同期する TFT のゲート電圧およびドレイン電圧のタイミングチャートである。

#### 【0026】

図 13 において、各信号波形について順次説明する。 30

#### 【0027】

まず、ソースドライバ 300 のオペアンプ 307 からの映像信号出力電圧の出力信号波形において、映像信号出力電圧の期間 (a) は、HIGH レベル電圧の映像信号を絵素電極 201 に書き込むタイミングであり、次の期間 (b) は、LOW レベル電圧の映像信号を絵素電極 201 に書き込むタイミングである。

#### 【0028】

また、ゲートクロック信号 CLG (1) および (2) の HIGH レベル電圧によって、ゲートドライバ 400 の出力バッファ 402 から出力されるゲート制御信号が HIGH レベル電圧になって TFT のゲート G をオン状態にし、ゲートクロック信号 CLG (1) および (2) の LOW レベル電圧によって、ゲートドライバ 400 の出力バッファ 402 から出力されるゲート制御信号が LOW レベル電圧となり TFT のゲート G をオフ状態にする。ここで、ゲートクロック信号 CLG (1) および (2) の信号波形の相違は、それぞれ HIGH レベル状態の期間 (ON 期間) が 50  $\mu$ s および 30  $\mu$ s の違いである。 40

#### 【0029】

次に、TFT のドレイン D の出力信号波形 (イ) は、映像信号出力電圧が期間 (a) の状態において、ゲートクロック信号 CLG (1) の HIGH レベルのタイミング (ゲート電圧の HIGH レベルのタイミング) で正常な TFT (良品) を介して、ソースドライバ 300 から出力される最大電圧 5 V の映像信号を絵素電極 201 に書き込む場合の信号波形を示している。

#### 【0030】

次に、T F TのドレインDの出力信号波形（イ'）は、映像信号出力電圧が期間（a）の状態において、ゲートクロック信号C L G（2）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で正常なT F T（良品）を介して、ソースドライバ300から出力される最大電圧5 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。

【0031】

次に、T F TのドレインDの出力信号波形（ロ）は、映像信号出力電圧が期間（b）の状態において、ゲートクロック信号C L G（1）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で正常なT F T（良品）を介して、ソースドライバ300から出力される最小電圧1 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。 10

【0032】

次に、T F TのドレインDの出力信号波形（ロ'）は、映像信号出力電圧が期間（b）の状態において、ゲートクロック信号C L G（2）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で正常なT F T（良品）を介して、ソースドライバ300から出力される最小電圧1 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。

【0033】

次に、T F TのドレインDの出力信号波形（ハ）は、映像信号出力電圧が期間（a）の状態において、ゲートクロック信号C L G（1）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で電気的特性がずれた正常でないT F T（不良品）を介して、ソースドライバ300から出力される最大電圧5 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。 20

【0034】

次に、T F TのドレインDの出力信号波形（ハ'）は、映像信号出力電圧が期間（a）の状態において、ゲートクロック信号C L G（2）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で電気的特性がずれた正常でないT F T（不良品）を介して、ソースドライバ300から出力される最大電圧5 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。

【0035】

ここで、T F TのドレインDの出力信号波形（ハ）は、ゲートクロック信号C L G（1）のH I G Hレベルのタイミングで4.8 Vの映像信号が絵素電極201に書き込まれることを示しており、T F TのドレインDの出力信号波形（ハ'）は、ゲートクロック信号C L G（2）のH I G Hレベルのタイミングで4.3 Vの映像信号が絵素電極201に書き込まれることを示している。 30

【0036】

次に、T F TのドレインDの出力信号波形（ニ）は、映像信号出力電圧が期間（b）の状態において、ゲートクロック信号C L G（1）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で電気的特性がずれた正常でないT F T（不良品）を介して、ソースドライバ300から出力される最小電圧1 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。 40

【0037】

次に、T F TのドレインDの出力信号波形（ニ'）は、映像信号出力電圧が期間（b）の状態において、ゲートクロック信号C L G（2）のH I G Hレベルのタイミング（ゲート電圧のH I G Hレベルのタイミング）で電気的特性がずれた正常でないT F T（不良品）を介して、ソースドライバ300から出力される最小電圧1 Vの映像信号を絵素電極201に書き込む場合の信号波形を示している。

【0038】

図14は、T F Tのゲートーソース間電圧V G Sとソースードレイン間電流I D Sとの関係を示すグラフである。

## 【0039】

図14では、実線の特性曲線が良品のTFT (TFTa) の正常なVGS-I DS特性を示し、点線の特性曲線が不良品のTFT (TFTb) の正常でないVGS-I DS特性を示している。

## 【0040】

図14に示すように、実線の特性曲線に示す良品のTFT (TFTa) のゲート電位（ゲート制御信号であるゲート電圧VGH1）を13Vおよび映像信号による最大ドレイン電位を5Vとすれば、ゲート-ソース間電圧VGSは、 $13V - 5V = 8V$ となり、I DS電流は、I D Sa（ゲート-ソース間電圧VGSが8Vで実線の特性曲線上の点A8に対応したI DS電流を示している）となり、TFTaのオン状態の期間内にTFTaが絵素電極201に十分充電（書き込み）できる最低限度のI DS電流値I D SM（一点破線で示している）を上回っている。I DS電流がI D Saになる場合は、図13に示すTFTのドレインDの出力信号波形（イ）の場合を表しており、TFTaのオン状態の期間にソースドライバ300から出力される電圧5Vの映像信号と同じ電位が絵素電極201に書き込まれる。

10

## 【0041】

ゲートドライバ400の出力バッファ402から出力されるゲート制御信号のHIGHレベル状態の期間（TFTaのゲートオン期間）が30μsの場合でも、図13のTFTのドレインDの出力信号波形（イ'）に示すように、ソースドライバ300からの出力される電圧5Vの映像信号を絵素電極201に書き込むことができる。

20

## 【0042】

また、良品のTFT (TFTa) のVGS-I DS特性は、図14の実線の特性曲線で示され、TFTaのゲート電位（ゲート制御信号のゲート電圧VGH1）を13Vおよび映像信号による最小ドレイン電位を1Vとすれば、ゲート-ソース間電圧VGSは、 $13V - 1V = 12V$ となり、I DS電流は、I D Sc（ゲート-ソース間電圧VGSが12Vで実線の特性曲線上の点A12に対応したI DS電流を示している）となり、上記の電圧5Vの映像信号を書き込む場合の電流値I D Saを上回る。I DS電流がI D Scになる場合は、図13に示すTFTのドレインDの出力信号波形（ロ）の場合を表しており、TFTaのオン状態の期間にTFTaが絵素電極201に十分充電（書き込み）できる最低限度のI DS電流I D SMを上回っており、TFTaのオン状態の期間にソースドライバ300から出力される電圧1Vの映像信号と同じ電位が絵素電極201に書き込まれる。

30

## 【0043】

ゲートドライバ400の出力バッファ402から出力されるゲート制御信号のHIGHレベル状態の期間（TFTaのゲートオン期間）が30μsの場合でも、図13のTFTのドレインDの出力信号波形（ロ'）に示すように、ソースドライバ300からの出力される電圧1Vの映像信号を絵素電極201に書き込むことができる。

## 【0044】

したがって、アクティブマトリックス型液晶表示装置100の液晶パネル200に表示される画像は、1ライン毎に正極性の映像信号と負極性の映像信号とが交互に絵素電極201に書き込まれ、または、1画面全ての絵素電極201に所定の信号を書き込んだ後に、次の画面では、正極性の映像信号が書き込まれたラインと、負極性の映像信号が書き込まれたラインとの映像信号の極性がそれぞれ反転して絵素電極201に書き込まれる。このため、良品のTFT (TFTa) に接続された絵素電極201に対応する液晶層LCには、映像信号出力電圧が正極性の期間（a）において、ゲートクロック信号CLG（1）または（2）のHIGHレベルのタイミングでゲート制御信号のHIGHレベル状態の期間（ゲートオン時間）が50μsまたは30μsの場合でも、 $5V - 1V = 4V_{p-p}$ の電圧が印加され、絵素電極201に入力される映像信号電圧に対して忠実に映像を再現することができる。

40

## 【0045】

一方、図14の点線の特性曲線で示すVGS-I DS特性が正常でない不良品のTFT（

50

TFTb) の場合には、TFTbのゲート電位（ゲート制御信号のゲート電圧VGH1）を13Vおよび映像信号による最大ドレイン電位を5Vとすれば、ゲート・ソース間電圧VGSは、 $13V - 5V = 8V$ となり、IDS電流はIDSb（ゲート・ソース電圧VGSが8Vで点線の特性曲線上のB8に対応したIDS電流を示している）となって、TFTbのオン状態の期間内にTFTbが、ソースドライバ300から出力される電圧5Vの映像信号を絵素電極201に十分充電（書き込み）できる最低限度のIDS電流値IDSMを下まわってしまう。この場合、図13に示すのTFTのドレインDの出力信号波形（ハ）の場合を表しており、TFTbのオン状態の期間（50μs）（ゲートクロック信号CLGのHIGHレベル期間）にソースドライバ300から出力される電圧5Vの映像信号よりも低い電圧（例えば、図13では4.8V）しか絵素電極201に書き込むことができない。

#### 【0046】

ゲートドライバ400の出力バッファ402から出力されるゲート制御信号のHIGHレベル状態の期間（TFTbのゲートオン期間）が30μsの場合でも、図13のTFTのドレインDの出力信号波形（ハ'）に示すように、ソースドライバ300から出力される電圧5Vの映像信号よりも低い電圧（例えば、図13では4.3V）しか絵素電極201に書きこむことができない。

#### 【0047】

また、不良品のTFT（TFTb）のVGS-IDS特性は、図14の点線の特性曲線で示され、TFTbのゲート電位（ゲート制御信号のゲート電圧VGH1）を13Vおよび映像信号による最小ドレイン電位1Vとすれば、ゲート・ソース間電圧VGSは、 $13V - 1V = 12V$ 、IDS電流は、IDSd（ゲート・ソース間電圧VGSが12Vで点線の特性曲線上の点B12に対応したIDS電流を示している）となり、TFTbのオン状態の期間にTFTbが絵素電極201に、ソースドライバ300から出力される電圧5Vの映像信号を十分充電できる最低限度のIDS電流IDSMを上回る。このため、ソースドライバ300から電圧1Vの映像信号が出力され、IDS電流がIDSdになる場合は、TFTbのオン状態の期間（50μs）にソースドライバ300から出力される電圧1Vの映像信号と同じ電位が絵素電極201に十分に書き込まれることになる。

#### 【0048】

ゲートドライバ400の出力バッファ402から出力されるゲート制御信号のHIGHレベル状態の期間（TFTaのゲートオン期間）が30μsの場合でも、TFTbのゲート電位（ゲート制御信号のゲート電圧VGH1）を13Vおよび映像信号による最小ドレイン電位1Vとすれば、ゲート・ソース間電圧VGSは、 $13V - 1V = 12V$ 、IDS電流は、IDSd（ゲート・ソース間電圧VGSが12Vで点線の特性曲線上の点B12に対応したIDS電流を示している）となり、図13のTFTのドレインDの出力信号波形（ニ'）に示すように、ソースドライバ300からの出力される電圧1Vの映像信号を絵素電極201に書き込むことができる。

#### 【0049】

以上により、図11に示す液晶表示装置100は、液晶パネル200にVGS-IDS特性がずれたTFT205が含まれる場合、ソースドライバ300から出力される負極性の映像信号出力電圧を、液晶パネル200のTFT205を介して絵素電極201に正常に書き込みすることができるが、ソースドライバ300から出力される正極性の映像信号出力電圧を、液晶パネル200のTFT205を介して絵素電極201に正常に書き込みすることができない。このため、液晶表示装置100の液晶パネル200に表示される画像は、液晶表示装置100のソースドライバ300に入力される映像信号に対して忠実に再現できないおそれがある。

#### 【0050】

上記の液晶表示装置100の場合、液晶パネル200の各TFT205に接続されたそれぞれの絵素電極201に対応する液晶層LCに印加される映像信号出力電圧は、画像として1ライン毎に正極性の映像信号と負極性の映像信号とが交互に印加され、または、1画

面全てに所定の信号を印加した後、次の画面では、正極性の映像信号が印加されたラインと、負極性の映像信号が印加されたラインとに対して映像信号の極性がそれぞれ反転して印加される。

【0051】

このため、不良品のTFT（TFTb）に接続された絵素電極201に対応する液晶層LCには、図13に示す映像信号出力電圧が正極性の期間（a）において、ゲートクロック信号CLG（1）または（2）のHIGHレベルのタイミングでゲート制御信号のHIGHレベル状態の期間（ゲートオン時間）が50μsまたは30μsの場合には、それぞれ $4.8V - 1V = 3.8V_{p-p}$ 、または、 $4.3V - 1V = 3.3V_{p-p}$ の映像信号電圧が印加されることになる。

10

【0052】

したがって、不良品のTFT（TFTb）を有する液晶パネル200の液晶層LCに対する印加電圧は、全て良品のTFT（TFTa）を有する液晶パネル200の液晶層LCに対する印加電圧（ $5V - 1V = 4V_{p-p}$ ）よりも低くなり、液晶パネル200の表示画面全体の画像が薄くなる（ノーマリーホワイトの場合）。

【0053】

このように、不良品のTFT（TFTb）を有する液晶パネル200が設けられた液晶表示装置100を検査する場合、良品のTFT（TFTa）のオン状態における画像状態が変化しない範囲においてゲート制御信号のHIGHレベル状態の期間（ゲートオン時間）を短くすることによって、不良品のTFT（TFTb）のオン状態における画面が薄くなることを顕著にし、液晶パネル200の表示画面上での画像の濃淡の輝度判別により、液晶表示装置100の良品または不良品の判定を行なうことができる。

20

【0054】

本発明は、このような課題を解決するものであり、その目的は、TFTの電気的特性（電圧－電流特性）に僅かなずれがある場合でも容易および確実に不良品検出を行うことができる液晶表示装置を提供することにある。

【0055】

【課題を解決するするための手段】

本発明の液晶表示装置は、複数の映像信号線と複数の制御信号線との各交差部の近傍毎に複数の絵素電極がそれぞれ設けられ、制御信号による各絵素電極駆動素子の駆動タイミング毎に映像信号を各絵素電極にそれぞれ供給して画像表示を行う液晶表示装置において、該各絵素電極駆動素子に対して、該制御信号の電圧印加時間と、電気的特性検査用制御信号の電圧印加時間とを切換えて画像表示可能とする画像表示制御手段を有するものであり、そのことにより上記目的が達成される。

30

【0056】

また、好ましくは、本発明の液晶表示装置において、前記画像表示制御手段は、複数の映像信号線から映像信号線を順次選択して映像信号を供給する映像信号線駆動手段と、複数の制御信号線から制御信号線を順次選択して制御信号を供給する制御信号線駆動手段と、該制御信号線駆動手段に供給する前記各絵素電極駆動素子の該制御信号の電圧印加時間と、前記電気的特性検査用制御信号の電圧印加時間とを切換え可能とする駆動電圧印加時間切換手段とを有する。

40

【0057】

さらに、好ましくは、本発明の液晶表示装置において、前記電気的特性検査用制御信号の電圧印加時間は、正常と判定する絵素電極駆動素子の電圧－電流特性と、不良と判定する絵素電極駆動素子の電圧－電流特性とに基づいて設定されている。

【0058】

さらに、好ましくは、本発明の液晶表示装置において、前記駆動電圧印加時間切換手段は、切換タイミング制御信号を発生する切換タイミング制御信号発生手段と、該切換タイミング制御信号に基づいて前記各絵素電極駆動素子の前記制御信号の電圧印加時間と、前記電気的特性検査用制御信号の電圧印加時間とを交互に切り換える駆動電圧印加時間設定手

50

段とを有する。

【0059】

さらに、好ましくは、本発明の液晶表示装置において、前記駆動電圧印加時間設定手段は、並列接続された2つの抵抗のうち、一方の抵抗に直列接続されたスイッチング回路を有し、前記切換えタイミング制御信号に応じて該スイッチング回路を制御して、前記各絵素電極駆動素子の前記制御信号の電圧印加時間と、前記電気的特性検査用制御信号の電圧印加時間とを生成する回路が設けられている。

【0060】

さらに、好ましくは、本発明の液晶表示装置において、前記切換えタイミング制御信号発生手段は、画面表示の少なくとも $n$  ( $n$ は自然数) フィールド期間毎または $n$  フレーム期間毎に前記切換えタイミング制御信号レベルを切り換える。 10

【0061】

さらに、好ましくは、本発明の液晶表示装置において、前記切換えタイミング制御信号発生手段は、前記切換えタイミング制御信号レベルを、画面表示の1フィールド内で切換えるとともに、1フィールド毎に同一表示ライン位置で切換える。

【0062】

さらに、好ましくは、本発明の液晶表示装置において、前記画面表示の1フィールド内での切り換えライン位置は、一箇所または複数箇所である。

【0063】

さらに、好ましくは、本発明の液晶表示装置は、前記同一表示ライン位置での前記切換えタイミング制御信号レベルの切り換え方向を、 $m$  ( $m$ は自然数) フィールド毎に逆方向とする。 20

【0064】

さらに、好ましくは、本発明の液晶表示装置において、前記制御信号の電圧印加時間および前記電気的特性検査用制御信号の電圧印加時間の設定値の少なくとも一方は可変である。

【0065】

上記構成により、各絵素電極駆動素子に対して、通常動作の制御信号の電圧印加時間と、電気的特性検査用制御信号の電圧印加時間とを切換えて画像表示させるので、電気的特性不良の場合には、切換時間または切り換え位置に応じて表示画像の輝度の濃淡により、わずかな電気的特性のシフト (ずれ) による不良品をも容易かつ確実に確認可能となり、従来のように検査対象装置と基準となる比較対象装置とを共に動作させて大規模な装置で時間をかけて輝度比較する必要がなくなる。 30

【0066】

電気的特性がずれた絵素電極駆動素子を含む液晶表示装置の検出を画像表示期間内の途中で通常動作の制御信号の電圧印加時間 (絵素電極駆動素子の駆動電圧印加時間) を電気的特性検査用制御信号の電圧印加時間に切換え、表示画面の輝度が変化することによって判定するので、従来のように、良品の液晶表示装置と輝度を比較することなく、また、液晶表示装置の表示画面の明るさを測定する必要がなくなる。このため、絵素電極駆動素子の電気的特性の良否検査作業が簡単になり作業の効率アップとなる。 40

【0067】

また、制御信号線に出力される通常動作の制御信号の電圧印加時間および電気的特性検査用制御信号の電圧印加時間 (二種類の駆動電圧印加時間) が1フレーム毎に、例えば、 $50 \mu\text{sec}$  と  $30 \mu\text{sec}$  との間で切り替えられるので、絵素電極駆動素子の電気的特性がずれた液晶表示装置においては、表示画面がフリッカのようになり、フリッカを確認することにより液晶表示装置の良否判定を容易かつ確実に行うことが可能となる。

【0068】

さらに、制御信号線に出力される通常動作の制御信号の電圧印加時間および電気的特性検査用制御信号の電圧印加時間 (二種類の駆動電圧印加時間) が1画面の途中で例えば  $50 \mu\text{sec}$  と  $30 \mu\text{sec}$  との間で切り替わるので、絵素電極駆動素子の電気的特性がず 50

れた液晶表示装置においては、画面上部と下部との輝度差によって絵素電極駆動素子の電気的特性の良否判定を容易かつ確実にを行うと共に、上記表示期間内で駆動電圧（制御信号電圧）を切替える方法よりも、より短時間で確実に不良品の液晶表示装置を検出することが可能となる。

#### 【0069】

さらに、制御信号線に出力される通常動作の制御信号の電圧印加時間および電気的特性検査用制御信号の電圧印加時間（二種類の駆動電圧印加時間）を1画面の途中で例えば50  $\mu$ secと30  $\mu$ secとの間で切り換えることに加えて、表示期間内にその50  $\mu$ secと30  $\mu$ secとの間で切り換える方向を逆方向にすることで、表示画面の一部（例えば上部または下部）に絵素電極駆動素子の電気的特性ずれが僅かに存在している場合においても、液晶表示装置の良否判定を容易かつ確実に行うことが可能となる。 10

#### 【0070】

さらに、表示画面上の所定ライン毎（例えば、3ライン）に通常動作の制御信号の電圧印加時間および電気的特性検査用制御信号の電圧印加時間（二種類の駆動電圧印加時間）を、例えば、50  $\mu$ secと30  $\mu$ secとの間で切り換えるので、絵素電極駆動素子の電気的特性がずれた液晶表示装置であれば、1画面内で所定ライン置きに表示の明るさが変わり、それが横縞状の模様となって現れ、その確認検査をするだけで、液晶表示装置の良否判定を容易かつ確実に行うことが可能となる。また、この場合には、表示画面の一部のみに絵素電極駆動素子の電気的特性がずれている場合においても、電気的特性がずれている箇所が縞模様となって表れるので、絵素電極駆動素子の電気的特性のずれた液晶表示装置の表示画面一部の良否判定を容易かつ確実に行うことが可能となる。 20

#### 【0071】

さらに、所定ライン毎（例えば3ライン）に通常動作の制御信号の電圧印加時間および電気的特性検査用制御信号の電圧印加時間（二種類の駆動電圧印加時間）が、例えば、50  $\mu$ secと30  $\mu$ secとの間で切り換えることに加えて、表示期間内に、例えば、50  $\mu$ secと30  $\mu$ secとの間で切り換える切替方向（切替順）を逆方向にすることで、ほんの僅かな表示画面の一部（数ライン）の絵素電極駆動素子の電気的特性ずれ不良をも容易かつ確実に検出でき、液晶表示装置の良否判定を容易かつ確実に行うことが可能となる。

#### 【0072】

さらに、通常動作の制御信号の電圧印加時間および電気的特性検査用制御信号の電圧印加時間（二種類の駆動電圧印加時間）の値の少なくとも一方を可変することにより、表示輝度差がより明確になるように絵素電極駆動素子の電気的特性不良の検出レベルを良好に変更することが可能となり、液晶表示装置の良否判定を容易かつ確実に行うことが可能となる。 30

#### 【0073】

さらに、液晶表示装置の制御回路を内蔵した例えば制御IC内部に、通常の駆動方法に加え、上記駆動電圧の切替タイミングを制御できる切替タイミング制御信号発生手段および駆動電圧切替手段を内蔵していることにより、液晶表示装置として製品に組み込んだ後の絵素電極駆動素子の電気的特性をも容易かつ確実に検出でき、液晶表示装置の良否判定を容易かつ確実に行うことが可能となる。 40

#### 【0074】

##### 【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

##### （実施形態1）

図1は、本発明の実施形態1である液晶表示装置の要部の構成を示すブロック図である。

#### 【0075】

図1に示す本発明の液晶表示装置10は、画像表示手段である液晶パネル20と、複数の映像信号線24から一つの映像信号線24を順次選択して映像信号の各色信号を供給する映像信号線駆動手段であるソースドライバ30と、複数のゲート制御信号線23から一つ 50

のゲート制御信号線 2 3 を順次選択してゲート制御信号を供給する制御信号線駆動手段であるゲートドライバ 4 0 と、切換タイミング制御信号発生手段を含む制御回路である制御 IC 1 1 と、駆動電圧印加時間設定手段である駆動電圧印加時間切換回路 1 2 とを有している。

#### 【0076】

制御 IC 1 1 は、シリアル信号 S I が入力されるシリアルパラレル変換回路 5 1 と、シリアルパラレル変換回路 5 1 からの制御信号によってゲートクロック信号 C L G を発生させる C L G 発生回路 5 2 とを有しており、入力サンプリング信号 S P、クロック信号 C L K および転送信号 T R S をソースドライバ 3 0 に出力し、反転パルス信号 R P 1 およびゲートクロック信号 C L G を駆動電圧印加時間切換回路 1 2 に出力し、スタートパルス信号 S P G をゲートドライバ 4 0 に出力する。シリアルパラレル変換回路 5 1 は、切換タイミング制御信号発生手段を含んでおり、切換タイミング制御信号発生手段が、切換タイミング制御信号である反転パルス信号 R P 1 を発生する。 10

#### 【0077】

駆動電圧印加時間切換回路 1 2 は、制御 IC 1 1 からのゲートクロック信号 C L G が入力される単安定マルチバイブレータ 1 3 によって構成されており、単安定マルチバイブレータ 1 3 には、ゲートクロック信号 C L G の立ち上がりからの H i g h 時間を設定するコンデンサ C 1、抵抗 R 1 および R 2、制御スイッチ 1 4 から成る C R 回路が接続されている。制御スイッチ 1 4 は、制御 IC 1 1 からの反転パルス信号 R P 1 に基づいてオン／オフ動作を行う。駆動電圧印加時間切換回路 1 2 は、立ち上がりからの H i g h 時間が所定値に設定されたゲートクロック信号 C L G をゲートドライバ 4 0 に出力する。 20

#### 【0078】

ソースドライバ 3 0 は、制御 IC 1 1 からの入力サンプリング信号 S P およびクロック信号 C L K が入力され、入力サンプリング信号 S P をクロック信号 C L K に同期させて、順次遅延させたサンプリング信号を順次出力する H シフトレジスタ 3 1 と、R G B 信号入力端子 S i n を介して映像信号の各色成分である R G B 信号が入力される R G B 信号線 3 2 と、H シフトレジスタ 3 1 からのサンプリング信号により R G B 信号線 3 2 からの R G B 信号の各色信号を選択し、オン／オフ動作を繰り返して順次 R G B 信号のそれぞれの色信号を出力する複数のサンプリング S W (スイッチ) 3 3 と、サンプリング S W 3 3 を介して R G B 信号線 3 2 から供給される R G B 信号の各色信号をそれぞれ一旦保持する複数のサンプリングコンデンサ 3 4 と、制御 IC 1 1 からの転送信号 T R S を印加されることによりオン状態となり各サンプリングコンデンサ 3 4 にそれぞれ保持された R G B 信号の各色信号を一斉に転送する複数の転送 S W (スイッチ) 3 5 と、各転送 S W 3 5 を介して各サンプリングコンデンサ 3 4 から転送された R G B 信号の各色信号をそれぞれ一旦保持する複数の転送コンデンサ 3 6 と、各転送コンデンサ 3 6 にそれぞれ保持された R G B 信号の各色信号を増幅して複数の映像信号線 2 4 にそれぞれ出力する複数のオペアンプ 3 7 とを有している。 30

#### 【0079】

ここで、サンプリングコンデンサ 3 4 および転送コンデンサ 3 6 は、それぞれサンプリング S W 3 3 および転送 S W 3 5 の出力端子とアース (G N D) との間にそれぞれ接続され、R G B 信号の各色信号は、それぞれオペアンプ 3 7 の非反転入力端子 (+) に入力され、オペアンプ 3 0 7 の反転入力端子 (-) および出力端子は短絡されている。そして、各オペアンプ 3 7 の出力端子は、それぞれの映像信号線 2 4 に接続されている。 40

#### 【0080】

ゲートドライバ 4 0 は、制御 IC 1 1 からの入力スタートパルス信号 S P G を、制御 IC 1 1 から出力されるゲートクロック信号 C L G に同期させて、順次遅延させたゲート制御信号線選択信号を順次出力する V シフトレジスタ 4 1 と、外部供給電圧端子を介して外部供給電圧のゲート電圧 V G H が印加される複数の出力バッファ 4 2 とを有している。出力バッファ 4 2 は、例えば、P 型 M O S トランジスタ 4 2 a および N 型 M O S トランジスタ 4 2 b から構成されたインバータ回路である。P 型 M O S トランジスタ 4 2 a のドレイン 50

端子およびゲート端子は、それぞれN型MOSトランジスタ42bのドレイン端子およびゲート端子にそれぞれ接続される。P型MOSトランジスタ42aおよびN型MOSトランジスタ42bの各ドレイン端子は、出力バッファ42の出力端子となりゲート制御信号線23に接続されている。P型MOSトランジスタ42aおよびN型MOSトランジスタ42bの各ゲート端子は、出力バッファ42の入力端子となる。出力バッファ42の入力端子には、Vシフトレジスタ41から出力されるゲート制御信号線選択信号が入力される。P型MOSトランジスタ42aおよびN型MOSトランジスタ42bのソース端子は、それぞれ外部供給電圧端子（ゲート電圧VGHが入力される端子）およびアース（GND）に接続される。

#### 【0081】

10

出力バッファ42は、Vシフトレジスタ41からのゲート制御信号線選択信号によって、オン／オフ動作を行い出力端子よりゲート制御信号線23にゲート制御信号であるゲート電圧VGHを出力する。出力バッファ42は、ゲート制御信号線23毎に設けられている。

#### 【0082】

液晶表示パネル20は、マトリクス状に配置された複数の絵素電極21を有するガラス板等の透明絶縁性基板（以下、アクティブマトリクス基板と記載する）と、このアクティブマトリクス基板に対向して配設され、膜状の共通（対向）電極22が設けられたガラス板等の透明絶縁性基板（以下、対向基板と記載する）とを有し、アクティブマトリクス基板と対向基板との間には、液晶層LCが挟持されている。

20

#### 【0083】

アクティブマトリクス基板は、走査線として機能する複数のゲート制御信号線23（ゲート信号線）と、これらのゲート制御信号線23と直交し、信号線として機能する複数の映像信号線24（ソース信号線）とを有している。各ゲート制御信号線23および各映像信号線24の直交する位置の近傍には、絵素電極駆動素子25がそれぞれ配置されている。絵素電極駆動素子25のゲート端子およびソース端子は、それぞれゲート制御信号線23および映像信号線24にそれぞれ接続されており、絵素電極駆動素子25の駆動端子であるドレイン端子は、絵素電極21に接続されている。各絵素電極21は、それぞれのゲート制御信号線23および映像信号線24に囲まれた領域に設けられている。

#### 【0084】

30

絵素電極駆動素子（以下、TFTと記載する）25には、アモルファスシリコンによって形成された薄膜トランジスタ（TFT：Thin Film Transister）、MIM（Metal Insulator Metal）素子等が用いられる。

#### 【0085】

また、図1に示す液晶表示装置10には、制御IC11と駆動電圧印加時間切換回路12とにより駆動電圧印加時間切換手段が構成されており、その駆動電圧印加時間切換手段は、制御IC11から出力される切換タイミング制御信号である反転パルス信号RP1に基づいてゲートドライバ40に供給するTFT25の通常動作用のゲート制御信号の電圧印加時間である駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の電圧印加時間である駆動電圧印加時間（ゲートオン期間）とを、所定時間間隔毎に切

40

#### 【0086】

さらに、この駆動電圧印加時間切換手段、ソースドライバ30およびゲートドライバ40により画像表示制御手段が構成されている。画像表示制御手段は、液晶パネル20内の各絵素電極駆動素子であるTFT25に対して、通常動作用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とを、所定時間間隔毎に切換えて、ゲートオン期間が所定時間間隔毎に切換えられたゲート制御信号を、液晶パネル20の各絵素電極21に対応する液晶層LCに印加して画像表示させる。ここで、上記所定時間間隔とは、目視にて確認可能な程度の

50

時間間隔とする。例えば、所定時間間隔とは、画面表示の  $n$  フィールド期間（または、 $n$  フレーム期間： $n$  は自然数）である。

【0087】

制御 IC 11 のシリアルパラレル変換回路 51 は、切替タイミング制御信号発生手段を含んでおり、切替タイミング制御信号発生手段は、切替タイミング制御信号である反転パルス信号 RP1 を発生する。

【0088】

駆動電圧印加時間切替回路 12 は、ゲート制御信号のゲートオン期間を所定時間間隔毎に切替えるゲートクロック信号 CLG が入力されるゲートドライバ 40 の前段階に配置される。

【0089】

制御 IC 11 の CLG 発生回路 52 から出力されたゲートクロック信号 CLG は、単安定マルチバイブレータ 13 で構成された駆動電圧印加時間切替回路 12 に入力され、コンデンサ C1 と抵抗 R2 の時定数によりゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $50\mu s$  となるようにゲートクロック信号 CLG の立ち上がりからの High 時間（タイミング）が設定されている。

【0090】

制御スイッチ 14 は、抵抗 R1 と直列に接続され、制御スイッチ 14 および抵抗 R1 の直列回路に抵抗 R2 が並列に接続されている。

【0091】

制御 IC 11 のシリアルパラレル変換回路 51 から出力される反転パルス信号 RP1 によって、制御スイッチ 14 がオン状態になると、単安定マルチバイブレータ 13 に接続されるコンデンサ C1、抵抗 R1 および R2、制御スイッチ 14 から成る CR 回路の時定数は、コンデンサ C1 と抵抗成分  $(R1 \times R2) / (R1 + R2)$  の積となり、この場合、ゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $30\mu s$  となるようにゲートクロック信号 CLG の立ち上がりからの High 時間（タイミング）が設定されている。

【0092】

さらに、駆動電圧印加時間切替回路 12 は、 $n$  フィールド期間毎に反転する反転パルス信号 RP1 の HIGH レベル電圧が制御端子に入力されて制御スイッチ 14 がオン状態になると、CR 回路の抵抗 R1 および R2 が並列に接続され、この場合、CR 回路の時定数は、コンデンサ C1 と抵抗成分  $(R1 \times R2) / (R1 + R2)$  の積となり、ゲートドライバ 40 用の CLG 端子にゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $30\mu s$  に設定されたゲートクロック信号 CLG が印加されるようになっている。

【0093】

駆動電圧発生回路 12 は、 $n$  フィールド期間毎に反転する反転パルス信号 RP1 の LOW レベル電圧が制御スイッチ 14 の制御端子に入力されて制御スイッチ 14 がオフ状態になると、CR 回路の抵抗 R2 とコンデンサ C1 とが直列に接続され、この場合、CR 回路の時定数は  $R2 \times C1$  となり、ゲートドライバ 40 用の CLG 端子にゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $50\mu s$  となるようなゲートクロック信号 CLG が印加されるようになっている。

【0094】

このように、反転パルス信号 RP1 に基づいて制御スイッチ 14 が所定の時間間隔で連続的にオン／オフ動作することによって、液晶パネル 20 の各 TFT 25 のゲート（G：制御端子）に印加される TFT 25 の通常動作のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とが所定の時間間隔毎に切替え可能となる。ここでは、例えば、通常動作のゲートオン時間を  $50\mu s$  および電気的特性検査用のゲートオン時間を  $30\mu s$  とする。電気的特性検査用のゲートオン時間は、正常な TFT 25 の電圧－電流特性である VGS（ゲート－ソース間電圧）－IDS（ソースドレイン間電流）特性と、不良の TFT 25 の

10

20

30

40

50

電圧－電流特性である  $V_{GS}$ （ゲート－ソース間電圧）－ $I_{DS}$ （ソース－ドレイン間電流）特性とに基づいて設定されている。

【0095】

次に、本発明の液晶表示装置10の動作を説明する。

【0096】

図2は、図1に示すゲートドライバ40の駆動タイミングおよび表示1画面毎のゲート電圧印加時間の印加分布を示す図である。

【0097】

図1および図2に示すように、ゲートドライバ40のVシフトレジスタ41にスタートパルス信号SPGが入力すると、Vシフトレジスタ41は、スタートパルス信号SPGを、  
駆動電圧印加時間切換回路12からのゲートクロック信号CLGに同期させて、順次遅延  
させた選択パルス（ゲート制御信号線選択信号）を順次出力して、選択パルスであるゲート  
制御信号線選択信号により、まず、液晶パネル20の第1ライン目のゲート制御信号線  
23用の出力バッファ回路42から最終ライン目のゲート制御信号線23用の出力バッ  
ファ回路42まで順次動作し、複数のゲート制御信号線23に順次、ゲート電圧VGHを印  
加して1画面の表示を行う。

【0098】

この場合、例えば、図2では（ $n-1$ ）フィールド期間後の（ $n-1$ ）画面目までは、反  
転パルス信号RP1は、LOWレベル電圧であり、ゲート電圧印加時間は $50\mu s$ となる  
。つまり、反転パルス信号RP1は、制御IC11のシリアルパラレル変換回路51に入  
力されるシリアル信号SIにより制御されるとともに、垂直同期信号VDに基づいて所定  
の画面（フィールド）毎にLOWレベル／HIGHレベルが切り換えられる。そして、入  
力されたシリアル信号SIが、シリアルパラレル変換回路51内の切換タイミング制御信  
号発生手段により当初はLOWレベルに設定されるため、反転パルス信号RP1はLOW  
レベル電圧として制御IC11から出力され、駆動電圧印加時間切換回路12の制御スイ  
ッチ14をオフ状態にする。これにより、単安定マルチバイブレータ13に接続される抵  
抗R2とコンデンサC1とのCR回路の時定数によって、HIGHレベル状態の期間が $50\mu s$   
である通常動作のゲート電圧VGHがゲート制御信号線23に印加される。

【0099】

したがって、（ $n-1$ ）画面までは、ゲート制御信号線23を介してTFT25のゲート  
（制御端子）に、HIGHレベル状態の期間が $50\mu s$ に設定されたゲート電圧VGHが  
印加される。

【0100】

次に、シリアル信号SIが切り替わると、制御IC11から出力される反転パルス信号RP1が、表示画面の（ $n-1$ ）フィールド期間後の（ $n-1$ ）画面目とn画面目の間で、  
LOWレベル電圧からHIGHレベル電圧に切り換わる。これにより、制御スイッチ14  
がオン状態になり、単安定マルチバイブレータ13に接続されるCR回路の抵抗R1およ  
びR2が並列に接続され、CR回路の時定数は、コンデンサC1と抵抗成分（ $R1 \times R2$ ）  
／（ $R1 + R2$ ）の積となる。この結果、制御スイッチ14がオン状態になり、抵抗R  
1およびR2が並列に接続されると、ゲートドライバ40用のCLG端子にHIGHレベ  
ル状態の期間を $30\mu s$ に設定されたゲートクロック信号CLGが印加されることにより  
、HIGHレベル状態の期間が $30\mu s$ である電気的特性検査用のゲート電圧VGHがゲ  
ート制御信号線23に印加される。

【0101】

したがって、n画面からは、ゲート制御信号線23を介してTFT25のゲート（制御端  
子）に印加されるゲート電圧VGHのHIGHレベル状態の期間が $50\mu s$ から $30\mu s$   
の時間に切り換わる。

【0102】

以上のことを前提にして、検査を行う液晶表示装置10が、TFTの電気的特性に基づい  
て、良品または不良品かを判定する方法について図13および図14を参照して説明する

10

20

30

40

50

。

#### 【0103】

本発明の液晶表示装置10の駆動方法の特徴は、表示画面のn画面目より反転パルス信号RP1をハイレベル電圧に切り換えることにより、ゲートドライバ40のCLG端子に印加されるゲートクロック信号CLGのHIGHレベル状態の期間が $50\mu s$ から $30\mu s$ に切り換わることである。この結果、ゲート制御信号線23には、出力バッファ42からHIGHレベル状態の期間（ゲートオン期間）が $50\mu s$ から $30\mu s$ に切り換わったゲート電圧VGHが出力される。

#### 【0104】

本駆動方法を用いた液晶表示装置10を使用することによって、通常の電気的特性のTF 10  
Tを持った良品の液晶表示装置10では、 $(n-1)$ 画面までは、図13の映像信号出力電圧の期間(a)に示す正極性の映像信号が絵素電極201に対して十分な充電電圧値となる。これにより、良品のTF T (TF Ta)のゲートオン期間以内に、ソースドライバ30から出力される映像信号出力電圧と同一の信号電圧が、絵素電極21に書き込まれる。

。

#### 【0105】

また、図13の映像信号出力電圧の期間(b)で示す負極性の映像信号が絵素電極21に 20  
書き込まれる場合においても、TF Taのゲートソース間電圧のVGS電圧は、 $13V-1V=12V$ となり、ソースドレイン間電流のISD電流は、正極性の電圧5Vの映像信号を書き込む場合よりも多く流れることより、TF Taのオン状態の期間にソースド 20  
ライバ30から出力される電圧1Vの映像信号を十分書き込むとができる。

#### 【0106】

次に、画面表示のn画面目からは、TF Taへのゲート電圧の印加時間は $30\mu s$ となるから、図13の映像信号出力電圧の期間(a)で示す正極性の映像信号を絵素電極21に書き込み時には、画面表示の $(n-1)$ 画面目までと同様、TF Taのオン状態の期間以内にソースドライバ30から出力される映像信号電圧と同一の信号電圧が絵素電極201に印加される。

#### 【0107】

また、図13の映像信号出力電圧の期間(b)で示す負極性の映像信号が絵素電極21に 30  
書き込まれる場合においても、TF Taのオン状態の期間にソースドライバ30から出力される電圧1Vの映像信号を十分に書き込むことができる。

#### 【0108】

したがって、液晶表示装置10の画面全体では、均一な表示画面となる。

#### 【0109】

一方、電気的特性がシフトした不良品のTF T (TF Tb)を持つ液晶パネル200が搭載された液晶表示装置10の場合について説明する。

#### 【0110】

画面表示の $(n-1)$ 画面目までは、図13の映像信号出力電圧の期間(a)に示す正極性の映像信号を絵素電極21に書き込みの際に、図13のTF TのドレインDの出力信号波形(ハ)に示すように、絵素電極21に書き込まれる電圧は $4.8V$ となる。ただし、 40  
図13の映像信号出力電圧の期間(b)に示す負極性の映像信号が絵素電極21に書き込まれる場合には、図13のTF TのドレインDの出力信号波形(ニ)に示すように、TF Tbがオン状態の期間にソースドライバ30から出力される電圧1Vの映像信号を絵素電極21に書き込むためのISD電流の電流値は、書き込み可能な最低限度のIDS電流値IDSMを十分上回る。これにより、不良品のTF Tbが接続された絵素電極21に対応する液晶層LCに書き込まれる電圧値は、 $4.8V-1V=3.8V_{p-p}$ となり、本来書き込まれるべき電圧値の $5V-1V=4V_{p-p}$ よりも低くなり、液晶パネル20の表示画面の $(n-1)$ 画面までは $4V_{p-p}$ の電位が書き込まれた場合よりも若干画像が薄くなる。

#### 【0111】

次に、 $n$ 画面以降においては、図13の映像信号出力電圧の期間(a)に示す正極性の映像信号を絵素電極21に書き込む際に、図13のTFTのドレインDの出力信号波形(ハ')で示すように、絵素電極201に書き込まれる電圧は、一例として4.3Vとなる。

#### 【0112】

また、図13の映像信号出力電圧の期間(b)で示す負極性の映像信号が絵素電極21に書き込まれる場合には、不良品のTFTbが接続された絵素電極21に対応する液晶層LCに書き込まれる電圧値は、 $4.3V - 1V = 3.3V_{p-p}$ となり、1ライン目から( $n-1$ )ライン目までに書き込まれる電圧値3.8V $_{p-p}$ よりもかなり低くなる。

#### 【0113】

この結果、電気的特性がずれた不良品のTFTbを含む液晶パネル20が設けられた液晶表示装置10においては、画面表示の( $n-1$ )画面目までと $n$ 画面以降とでは、表示画面の明るさに差が発生し、電気的特性の正常な良品のTFTaから成る液晶パネル20が設けられた液晶表示装置10においては、画面表示の( $n-1$ )画面目までと $n$ 画面以降とでは、表示画面の明るさに差が発生しない。 10

#### 【0114】

したがって、液晶表示装置10の良否判定は、電気的特性が正常な良品のTFTaおよび電気的特性がずれた不良品のTFTbに基づいた液晶パネル20の表示画面の明るさの差により容易かつ確実に行うことができる。

#### (実施形態2)

図3は、本発明の実施形態2である液晶表示装置の要部の構成を示すブロック図である。 20

#### 【0115】

図3に示す本発明の液晶表示装置10aは、画像表示手段である液晶パネル20と、複数の映像信号線24から一つの映像信号線24を順次選択して映像信号の各色信号を供給する映像信号線駆動手段であるソースドライバ30と、複数のゲート制御信号線23から一つのゲート制御信号線23を順次選択してゲート制御信号を供給する制御信号線駆動手段であるゲートドライバ40と、切換タイミング制御信号発生手段を含む制御回路である制御IC11aと、駆動電圧印加時間設定手段である駆動電圧印加時間切換回路12とを有している。

#### 【0116】

制御IC11aは、シリアル信号SIが入力されるシリアルパラレル変換回路51と、シリアルパラレル変換回路51からの制御信号によってゲートクロック信号CLGを発生させるCLG発生回路52と、シリアルパラレル変換回路51からの制御信号および垂直同期信号VDによって反転パルス信号RP2を発生させるRP発生回路53を有しており、入力サンプリング信号SP、クロック信号CLKおよび転送信号TRSをソースドライバ30に出力し、反転パルス信号RP2およびゲートクロック信号CLGを駆動電圧印加時間切換回路12に出力し、スタートパルス信号SPGをゲートドライバ40に出力する。 30

#### 【0117】

駆動電圧印加時間発生回路12、液晶パネル20、ソースドライバ30およびゲートドライバ40は、図1に示す実施形態1の液晶表示装置10と同様である。

#### 【0118】

また、図3に示す液晶表示装置10aには、制御IC11aと駆動電圧印加時間切換回路12とにより駆動電圧印加時間切換手段が構成されており、その駆動電圧印加時間切換手段は、制御IC11aから出力される切換タイミング制御信号である反転パルス信号RP2に基づいてゲートドライバ40に供給するTFT25の通常動作のゲート制御信号の駆動電圧印加時間(ゲートオン期間)と、電気的特性検査用のゲート制御信号の駆動電圧印加時間(ゲートオン期間)とを、1フレーム期間毎に切換え可能である。ゲートオン期間は、ゲート制御信号がHIGHレベル状態の期間に対応する。 40

#### 【0119】

さらに、この駆動電圧印加時間切換手段、ソースドライバ30およびゲートドライバ40により画像表示制御手段が構成されており、画像表示制御手段は、各絵素電極駆動素子と 50

してのT F T 2 5に対して、通常動作用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とを、1フレーム期間毎に切換えて、ゲートオン期間が1フレーム期間毎に切換えられたゲート制御信号を、液晶パネル20の各絵素電極21に対応する液晶層LCに印加して画像表示させる。

#### 【0120】

制御IC11aは、RP発生回路53を有しており、シリアルパラレル変換回路51およびRP発生回路53により切換タイミング制御信号発生手段が構成されている。この切換タイミング制御信号発生手段は、切換タイミング制御信号としての反転パルス信号RP2を発生する。

10

#### 【0121】

RP発生回路53は、垂直同期信号VDおよびシリアルパラレル変換回路51からの制御信号が入力されて、1フレーム期間毎に反転する反転パルス信号RP2を出力する。反転パルス信号RP2は、制御IC11aに入力されるシリアル信号SIによって制御されており、制御IC11a内のシリアルパラレル変換回路51により通常の表示を行う場合、LOWレベル信号として制御IC11aから出力される。

#### 【0122】

駆動電圧印加時間切換回路12は、ゲート制御信号のゲートオン期間を1フレーム期間毎に切換えるゲートクロック信号CLGが入力されるゲートドライバ40の前段階に構成されている。

20

#### 【0123】

制御IC11aのCLG発生回路52から出力されたゲートクロック信号CLGは、単安定マルチバイブレータ13で構成された駆動電圧印加時間切換回路12に入力され、コンデンサC1と抵抗R2の時定数によりゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、50 $\mu$ sとなるようにゲートクロック信号CLGの立ち上がりからのHigh時間（タイミング）が設定されている。

#### 【0124】

制御スイッチ14は、抵抗R1と直列に接続され、制御スイッチ14および抵抗R1の直列回路に抵抗R2が並列に接続されている。

#### 【0125】

制御IC11aのRP発生回路53から出力される反転パルス信号RP2によって、制御スイッチ14がオン状態になると、単安定マルチバイブレータ13に接続されるコンデンサC1、抵抗R1およびR2、制御スイッチ14から成るCR回路の時定数は、コンデンサC1と抵抗成分 $(R1 \times R2) / (R1 + R2)$ の積となり、この場合、ゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、30 $\mu$ sとなるようにゲートクロック信号CLGの立ち上がりからのHigh時間（タイミング）が設定されている。制御スイッチ14の制御端子には、制御IC11aからの反転パルス信号線が接続されている。

30

#### 【0126】

さらに、駆動電圧印加時間切換回路12は、nフィールド期間毎に反転する反転パルス信号RP2のHIGHレベル電圧が制御端子に入力されて制御スイッチ14がオン状態になると、CR回路の抵抗R1およびR2が並列に接続され、この場合、CR回路の時定数は、コンデンサC1と抵抗成分 $(R1 \times R2) / (R1 + R2)$ の積となり、ゲートドライバ40用のCLG端子にゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、30 $\mu$ sに設定されたゲートクロック信号CLGが印加されるようになっている。

40

#### 【0127】

駆動電圧印加時間切換回路12は、1フレーム期間毎に反転する反転パルス信号RP2のLOWレベル電圧が制御スイッチ14の制御端子に入力されて制御スイッチ14がオフ状態になると、CR回路の抵抗R2とコンデンサC1とが直列に接続され、この場合、CR回路の時定数は $R2 \times C1$ となり、ゲートドライバ40用のCLG端子にゲートクロック

50

信号 C L G の H I G H レベル状態の期間を、例えば、 $50\ \mu\text{s}$  となるようなゲートクロック信号 C L G が印加されるようになっている。

#### 【0128】

このように、反転パルス信号 R P 2 に基づいて制御スイッチ 1 4 が 1 フレーム期間間隔で連続的にオン／オフ動作することによって、液晶パネル 2 0 の各 T F T 2 5 のゲート（G：制御端子）に印加される T F T 2 5 の通常動作のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とが 1 フレーム期間間隔毎に切換え可能となる（ここでは、例えば、通常動作のゲートオン時間を  $50\ \mu\text{s}$  および電気的特性検査用のゲートオン時間を  $30\ \mu\text{s}$  とする）。

10

#### 【0129】

上記構成により、液晶パネル 2 0 に設けられている各 T F T 2 5 の電気的特性の良否を判定する際には、良否判定を実施するシリアル信号 S I がシリアルパラレル変換回路 5 1 に入力され、シリアルパラレル変換回路 5 1 からは、R P 発生回路 5 3 に T F T の電気的特性検査用信号を生成するための制御信号が出力される。R P 発生回路 5 3 には、垂直同期信号 V D も入力されており、この垂直同期信号 V D に同期し、1 フレーム期間毎に極性を反転する反転パルス信号 R P 2 が制御 I C 1 1 a から駆動電圧印加時間切換回路 1 2 の制御スイッチ 1 4 に出力される。

#### 【0130】

これにより、制御スイッチ 1 2 が垂直同期信号 V D の 1 フレーム期間毎にオン／オフ動作することにより、ゲートドライバ 4 0 用の C L G 端子には、通常動作時および電気的特性検査時の駆動電圧印加時間（H I G H レベル状態の期間）を、例えば、本実施形態ではそれぞれ  $50\ \mu\text{s}$  および  $30\ \mu\text{s}$  に設定されたゲートクロック信号 C L G が交互にそれぞれ印加される。通常動作時および電気的特性検査時の駆動電圧印加時間が設定されたゲートクロック信号 C L G は、V シフトレジスタ 4 1 を介して、出力バッファ 4 2 からゲート制御信号電圧（ゲート電圧 V G H）として、ゲート制御信号線 2 3 に接続された T F T 2 5 のゲートに出力される。尚、ゲートドライバ 4 0 用の C L G 端子に印加されるゲートクロック信号 C L G は、図 4 に示す反転パルス信号 R P 2 と同期し、反転パルス信号 R P 2 と極性が逆の信号である。

20

#### 【0131】

したがって、ゲート制御信号線 2 3 に接続された T F T 2 5 に、通常動作および電気的特性検査用のそれぞれ  $50\ \mu\text{s}$  および  $30\ \mu\text{s}$  の駆動電圧印加時間（H I G H レベル状態の期間）が設定されたゲート電圧 V G H が印加されると、電気的特性がずれた不良品の T F T 2 5 を持つ液晶表示装置 1 0 a では、液晶パネル 2 0 の表示画面の画像に輝度差が生じるが、この場合、1 フレーム期間毎にゲート電圧 V G H の駆動電圧印加時間（H I G H レベル状態の期間）が  $50\ \mu\text{s}$  および  $30\ \mu\text{s}$  に切り替えることによって、検査する人の目には、画像の輝度差がフリッカとして識別され、液晶表示装置 1 0 a の良否判定を容易かつ確実に行うことができる。

30

#### （実施形態 3）

図 5 は、本発明の実施形態 3 である液晶表示装置の要部の構成を示すブロック図である。

40

#### 【0132】

図 5 に示す本発明の液晶表示装置 1 0 b は、画像表示手段である液晶パネル 2 0 と、複数の映像信号線 2 4 から一つの映像信号線 2 4 を順次選択して映像信号の各色信号を供給する映像信号線駆動手段であるソースドライバ 3 0 と、複数のゲート制御信号線 2 3 から一つのゲート制御信号線 2 3 を順次選択してゲート制御信号を供給する制御信号線駆動手段であるゲートドライバ 4 0 と、切換タイミング制御信号発生手段を含む制御回路である制御 I C 1 1 b と、駆動電圧印加時間設定手段である駆動電圧印加時間切換回路 1 2 とを有している。

#### 【0133】

制御 I C 1 1 b は、シリアル信号 S I が入力されるシリアルパラレル変換回路 5 1 と、シ

50

リアルパラレル変換回路51からの制御信号によってゲートクロック信号CLGを発生させるCLG発生回路52と、シリアルパラレル変換回路51からの制御信号および垂直同期信号VDによって反転パルス信号RP3を発生させるRP発生回路54を有しており、入力サンプリング信号SP、クロック信号CLKおよび転送信号TRSをソースドライバ30に出力し、反転パルス信号RP3およびゲートクロック信号CLGを駆動電圧印加時間切換回路12に出力し、スタートパルス信号SPGをゲートドライバ40に出力する。

【0134】

駆動電圧印加時間切換回路12、液晶パネル20、ソースドライバ30およびゲートドライバ40は、図1に示す実施形態1の液晶表示装置10と同様である。

【0135】

また、図5に示す液晶表示装置10bには、制御IC11bと駆動電圧印加時間切換回路12とにより駆動電圧印加時間切換手段が構成されており、その駆動電圧印加時間切換手段は、制御IC11bから出力される切換タイミング制御信号である反転パルス信号RP3に基づいてゲートドライバ40に供給するTFT25の通常動作のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とを、所定画面位置毎に切換え可能である。ゲートオン期間は、ゲート制御信号がHIGHレベル状態の期間に対応する。

【0136】

さらに、この駆動電圧印加時間切換手段、ソースドライバ30およびゲートドライバ40により画像表示制御手段が構成されており、画像表示制御手段は、各絵素電極駆動素子としてのTFT25に対して、通常動作のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とを、所定画面位置毎に切換えて、ゲートオン期間が所定画面位置毎に切換えられたゲート制御信号を、液晶パネル20の各絵素電極21に対応する液晶層LCに印加して画像表示させる。ここで、所定画面位置は、目視にて確認可能な画面位置であり、例えば、1画面（1フィールド）途中の同一ライン（図6に示す中間ライン位置）である。

【0137】

制御IC11bは、RP発生回路54を有しており、シリアルパラレル変換回路51およびRP発生回路54により切換タイミング制御信号発生手段が構成されている。この切換タイミング制御信号発生手段は、切換タイミング制御信号としての反転パルス信号RP3を発生する。

【0138】

RP発生回路54は、垂直同期信号VDおよびシリアルパラレル変換回路51からの制御信号が入力されて、1画面（1フィールド）途中の同一ライン位置で反転する反転パルス信号RP3を出力する。この反転パルス信号RP3は、制御IC11bに入力されるシリアル信号SIによって制御されており、制御IC11b内のシリアルパラレル変換回路51により通常を表示を行う場合、LOWレベル信号として制御IC11bから出力される。

【0139】

駆動電圧印加時間切換回路12は、ゲート制御信号のゲートオン期間を1画面（1フィールド）途中の同一ライン位置で切換えるゲートクロック信号CLGが入力されるゲートドライバ40の前段階に構成されている。

【0140】

制御IC11bのCLG発生回路52から出力されたゲートクロック信号CLGは、単安定マルチバイブレータ13で構成された駆動電圧印加時間切換回路12に入力され、コンデンサC1および抵抗R2の時定数によりゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、50 $\mu$ sとなるようにゲートクロック信号CLGの立ち上がりからのHigh時間が設定されている。

【0141】

制御スイッチ14は、抵抗R1と直列に接続され、制御スイッチ14および抵抗R1の直

10

20

30

40

50

列回路に抵抗  $R_2$  が並列に接続されている。

【0142】

制御 IC11b の RP 発生回路 54 から出力される反転パルス信号 RP3 によって、制御スイッチ 14 がオン状態になると、単安定マルチバイブレータ 13 に接続されるコンデンサ C1、抵抗  $R_1$  および  $R_2$ 、制御スイッチ 14 から成る CR 回路の時定数は、コンデンサ C1 と抵抗成分  $(R_1 \times R_2) / (R_1 + R_2)$  の積となり、この場合、ゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $30 \mu s$  となるようにゲートクロック信号 CLG の立ち上がりからの High 時間が設定されている。制御スイッチ 14 の制御端子には、制御 IC11b からの反転パルス信号線が接続されている。

【0143】

さらに、駆動電圧印加時間切換回路 12 は、1 画面（1 フィールド）途中の同一ライン位置毎に反転する反転パルス信号 RP3 の HIGH レベル電圧が制御端子に入力されて制御スイッチ 14 がオン状態になると、CR 回路の抵抗  $R_1$  および  $R_2$  が並列に接続され、この場合、CR 回路の時定数は、コンデンサ C1 と抵抗成分  $(R_1 \times R_2) / (R_1 + R_2)$  の積となり、ゲートドライバ 40 用の CLG 端子にゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $30 \mu s$  に設定されたゲートクロック信号 CLG が印加されるようになっている。

【0144】

駆動電圧印加時間切換回路 12 は、1 画面（1 フィールド）途中の同一ライン位置毎に反転する反転パルス信号 RP3 の LOW レベル電圧が制御スイッチ 14 の制御端子に入力されて制御スイッチ 14 がオフ状態になると、CR 回路の抵抗  $R_2$  とコンデンサ C1 とが直列に接続され、この場合、CR 回路の時定数は  $R_2 \times C1$  となり、ゲートドライバ 40 用の CLG 端子にゲートクロック信号 CLG の HIGH レベル状態の期間を、例えば、 $50 \mu s$  となるようなゲートクロック信号 CLG が印加されるようになっている。

【0145】

このように、反転パルス信号 RP3 に基づいて制御スイッチ 14 が 1 画面（1 フィールド）途中の同一ライン位置間隔で連続的にオン／オフ動作することによって、液晶パネル 20 の各 TFT25 のゲート（G：制御端子）に印加されるゲート電圧 VGH の通常動作時および電気的特性検査時の駆動電圧印加時間（ゲートオン時間：ここでは通常動作時が  $50 \mu s$  および電気的特性検査時が  $30 \mu s$  となる）が、1 画面（1 フィールド）途中の同一ライン位置毎に切換え可能となる。

【0146】

このようにして、反転パルス信号 RP3 を 1 画面（1 フィールド）途中の同一ライン位置毎で反転させ、ゲートドライバ 40 から出力されるゲート電圧 VGH のゲート電圧印加時間（HIGH レベル状態の期間）が 1 画面（1 フィールド）途中の同一位置で  $50 \mu s$  から  $30 \mu s$  に切り替わる。

【0147】

上記構成により、液晶パネル 20 に設けられている各 TFT25 の電気的特性の良否を判定する際には、良否判定を実施するシリアル信号 SI がシリアルパラレル変換回路 51 に入力され、シリアルパラレル変換回路 51 からは、RP 発生回路 54 に TFT25 の電気的特性検査用信号を生成するための制御信号が出力される。RP 発生回路 54 には、垂直同期信号 VD も入力されており、RP 発生回路 54 から 1 画面（1 フィールド）途中で極性が切り替る反転パルス信号 RP3 が、毎フィールド繰り返して出力される。

【0148】

これにより、ゲート電圧 VGH のゲート電圧印加時間（HIGH レベル状態の期間）は、反転パルス信号 RP3 に同期して  $50 \mu s$  から  $30 \mu s$  になり、電気的特性がずれた不良品の TFT25 を持つ液晶表示装置 10b では、液晶パネル 20 の表示画面の画像に輝度差が生じるが、この場合、1 画面（1 フィールド）途中の同一ライン位置でゲート電圧印加時間が  $50 \mu s$  または  $30 \mu s$  のいずれかに切り換わることによって、1 画面内のゲート電圧印加時間が  $50 \mu s$  である表示画面上部と、ゲート電圧印加時間が  $30 \mu s$  である

10

20

30

40

50

表示画面下部との画像の輝度差により液晶表示装置 10b の良否判定を目視で容易かつ確実に行うことができる。

(実施形態 4)

図 7 は、本発明の実施形態 4 である液晶表示装置の要部の構成を示すブロック図である。

【0149】

図 7 に示す本発明の液晶表示装置 10c は、画像表示手段である液晶パネル 20 と、複数の映像信号線 24 から一つの映像信号線 24 を順次選択して映像信号の各色信号を供給する映像信号線駆動手段であるソースドライバ 30 と、複数のゲート制御信号線 23 から一つのゲート制御信号線 23 を順次選択してゲート制御信号を供給する制御信号線駆動手段であるゲートドライバ 40 と、切換タイミング制御信号発生手段を含む制御回路である制御 IC 11c と、駆動電圧印加時間設定手段である駆動電圧印加時間切換回路 42 とを有している。 10

【0150】

制御 IC 11c は、シリアル信号 S I が入力されるシリアルパラレル変換回路 51 と、シリアルパラレル変換回路 51 からの制御信号によってゲートクロック信号 C L G を発生させる C L G 発生回路 52 と、シリアルパラレル変換回路 51 からの制御信号および C L G 発生回路 52 からのゲートクロック信号 C L G によって反転パルス信号 R P 4 を発生させる 1/6 分周回路 55 を有しており、入力サンプリング信号 S P、クロック信号 C L K および転送信号 T R S をソースドライバ 30 に出力し、反転パルス信号 R P 4 およびゲートクロック信号 C L G を駆動電圧印加時間切換回路 12 に出力し、スタートパルス信号 S P G をゲートドライバ 40 に出力する。 20

【0151】

駆動電圧印加時間切換回路 12、液晶パネル 20、ソースドライバ 30 およびゲートドライバ 40 は、図 1 に示す実施形態 1 の液晶表示装置 10 と同様である。

【0152】

また、図 7 に示す液晶表示装置 10c には、制御 IC 11c と駆動電圧印加時間切換回路 12 とにより駆動電圧印加時間切換手段が構成されており、その駆動電圧印加時間切換手段は、制御 IC 11c から出力される切換タイミング制御信号である反転パルス信号 R P 4 に基づいてソースドライバ 40 に供給する T F T 25 の通常動作のゲート制御信号の駆動電圧印加時間（ゲートオン期間）と、電気的特性検査用のゲート制御信号の駆動電圧印加時間（ゲートオン期間）とを、1 画面（1 フィールド）における所定ライン毎に切換え可能である。ゲートオン期間は、ゲート制御信号が H I G H レベル状態の期間に対応する。 30

【0153】

さらに、この駆動電圧印加時間切換手段、ソースドライバ 30 およびゲートドライバ 40 により画像表示制御手段が構成されており、画像表示制御手段は、各絵素電極駆動素子としての T F T 25 に対して T F T 25 のゲート制御信号の通常動作時および電気的特性検査時の駆動電圧印加時間（ゲートオン期間）を、1 画面（1 フィールド）において所定ライン毎に切換えて、ゲートオン期間が 1 画面（1 フィールド）の所定ライン毎に切換えられたゲート制御信号を、液晶パネル 20 の各絵素電極 21 に対応する液晶層 L C に印加して画像表示させる。ここで、1 画面（1 フィールド）において所定ライン毎とは、目視にて確認可能なライン数毎であり、例えば、1 画面（1 フィールド）において図 8 に示すように 3 ライン毎である。 40

【0154】

制御 IC 11c は、1/6 分周回路 55 を有しており、シリアルパラレル変換回路 51 および 1/6 分周回路 55 により切換タイミング制御信号発生手段が構成されている。この切換タイミング制御信号発生手段は、切換タイミング制御信号としての反転パルス信号 R P 4 を発生する。

【0155】

1/6 分周回路 55 は、C L G 発生回路 52 からのゲートクロック信号 C L G およびシリ 50

アルパラレル変換回路51からの制御信号が入力されて、1画面(1フィールド)において3ライン毎に反転する反転パルス信号RP4を出力する。この反転パルス信号RP4は、制御IC11cに入力されるシリアル信号SIによって制御されており、制御IC11c内のシリアルパラレル変換回路51により通常を表示を行う場合、LOWレベル信号として制御IC11cから出力される。

#### 【0156】

駆動電圧印加時間切換回路42は、ゲート制御信号のゲートオン期間を1画面(1フィールド)において3ライン毎の位置で切換えるゲートクロック信号CLGが入力されるゲートドライバ40の前段階に構成されている。

#### 【0157】

制御IC11cのCLG発生回路52から出力されたゲートクロック信号CLGは、単安定マルチバイブレータ13で構成された駆動電圧印加時間切換回路12に入力され、コンデンサC1および抵抗R2の時定数によりゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、50 $\mu$ sとなるようにゲートクロック信号CLGの立ち上がりからのHigh時間(タイミング)が設定されている。

#### 【0158】

制御スイッチ14は、抵抗R1と直列に接続され、制御スイッチ14および抵抗R1の直列回路に抵抗R2が並列に接続されている。

#### 【0159】

制御IC11cの1/6分周回路55から出力される反転パルス信号RP4によって、制御スイッチ14がオン状態になると、単安定マルチバイブレータ13接続されるコンデンサC1、抵抗R1およびR2、制御スイッチ14から成るCR回路の時定数は、コンデンサC1と抵抗成分( $R1 \times R2$ )/( $R1 + R2$ )の積となり、この場合、ゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、30 $\mu$ sとなるようにゲートクロック信号CLGの立ち上がりからのHigh時間が設定されている。制御スイッチ14の制御端子には、制御IC11bからの反転パルス信号線が接続されている。

#### 【0160】

さらに、駆動電圧印加時間切換回路12は、1画面(1フィールド)において3ライン毎に反転する反転パルス信号RP4のHIGHレベル電圧が制御端子に入力されて制御スイッチ14がオン状態になると、CR回路の抵抗R1およびR2が並列に接続され、この場合、CR回路の時定数は、コンデンサC1と抵抗成分( $R1 \times R2$ )/( $R1 + R2$ )の積となり、ゲートドライバ40用のCLG端子にゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、30 $\mu$ sに設定されたゲートクロック信号CLGが印加されるようになっている。

#### 【0161】

駆動電圧印加時間切換回路12は、1画面(1フィールド)において3ライン毎に反転する反転パルス信号RP4のLOWレベル電圧が制御スイッチ14の制御端子に入力されて制御スイッチ14がオフ状態になると、CR回路の抵抗R2とコンデンサC1とが直列に接続され、この場合、CR回路の時定数は $R2 \times C1$ となり、ゲートドライバ40用のCLG端子にゲートクロック信号CLGのHIGHレベル状態の期間を、例えば、50 $\mu$ sとなるようなゲートクロック信号CLGが印加されるようになっている。

#### 【0162】

このように、反転パルス信号RP4に基づいて制御スイッチ14が1画面(1フィールド)において3ライン毎の間隔で連続的にオン/オフ動作することによって、液晶パネル20の各TFT25のゲート(G:制御端子)に印加されるゲート電圧VGHの通常動作時および電气的特性検査時の駆動電圧印加時間(ここでは通常動作時が50 $\mu$ sおよび電气的特性検査時が30 $\mu$ sとなる)が、1画面(1フィールド)において3ライン毎に切換え可能となる。

#### 【0163】

このようにして、反転パルス信号RP4を1画面(1フィールド)において3ライン毎に

10

20

30

40

50

反転させ、ゲートドライバ40から出力されるゲート電圧VGHのゲート電圧印加時間（HIGHレベル状態の期間）が1画面（1フィールド）において3ライン毎に50μsから30μsに切り替わる。

#### 【0164】

尚、反転パルス信号RP4は、制御IC11cに入力されるシリアル信号SIにより制御されており、シリアル信号SIは、制御IC11c内のシリアルパラレル変換回路51により通常の表示を行う場合、反転パルス信号RP4がLOWレベル信号として制御IC11cから出力されるように設定されている。そして、LOWレベル信号の反転パルス信号RP4が入力された制御スイッチ14は、オフ状態となり、駆動電圧印加時間切換回路12からゲート電圧VGHのゲート電圧印加時間を50μsに設定するゲートクロック信号CLGがゲートドライバ40に出力される。 10

#### 【0165】

上記構成により、液晶パネル20に設けられている各TF T25の電気的特性の良否を判定する際には、良否判定を実施するシリアル信号SIがシリアルパラレル変換回路51に入力され、シリアルパラレル変換回路51からは、1/6分周回路55にTF T25の電気的特性検査用信号を生成するための制御信号が出力される。1/6分周回路55には、CLG発生回路52からのゲートドライバ40用のゲートクロック信号CLGも入力されており、このゲートクロックCLG信号を1/6分周した反転パルス信号RP4が制御IC11cから制御スイッチ14の制御端子に入力される。

#### 【0166】

これにより、駆動電圧印加時間切換回路12から、1画面（1フィールド）において3ライン毎に、通常動作時および電気的特性検査時の駆動電圧印加時間（ここでは、それぞれ50μsおよび30μs）が切り替わるゲートクロック信号CLGがゲートドライバ40のCLG端子に出力される。この動作は、フィールド毎に繰り返して行われる。 20

#### 【0167】

したがって、ゲートドライバー40に入力されるゲートクロック信号CLGに基づいて、出力バッファ42から出力されるゲート電圧VGHのゲート電圧印加時間（HIGHレベル状態の期間）は、反転パルス信号RP4に同期して50μsから30μsになり、電気的特性がずれた不良品のTF T25を持つ液晶表示装置10cでは、液晶パネル20の表示画面の所定のライン群毎に輝度差が生じるが、この場合、例えば、表示画面上の1画面（1フィールド）において3ライン毎にゲート電圧印加時間が50μsまたは30μsいずれかに切り換わることによって、1画面内で3ライン置きに明るさが変わり、表示画面に横縞状の模様となって現れる。この結果、TF T25の電気的特性がずれた液晶表示装置10cの良否判定は、液晶パネル20の表示画面の横縞状の模様が現れるか否かを確認すれば良く、容易かつ確実に検査を行うことができる。 30

#### （実施形態5）

図9は、本発明の実施形態5である液晶表示装置におけるゲートドライバの駆動タイミングと表示1画面毎のゲート電圧印加時間の印加分布を示すタイミングチャートである。

#### 【0168】

図6に示す実施形態3の液晶表示装置に示すゲートドライバ40のゲート電圧VGHの出力タイミングおよび表示1画面におけるゲート電圧印加期間（50μsおよび30μs）の印加分布図との比較において、図9に示すように5画面目までと6画面以降との1画面内のゲート電圧印加時間において、通常動作用の50μs印加部と電気的特性検査用の30μs印加部との位置を表示画面の上下が逆の位置になるように反転パルス信号RP5の出力波形レベルが設定されている。例えば、m（mは自然数：図9ではm=6）画面目以降の反転パルス信号RP5の極性が、（m-1）画面目までの反転パルス信号RP5の極性と逆極性となるように設定され、m画面目以降のゲート電圧印加時間は30μs、（m-1）画面目までのゲート電圧印加時間は50μsとなるように設定されている。 40

#### 【0169】

したがって、TF T25の電気的特性のずれが液晶パネル20の表示画面の上部のみに発 50

生していた場合でも、所定の画面の前後において、各TFT25のゲート電圧VGHの通常動作時および電気的特性時のゲートオン電圧印加時間（それぞれ50 $\mu$ sおよび30 $\mu$ s）の表示画面に対する印加分布が、表示画面の上部または下部においてを逆に分布するように設定することによって、電気的特性がずれた不良のTFTbが容易かつ正確に検出され、液晶表示装置の良否判定を容易かつ確実にを行うことができる。

（実施形態6）

図10は、本発明の実施形態6である液晶表示装置の要部の構成を示すブロック図である。

#### 【0170】

図10に示すように、図1、図3、図5および図7において、例えば、30 $\mu$ sのゲート電圧印加時間（HIGHレベル状態の期間）を設定する、駆動電圧印加時間切換回路12の単安定マルチバイブレータ13に接続されたCR回路の抵抗R1を、可変抵抗手段である可変抵抗VR1とすることによって、液晶パネル20のTFT25の駆動電圧であるゲート電圧VGHの通常動作時および電気的特性検査時のゲート電圧印加時間の一方のゲート電圧印加時間を、例えば、40 $\mu$ sに延長したり20 $\mu$ sに短縮することができる。これにより、図10に示す実施形態6の液晶表示装置は、TFT25の電気的特性のずれの検出レベルを可変することができる。

#### 【0171】

また、同様に、上記CR回路の抵抗R2を可変抵抗手段である可変抵抗VR2とすることもできる。この場合、液晶パネル20のTFT25の駆動電圧であるゲート電圧VGHの通常動作時および電気的特性検査時のゲート電圧印加時間の他方のゲート電圧印加時間の50 $\mu$ sも可変することができる。これにより、TFT25の電気的特性のずれの検出レベルを細かく可変することができる。

#### 【0172】

このように、本発明の実施形態1～6によれば、液晶パネル20の各TFT25に対して、TFT25に印加されるゲート電圧の通常動作時および電気的特性検査時のゲート電圧印加時間（例えば、通常動作時が50 $\mu$ sおよび電気的特性検査時が30 $\mu$ s）が切り換えられて、液晶パネル20の表示画面に画像が表示される。これにより、電気的特性が不良のTFT場合には、所定切換時間（nフィールド期間など）または所定表示画面位置（同一ライン位置等）毎に表示画像の輝度の濃淡により、TFTのわずかな電気的特性のシフトにより不良品となる液晶表示装置をも容易かつ確実に確認可能となり、従来のように検査対象装置と基準となる比較対象装置とを共に表示させるような、大規模な装置で時間をかけて液晶表示装置の表示画像の輝度を比較する必要がなくなる。

#### 【0173】

尚、上記の実施形態1～6では、ゲート電圧の二種類の駆動電圧印加時間の切換タイミングを制御できる切換タイミング制御信号発生手段および駆動電圧印加時間切換手段を液晶表示装置10、10a、10b、10c等に内蔵した場合について説明したが、これらの切換タイミング制御信号発生手段および駆動電圧印加時間切換手段を液晶表示装置の外部に素子電気的特性良否判定装置（図1、図3、図5、図7および図10の矢印A側の制御ICおよび駆動電圧切換回路で構成されていてもよい。）として設けるようにしてもよい。

#### 【0174】

また、外部からマニュアルにてスイッチングすることによって、TFTのゲート電圧の通常動作時および電気的特性検査時の駆動電圧印加時間を切り換えるように構成してもよい。

#### 【0175】

以上により、本発明によれば、各絵素電極駆動素子に対して、通常動作の制御信号の電圧印加時間と、電気的特性検査用の制御信号の電圧印加時間とを切換えて画像表示するため、絵素電極駆動素子の電気的特性不良の場合には、切換時間または切り換え位置に応じて表示画像の輝度の濃淡により、わずかな絵素電極駆動素子の電気的特性のずれによる不

良品をも容易かつ確実に確認することができて、従来のように検査対象装置と基準となる比較対象装置とを共に動作させて大規模な装置で時間をかけて輝度を比較する必要はない。

【0176】

絵素電極駆動素子の電気的特性がずれた液晶表示装置の検出を表示期間内の途中（ $n$ フィールド期間毎）で、通常動作用の制御信号の電圧印加時間（絵素電極駆動素子の駆動電圧印加時間）を電気的特性検査用の制御信号の電圧印加時間に切換え、表示画面の輝度が変化することによって判定するため、従来のように、良品の液晶表示装置と輝度を比較することもなく、また、液晶表示装置の表示画面の明るさを測定する必要もない。このため、素子特性の良否判定作業が簡単になり作業の効率アップとなる。

10

【0177】

また、制御信号線に出力される通常動作用の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間（二種類の駆動電圧印加時間）が1フレーム毎に、例えば、 $50\mu s$ と $30\mu s$ との間で切り換えるため、絵素電極駆動素子の電気的特性がずれた液晶表示装置においては表示画面がフリッカのようになり、このフリッカを確認することにより液晶表示装置の良否判定を容易かつ確実に行うことができる。

【0178】

さらに、制御信号線に出力される通常動作用の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間（二種類の駆動電圧印加時間）が1画面の途中で、例えば、 $50\mu s$ と $30\mu s$ との間で切り換えるため、絵素電極駆動素子の電気的特性がずれた液晶表示装置においては表示画面の上部と下部との輝度差によって絵素電極駆動素子の電気的特性の良否判定を容易かつ確実に行うと共に、上記表示期間内で駆動電圧印加時間（電圧印加時間）を切換える方法よりも、より短時間で確実に不良品の液晶表示装置を検出することができる。

20

【0179】

さらに、制御信号線に出力される通常動作用の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間（二種類の駆動電圧印加時間）を1画面の途中で、例えば、 $50\mu s$ と $30\mu s$ との間で切り換えることに加えて、画像表示期間内に通常動作用の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間を $50\mu s$ と $30\mu s$ との間でそれぞれ逆方向に切り換えることで、画像表示画面の一部（例えば上部または下部）に絵素電極駆動素子の電気的特性ずれが僅かに存在している場合においても、液晶表示装置の良否判定を容易かつ確実に行うことができる。

30

【0180】

さらに、表示画面上の所定ライン毎（例えば、3ライン）に通常動作用の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間（二種類の駆動電圧印加時間）を、例えば、 $50\mu s$ と $30\mu s$ との間で切り換えるため、絵素電極駆動素子の電気的特性がずれた液晶表示装置であれば、1画面内で所定ライン置きに表示の明るさが変り、それが横縞状の模様となって現れ、その確認検査をするだけで、絵素電極駆動素子の電気的特性の良否判定を容易かつ確実に行うことができる。また、この場合には、表示画面の一部のみに絵素電極駆動素子の電気的特性がずれている場合においても、絵素電極駆動素子の電気的特性がずれている箇所が縞模様となって表れるため、絵素電極駆動素子の電気的特性のずれた液晶表示装置の表示画面一部の良否判定を容易かつ確実に行うことができる。

40

【0181】

さらに、所定ライン毎（例えば、3ライン）に通常動作用の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間（二種類の駆動電圧印加時間）が、例えば、 $50\mu s$ と $30\mu s$ との間で切り換えることに加えて、画像表示期間内に、例えば、 $50\mu s$ と $30\mu s$ との間で切り換える切換方向（切換順）を逆方向にすることで、ほんの僅かな表示画面の一部（数ライン）の絵素電極駆動素子の電気的特性のずれ不良をも容易かつ確実に検出でき、液晶表示装置の良否判定を容易かつ確実に行うことができる。

50

## 【0182】

さらに、通常動作の制御信号の電圧印加時間および電気的特性検査用の制御信号の電圧印加時間（二種類の駆動電圧印加時間）の値の少なくとも一方を可変することにより、画像表示の輝度差がより明確になるように絵素電極駆動素子の電気的特性不良の検出レベルを良好に変更することができる。

## 【0183】

さらに、液晶表示装置の制御回路を内蔵した例えば制御IC内部に、通常の駆動方法に加え、上記二つの駆動電圧印加時間の切換タイミングを制御できる切換タイミング制御信号発生手段および駆動電圧印加時間切換手段を内蔵していることにより、液晶表示装置として製品に組み込んだ後の絵素電極駆動素子の電気的特性の良否判定をも容易かつ確実に検出でき、液晶表示装置の良否判定を容易かつ確実に行うことができる。

## 【0184】

## 【発明の効果】

本発明の液晶表示装置は、各絵素電極駆動素子に対して、通常動作の制御信号の電圧印加時間と、電気的特性検査用制御信号の電圧印加時間とを切換えて画像表示するため、絵素電極駆動素子の電気的特性が不良の場合には、切換時間または切り換え位置に応じて表示画像の輝度の濃淡により、わずかな絵素電極駆動素子の電気的特性（電圧－電流特性）のずれによる不良品をも容易かつ確実に確認することができて、従来のように検査対象装置と基準となる比較対象装置とを共に動作させて大規模な装置で時間をかけて表示画像の輝度の比較を行う必要がない。

## 【図面の簡単な説明】

【図1】本発明の実施形態1である液晶表示装置の要部の構成を示すブロック図である。

【図2】図1に示すゲートドライバの駆動タイミングおよび表示1画面毎のゲート電圧印加時間の印加分布を示す図である。

【図3】本発明の実施形態2である液晶表示装置の要部の構成を示すブロック図である。

【図4】図3に示すゲートドライバの駆動タイミングおよび表示1画面毎のゲート電圧印加時間の印加分布を示す図である。

【図5】本発明の実施形態3である液晶表示装置の要部の構成を示すブロック図である。

【図6】図5に示すゲートドライバの駆動タイミングおよび表示1画面毎のゲート電圧印加時間の印加分布を示す図である。

【図7】本発明の実施形態4である液晶表示装置の要部の構成を示すブロック図である。

【図8】図7に示すゲートドライバの駆動タイミングおよび表示1画面毎のゲート電圧印加時間の印加分布を示す図である。

【図9】本発明の実施形態5の液晶表示装置におけるゲートドライバの駆動タイミングおよび表示1画面毎のゲート電圧印加時間の印加分布を示す図である。

【図10】本発明の実施形態6である液晶表示装置の要部の構成を示すブロック図である。

【図11】従来のアクティブマトリクス型液晶表示装置の要部の構成の一例を示すブロック図である。

【図12】図11に示すゲートドライバからの各ゲート制御信号のタイミングチャートである。

【図13】図11に示すソースドライバの映像信号出力電圧、ゲートクロック信号に同期するおよびそのTFTのゲート電圧およびドレイン電圧のタイミングチャートである。

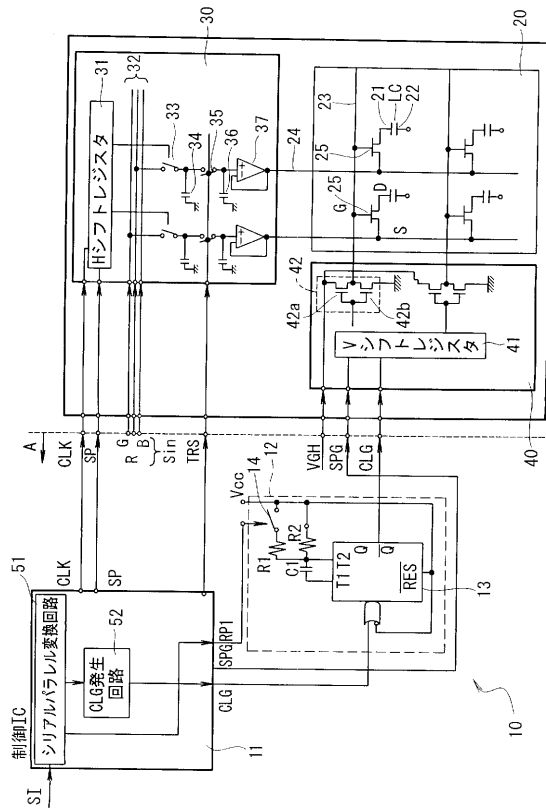
【図14】TFTのゲート－ソース間電圧VGSとソース－ドレイン間電流IDSとの関係を示すグラフである。

## 【符号の説明】

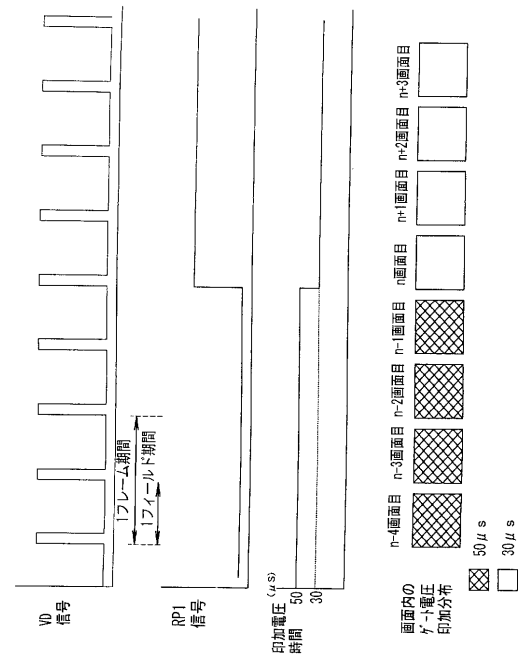
- 10 液晶表示装置
- 10a 液晶表示装置
- 10b 液晶表示装置
- 10c 液晶表示装置

|       |                  |    |
|-------|------------------|----|
| 1 1   | 制御 I C           |    |
| 1 1 a | 制御 I C           |    |
| 1 1 b | 制御 I C           |    |
| 1 1 c | 制御 I C           |    |
| 1 2   | 駆動電圧印加時間切換回路     |    |
| 1 3   | 単安定マルチバイブレータ     |    |
| 1 4   | 制御スイッチ           |    |
| 2 0   | 液晶パネル            |    |
| 2 1   | 絵素電極             |    |
| 2 3   | ゲート制御信号線         | 10 |
| 2 4   | 映像信号線            |    |
| 2 5   | T F T            |    |
| 3 0   | ソースドライバ          |    |
| 3 1   | Hシフトレジスタ         |    |
| 3 2   | R G B 信号線        |    |
| 3 3   | サンプリング S W       |    |
| 3 4   | サンプリングコンデンサ      |    |
| 3 5   | 転送 S W           |    |
| 3 6   | 転送コンデンサ          |    |
| 3 7   | オペアンプ            | 20 |
| 4 0   | ゲートドライバ          |    |
| 4 1   | Vシフトレジスタ         |    |
| 4 2   | 出力バッファ           |    |
| 4 2 a | P 型 M O S トランジスタ |    |
| 4 2 b | N 型 M O S トランジスタ |    |
| 5 1   | シリアルパラレル変換回路     |    |
| 5 2   | C L G 発生回路       |    |
| 5 3   | R P 発生回路         |    |
| 5 4   | R P 発生回路         |    |
| 5 5   | 1 / 6 分周回路       | 30 |
| 1 0 0 | 液晶表示装置           |    |
| 2 0 0 | 液晶パネル            |    |
| 3 0 0 | ソースドライバ          |    |
| 4 0 0 | ゲートドライバ          |    |
| 5 0 0 | 制御 I C           |    |

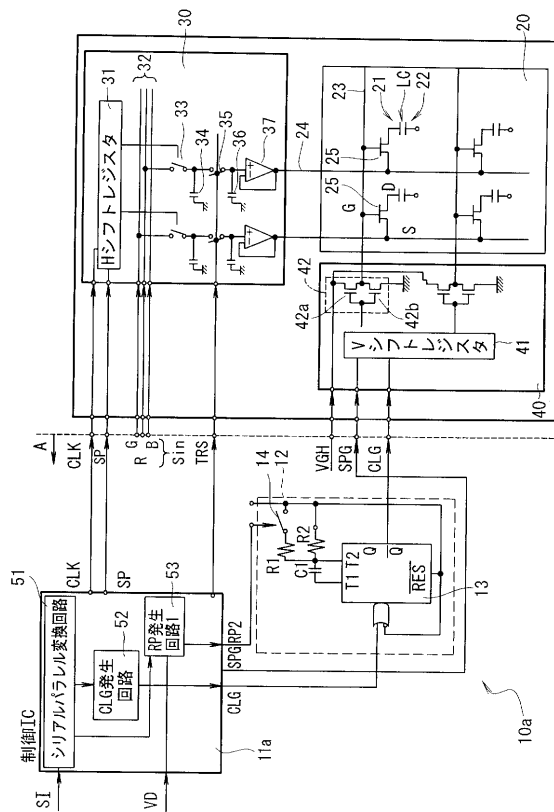
【図 1】



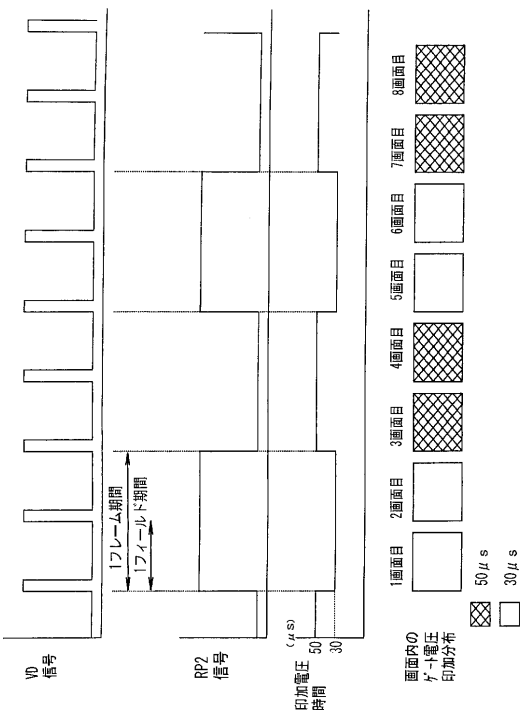
【図 2】



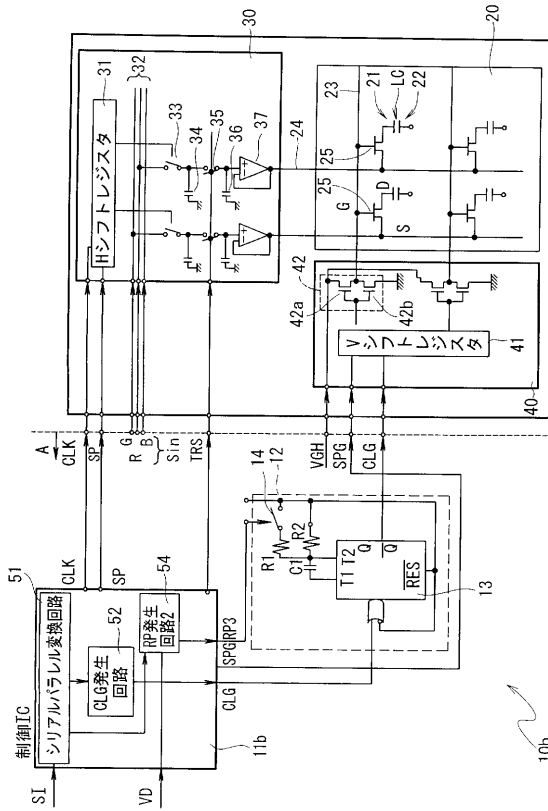
【図 3】



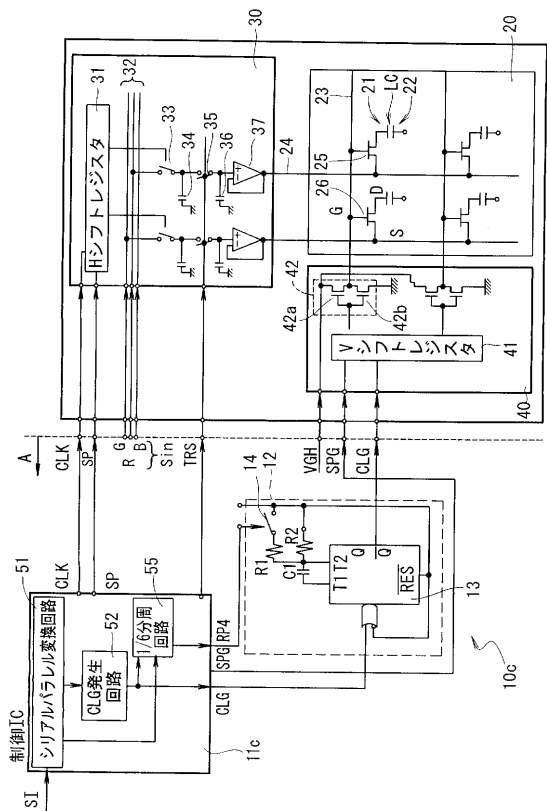
【図 4】



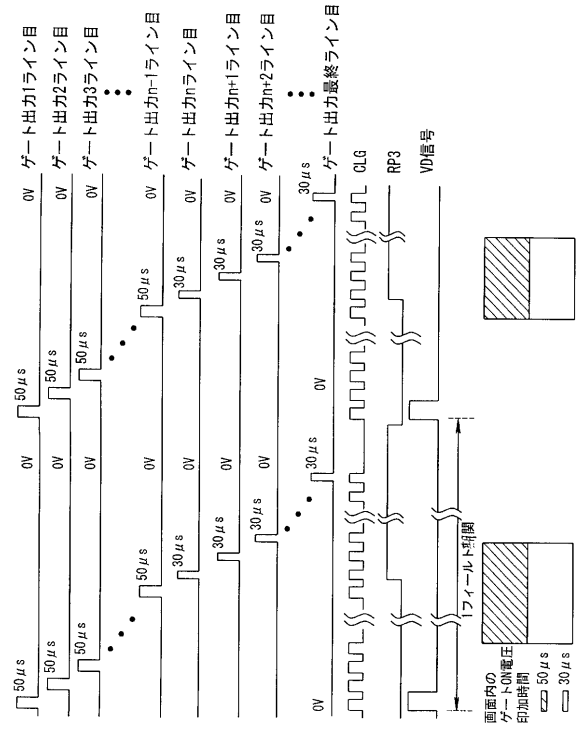
【図 5】



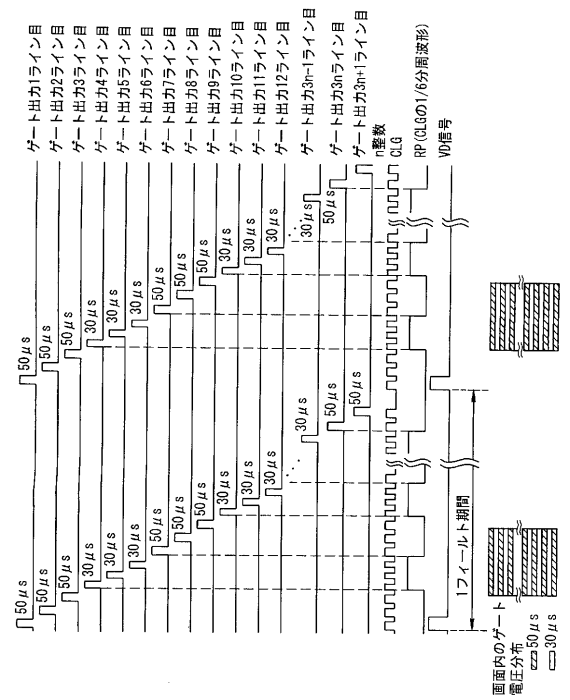
【図 7】



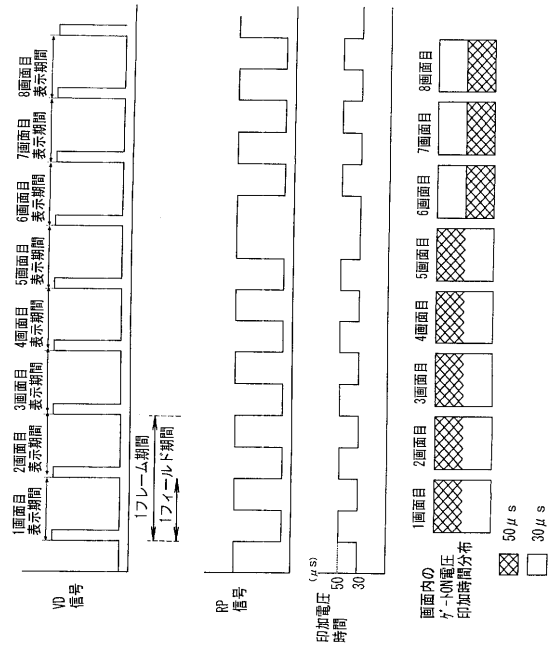
【図 6】



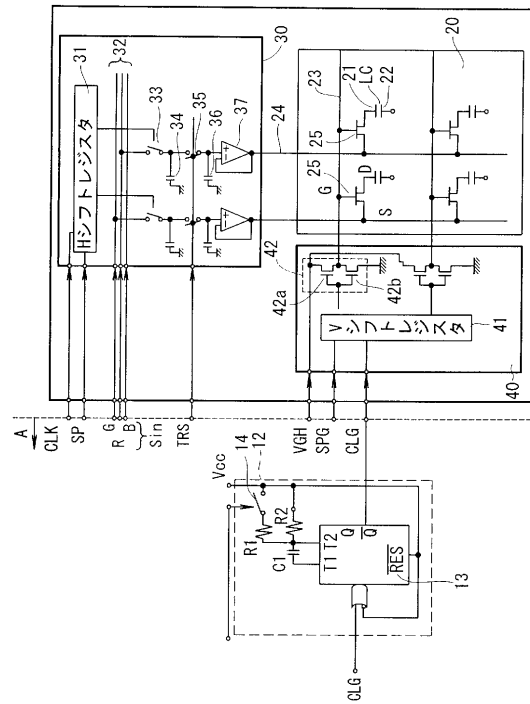
【図 8】



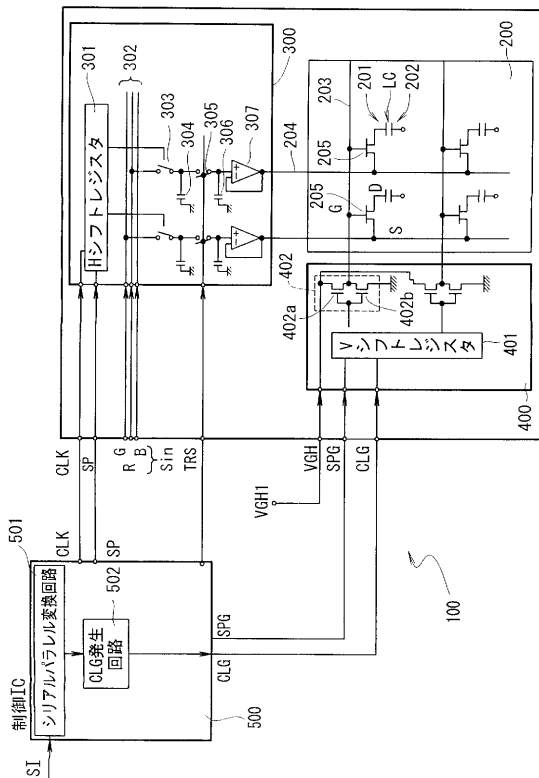
【図 9】



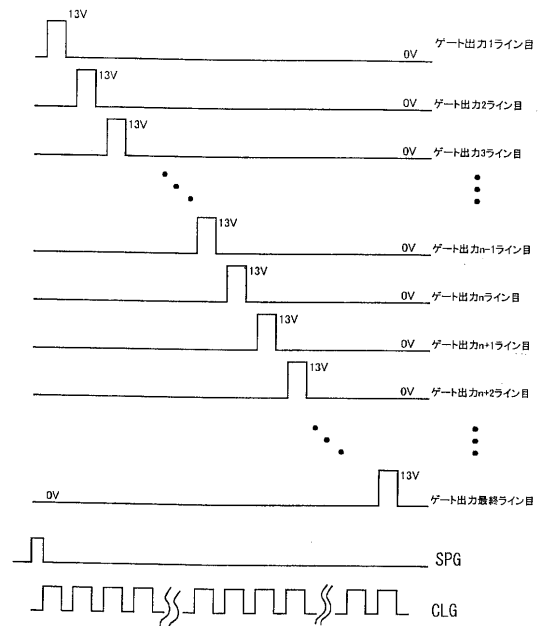
【図 10】



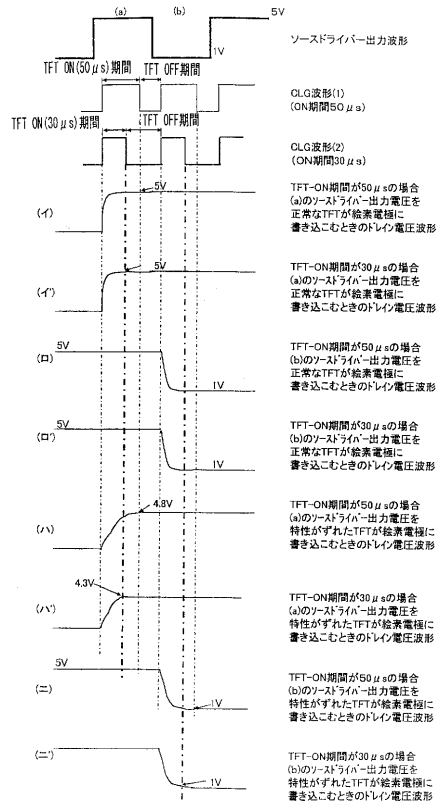
【図 11】



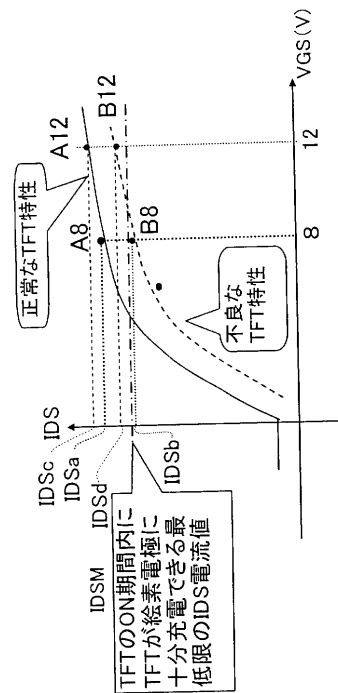
【図 12】



【図 13】



【図 14】



---

フロントページの続き(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 B

G 0 9 G 3/20 6 7 0 Q

G 0 9 G 3/36

F ターム(参考) 2H093 NA16 NC09 NC16 NC22 NC34 NC49 ND56 NH14 NH15 NH16  
5C006 AC22 AF44 AF51 AF53 AF61 AF71 BB16 BC03 BC11 BF03  
BF11 EB01 EB04 FA41  
5C080 AA10 BB05 DD15 DD28 FF11 JJ02 JJ04