(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-248024
(P2004-248024A)
(43)公開日　平成16年9月2日(2004.9.2)

(51)Int.Cl.[7]	F I			テーマコード（参考）
H04N 1/41	H04N	1/41	B	5B047
G06T 1/60	G06T	1/60	450D	5C057
H04N 1/21	H04N	1/21		5C059
H04N 7/24	H04N	11/04	Z	5C073
H04N 11/04	H04N	7/13	Z	5C078

審査請求 未請求　請求項の数 17　ＯＬ　（全 31 頁）　最終頁に続く

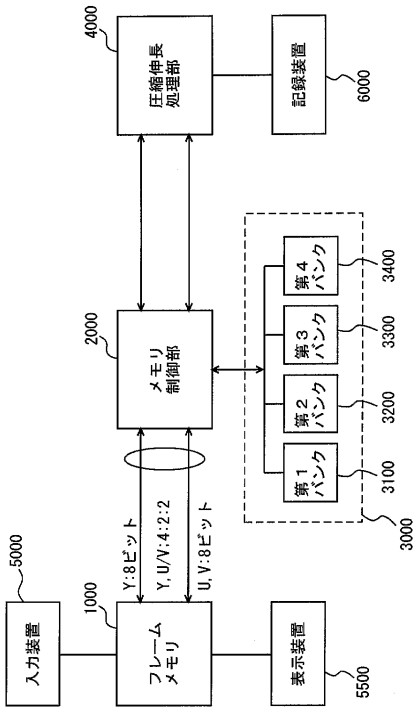
(21)出願番号　特願2003-36562(P2003-36562)
(22)出願日　平成15年2月14日(2003.2.14)

(71)出願人　000000952
カネボウ株式会社
東京都墨田区墨田五丁目１７番４号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】画像処理装置

(57)【要約】
【課題】圧縮伸長処理部のためのバッファの容量を小さくする。
【解決手段】画像処理装置は、画像データを格納したフレームメモリ１０００、圧縮伸長処理部４０００、バッファメモリ３０００、メモリ制御部２０００を含む。メモリ制御部２０００は、フレームメモリ１０００から一度に受取る、輝度データＹ０、Ｙ１を第１バンク３１００に、色差データＣｒ、Ｃｂを第３バンク３３００に、次の輝度データＹ２、Ｙ３を第２バンク３２００に、色差データＣｒ、Ｃｂを第４バンク３４００に書込む回路と、バッファメモリ３０００から圧縮伸長処理部４０００に、第１バンク３１００（Ｙ０、Ｙ１）、第２バンク３２００（Ｙ２、Ｙ３）、第３バンク３３００（Ｃｒ、Ｃｂ）を１つの組として、第１バンク３１００（Ｙ０、Ｙ１）、第２バンク３２００（Ｙ２、Ｙ３）、第４バンク３４００（Ｃｒ、Ｃｂ）を１つの組として送出する回路とを含む。
【選択図】　図１



【特許請求の範囲】
【請求項１】
輝度データおよび色差データを含む画像データを圧縮する画像処理装置であって、
画像入力装置および画像出力装置の少なくともいずれかに接続され、前記画像データを格納するための格納手段と、
前記画像データを圧縮するための圧縮手段と、
前記格納手段と前記圧縮手段との間に設けられた、複数のバンクから構成されるバッファメモリと、
前記バッファメモリを制御するための制御手段とを含み、
前記制御手段は、
前記格納手段から前記画像データを受取り、前記色差データをダウンサンプリングしてフォーマット変換を実行するための変換手段と、
前記複数のバンクを組合せて構成されるバンクの組を切換えて、前記格納手段から前記バンクの中の１のバンクへの前記画像データの書込みと、前記１のバンクとは異なるバンクから前記圧縮手段への前記フォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含む、画像処理装置。
【請求項２】
前記バンク切替手段は、
前記格納手段から一度に受取る画像データの中の輝度データと色差データとを分割して、異なるバンクに書込むための書込み手段と、
前記異なるバンクに分割して書込まれた輝度データを連続して前記圧縮手段へ送出すための送出し手段とを含む、請求項１に記載の画像処理装置。
【請求項３】
前記送出し手段は、
前記異なるバンクに分割して書込まれた輝度データを連続して前記圧縮手段へ送出すための手段と、
前記連続した輝度データに対応する色差データを前記圧縮手段へ送出すための手段とを含む、請求項２に記載の画像処理装置。
【請求項４】
輝度データおよび色差データを含む画像データを圧縮する画像処理装置であって、
画像入力装置および画像出力装置の少なくともいずれかに接続され、前記画像データを格納するための格納手段と、
前記画像データを圧縮するための圧縮手段と、
前記格納手段と前記圧縮手段との間に設けられた、４個のバンクから構成されるバッファメモリと、
前記バッファメモリを制御するための制御手段とを含み、
前記格納手段から、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが入力され、前記格納手段から前記圧縮手段へは、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされた画像データが出力され、
前記制御手段は、
前記格納手段から前記画像データを受取り、前記色差データをダウンサンプリングしてフォーマット変換を実行するための変換手段と、
前記複数のバンクを組合せて構成されるバンクの組を切換えて、前記格納手段から前記バンクの中の１のバンクへの前記画像データの書込みと、前記１のバンクとは異なるバンクから前記圧縮手段への前記フォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含み、
前記バンク切替手段は、
前記格納手段から一度に受取る画像データの中の輝度データと、前記輝度データに対応する色差データとを分割して、第１のバンクと第３のバンクとに書込むための第１の書込み手段と、

前記格納手段から一度に受取る画像データの中の輝度データと、前記輝度データに対応する色差データとを分割して、第２のバンクと第４のバンクとに書込むための第２の書込み手段と、
前記第１のバンク、前記第２のバンク、前記第３のバンク、前記第１のバンク、前記第２のバンク、前記第４のバンクの順で、画像データを前記圧縮手段へ送出すための送出し手段とを含む、画像処理装置。
【請求項５】
前記格納手段から、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが入力され、前記格納手段から前記圧縮手段へは、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされたＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データが出力され、
前記第１の書込み手段は、前記格納手段から一度に受取る画像データの中の輝度データＹ０、Ｙ１と、前記輝度データに対応する色差データＣｒ、Ｃｂとを分割して、第１のバンクと第３のバンクとに書込むための手段を含み、
前記第２の書込み手段は、前記格納手段から一度に受取る画像データの中の輝度データＹ２、Ｙ３と、前記輝度データに対応する色差データＣｒ、Ｃｂとを分割して、第２のバンクと第４のバンクとに書込むための手段を含む、請求項４に記載の画像処理装置。
【請求項６】
前記送出し手段は、
前記第１のバンク、前記第２のバンクおよび前記第３のバンクのデータを順次前記圧縮手段へ送出すための第１の送出し手段と、
前記第１のバンク、前記第２のバンクおよび前記第４のバンクのデータを順次前記圧縮手段へ送出すための第２の送出し手段とを含み、
前記制御手段は、前記第１の送出し手段と前記第２の送出し手段とを交互に動作させるため動作制御手段をさらに含む、請求項５に記載の画像処理装置。
【請求項７】
前記動作制御手段は、前記第１の送出し手段と前記第２の送出し手段とを交互に、かつ前記第１の書込み手段および前記第２の書込み手段のいずれかの動作とを重畳させて動作させるための手段を含む、請求項６に記載の画像処理装置。
【請求項８】
前記動作制御手段は、前記第１の送出し手段と前記第２の送出し手段とを交互に、かつ前記第１の書込み手段および前記第２の書込み手段のいずれかの動作とを、バンクの重なりがないように重畳させて動作させるための手段を含む、請求項６に記載の画像処理装置。
【請求項９】
輝度データおよび色差データを含む画像データを伸長する画像処理装置であって、
画像入力装置および画像出力装置の少なくともいずれかに接続され、伸長された画像データを格納するための格納手段と、
圧縮された画像データを伸長するための伸長手段と、
前記格納手段と前記伸長手段との間に設けられた、複数のバンクから構成されるバッファメモリと、
前記バッファメモリを制御するための制御手段とを含み、
前記制御手段は、
前記伸長手段から前記画像データを受取り、前記色差データをさらにアップサンプリングしてフォーマット変換を実行するための変換手段と、
前記複数のバンクを組合せて構成されるバンクの組を切換えて、前記伸長手段から前記バンクの中の１のバンクへの前記画像データの書込みと、前記１のバンクとは異なるバンクから前記格納手段への前記フォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含む、画像処理装置。
【請求項１０】
前記バンク切替手段は、
前記伸長手段から一度に受取る画像データの中の輝度データと色差データとを分割して、

異なるバンクに書込むための書込み手段と、
前記異なるバンクに分割して書込まれた輝度データと色差データとを組合せて前記格納手段へ送出すための送出し手段とを含む、請求項９に記載の画像処理装置。
【請求項１１】
前記送出し手段は、
前記異なるバンクに分割して書込まれた輝度データを前記格納手段へ送出すための手段と、
前記輝度データに対応する色差データを前記格納手段へ送出すための手段とを含む、請求項１０に記載の画像処理装置。
【請求項１２】
輝度データおよび色差データを含む画像データを伸長する画像処理装置であって、
画像入力装置および画像出力装置の少なくともいずれかに接続され、前記画像データを格納するための格納手段と、
圧縮された画像データを伸長するための伸長手段と、
前記格納手段と前記伸長手段との間に設けられた、４個のバンクから構成されるバッファメモリと、
前記バッファメモリを制御するための制御手段とを含み、
前記伸長手段から、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされた画像データが入力され、前記バッファメモリから前記格納手段へは、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが出力され、
前記制御手段は、
前記伸長手段から前記画像データを受取り、前記色差データをアップサンプリングしてフォーマット変換を実行するための変換手段と、
前記複数のバンクを組合せて構成されるバンクの組を切換えて、前記伸長手段から前記バンクの中の１のバンクへの前記画像データの書込みと、前記１のバンクとは異なるバンクから前記格納手段への前記フォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含み、
前記バンク切替手段は、
前記伸長手段から受取る画像データの中の輝度データと、前記輝度データに対応する色差データとを分割して、輝度データを第１のバンクおよび第２のバンクに、色差データを第３のバンクに書込むための第１の書込み手段と、
前記伸長手段から次に受取る画像データの中の輝度データと、前記輝度データに対応する色差データとを分割して、輝度データを第４のバンクおよび第１のバンクに、色差データを第３のバンクに書込むための第２の書込み手段と、
前記第１のバンク、前記第３のバンク、前記第２のバンク、前記第３のバンク、前記第４のバンク、前記第３のバンク、前記第１のバンク、前記第３のバンクの順で、画像データを前記格納手段へ送出すための送出し手段とを含む、画像処理装置。
【請求項１３】
前記伸長手段から、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされたＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データが入力され、前記バッファメモリから前記格納手段へは、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが出力され、
前記第１の書込み手段は、前記伸長手段から受取る画像データの中の輝度データＹ０、Ｙ１と、輝度データＹ２、Ｙ３と、前記輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１を第１のバンクに、輝度データＹ２、Ｙ３を第２のバンクに、色差データＣｒ、Ｃｂを第３のバンクに、それぞれ書込むための手段を含み、
前記第２の書込み手段は、前記伸長手段から次に受取る画像データの中の輝度データＹ０、Ｙ１と、輝度データＹ２、Ｙ３と、前記輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１を第４のバンクに、輝度データＹ２、Ｙ３を第１のバンクに、色差データＣｒ、Ｃｂを第３のバンクに、それぞれ書込むための手段を含む、請

求項１２に記載の画像処理装置。
【請求項１４】
前記送出し手段は、
前記第１のバンクおよび前記第３のバンク、前記第２のバンクおよび前記第３のバンクのデータを順次前記格納手段へ送出すための第１の送出し手段と、
前記第４のバンクおよび前記第３のバンク、前記第１のバンクおよび前記第３のバンクのデータを順次前記格納手段へ送出すための第２の送出し手段とを含み、
前記制御手段は、前記第１の送出し手段と前記第２の送出し手段とを交互に動作させるため動作制御手段をさらに含む、請求項１３に記載の画像処理装置。
【請求項１５】
前記動作制御手段は、前記第１の送出し手段と前記第２の送出し手段とを交互に、かつ前記第１の書込み手段および前記第２の書込み手段のいずれかの動作とを重畳させて動作させるための手段を含む、請求項１４に記載の画像処理装置。
【請求項１６】
前記動作制御手段は、前記第１の送出し手段と前記第２の送出し手段とを交互に、かつ前記第１の書込み手段および前記第２の書込み手段のいずれかの動作とを、バンクの重なりがないように重畳させて動作させるための手段を含む、請求項１４に記載の画像処理装置。
【請求項１７】
請求項１～８のいずれかに記載の画像処理装置と、請求項９～１６のいずれかに記載の画像処理装置とを含む、画像処理装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、静止画像を圧縮処理および伸長処理する画像処理装置に関し、特に、容量の小さなバッファの制御に関する。
【０００２】
【従来の技術】
近年、様々な分野においてマルチメディア技術が盛んに研究されており、その中でも膨大なデータ量を有する画像信号を符号化して転送する技術が特に重要となる。この膨大なデータ量を有する画像データを伝送したり、蓄積したりするためには、データ量を削減するデータ圧縮技術が必要不可欠になる。そのデータ圧縮技術の１つとして、ＪＰＥＧ（Ｊｏｉｎｔ Ｐｈｏｔｏｇｒａｐｈｉｃ Ｃｏｄｉｎｇ Ｅｘｐｅｒｔｓ Ｇｒｏｕｐ）方式がある。
【０００３】
ＪＰＥＧ圧縮アルゴリズムを用いた画像処理装置においては、入力された画像データを一旦メモリに格納し、ＪＰＥＧ圧縮アルゴリズムに従って８×８画素（垂直方向×水平方向）分の画像データをメモリから読み出し、離散コサイン変換を行なった後に符号化して画像圧縮データを作成している。
【０００４】
このような画像圧縮技術を応用した機器の１つであるデジタルカメラや静止画記録機能を有するデジタルビデオカメラ（以下、これらをデジタルカメラという。）においては、電荷結合素子（以下ＣＣＤ）等のイメージセンサおよび信号処理回路（ＤＳＰ）から得られたデジタル画像データをＤＲＡＭ等のメモリに一度バッファリングし、その後ＪＰＥＧ等の画像圧縮処理プロセスを経て、内部不揮発性メモリや、リムーバブルな記録メディア等に保存・記録する方式が一般的に行われている。
【０００５】
このような場合、ＣＣＤ等のイメージセンサを有するカメラ部からの撮像信号は、カメラ信号処理部で信号処理されてデジタル映像信号として出力され、メモリ制御部の制御に基づいてメモリに一旦記憶される。メモリとしては、ＤＲＡＭなどが用いられる。その後、

メモリから再び読み出して圧縮伸長処理部でＪＰＥＧ等の圧縮処理を行い、記録メディアに記録されるようになっている。

【０００６】

例としてＪＰＥＧ圧縮方式の場合を考えると、圧縮伸長処理部へのデータ入カ形式は、通常ブロックインターリープで行う必要があるため、圧縮伸長処理部の前段でラスター／ブロック変換とよばれる、線順次データから上述した８×８画素ブロックデータ形式への変換処理が行われる。

【０００７】

このようなＪＰＥＧ圧縮方式においては、画像処理の容易性やバス幅低減の観点から、Ｙ（輝度信号）、Ｕ（色差：Ｂ－Ｙ信号）、Ｖ（色差：Ｒ－Ｙ信号）の、いわゆるＹ／色差信号の形態でデジタルデータが扱われることが多い。

【０００８】

一方、最近では、パソコンとの、親和性や画質重視という面から、イメージセンサとして、６４０（水平）×４８０（垂直）の有効画素数を持つ、いわゆるＶＧＡ正方画素構成のセンサが搭載されたデジタルカメラが主流になりつつある。

【０００９】

このようなＶＧＡイメージセンサを搭載したデジタルカメラにおいては、内部Ｙ、Ｕ、Ｖデータのサンプリング比率として、いわゆる４：２：２（すなわち２：１：１）のデータ形式がとられているが、従来はカメラ信号処理部（画像データ出カ部）から、圧縮伸長処理部に至るまで、このサンプリング比率は維持されたまま処理されていた。

【００１０】

これは、ＪＰＥＧ圧縮方式においても、Ｙ：Ｕ：Ｖ＝４：２：２（すなわち２：１：１）のデータ形式が一般的であり、記録メディアに記録された圧縮画像ファイルとパソコン上での画像ビューワソフトウェアの互換性などに関する問題点を回避する意味も含んでいる。

【００１１】

従って、例えばＤＲＡＭで構成されるメモリも４：２：２（すなわち２：１：１）の比率自体は変えず、デジタルカメラにおいて扱う画素数（サイズ）に応じてメモリ容量を選択していた。

【００１２】

特開平１０－２１０５０１号公報（特許文献１）は、このようなＪＰＥＧ方式における以下のようなメモリ容量の問題点を解決するメモリ制御装置を開示する。４：２：２（すなわち２：１：１）の場合、１枚のＶＧＡ（Ｖｉｄｅｏ　Ｇｒａｐｈｉｃｓ　Ａｒｒａｙ）サイズ画像データを圧縮処理するために必要となるフレームメモリの容量は、６４０×４８０×２×８（ビット）＝４．９（Ｍビット）となるが、一般的なＤＲＡＭ容量は、４Ｍビットを超えると１６Ｍビット品となってしまうため、このような場合は必然的に４Ｍビット品を２個使用することになり、コストの増大を招いていた。このため、特許文献１に開示されたメモリ制御装置は、フレームメモリの容量を削減でき、コスト的にも有利なデジタルカメラのメモリ制御回路を開示する。

【００１３】

特許文献１に開示されたメモリの制御装置は、画像圧縮伸長処理機能を有するデジタルカメラにおいて、フレームメモリと、圧縮時において、カメラ信号処理部から出力された４：２：２サンプリングのＹ、Ｕ、Ｖデータのうち、Ｙデータはそのままで色差信号（Ｕ、Ｖ）のみを１／２ダウンサンプリングしながら、フレームメモリに４：１：１形式で書込むメモリライト回路と、ラスター／ブロック変換を行う際に、色差信号（Ｕ、Ｖ）のみをアップサンプリングしながらフレームメモリからデータを読出し、圧縮伸長処理部に対し、見掛け上、４：２：２形式のデータ数に合致したサンプリングデータを送るメモリリード回路とをふくむ。また、フレームメモリと、伸長時には、圧縮伸長処理部でデコンプレッションされた、４：２：２サンプリング形式のＹ、Ｕ、Ｖデータからなる圧縮画像データを、ブロック／ラスター変換と同時に、Ｙデータはそのままで色差信号（Ｕ、Ｖ）のみ

を１／２ダウンサンプリングしながら、フレームメモリに４：１：１形式で書込むメモリライト回路と、フレームメモリの読出し時に、色差信号（Ｕ、Ｖ）のみをアップサンプリングしながらフレームメモリからデータを読出し、表示装置に対し、見掛け上、４：２：２形式のデータ数に合致したサンプリングデータを送るメモリリード回路とを含む。

【００１４】

このメモリ制御装置によると、圧縮時または伸長時に、カメラ信号処理部または圧縮伸長処理部から出力された４：２：２サンプリングのＹ、Ｕ、Ｖデータにおいて、Ｙデータはそのままで色差信号（Ｕ、Ｖ）のみをダウンサンプリング（データ間引き）しながらＤＲＡＭ等のフレームメモリに４：１：１形式で書込み、フレームメモリ読出し時には、色差信号（Ｕ、Ｖ）のみをアップサンプリング（補間（２度読みを含む））することで、見掛け上、ＪＰＥＧ等の圧縮伸長処理部又は表示装置へ４：２：２サンプリング同等データを送るようなことができる。メモリ部以外の回路部でのデータ処理は、一般的な４：２：２配列データとして処理し、ＤＲＡＭ等のフレームメモリへの書込みフォーマットのみを４：１：１に対応させるので、例えばＶＧＡサイズのイメージセンサの場合のメモリへの画像データ量は、６４０×４８０×１．５×８＝３．６９（Ｍビット）となり、４Ｍ（ビット）のＤＲＡＭ容量を下回ることになるから、４Ｍ（ビット）ＤＲＡＭを１個だけ使えばよく、また人間の視覚上の特性から、Ｙ（輝度信号）にくらべ比較的帯域が狭い色情報のデータのみを削減するので、視覚上の解像度低下や違和感をほとんど感じずに、ＶＧＡサイズの画像データを扱うことが可能となる。

【００１５】

【特許文献１】

特開平１０－２１０５０１号公報

【００１６】

【発明が解決しようとする課題】

しかしながら、一般的な４：２：２配列データとして処理しながら、フレームメモリへの書込みフォーマットのみを４：１：１に対応させることにより、メモリへ書き込む画像データ量を削減できても、フレームメモリにデータを連続的に書き込んだり読み込んだりするためのバッファの容量を削減することにならない。

【００１７】

本発明は、上述の課題を解決するためになされたものであって、その目的は、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することである。

【００１８】

【課題を解決するための手段】

第１の発明に係る画像処理装置は、輝度データおよび色差データを含む画像データを圧縮する。この画像処理装置は、画像入力装置および画像出力装置の少なくともいずれかに接続され、画像データを格納するための格納手段と、画像データを圧縮するための圧縮手段と、格納手段と圧縮手段との間に設けられた、複数のバンクから構成されるバッファメモリと、バッファメモリを制御するための制御手段とを含む。制御手段は、格納手段から画像データを受取り、色差データをダウンサンプリングしてフォーマット変換を実行するための変換手段と、複数のバンクを組合せて構成されるバンクの組を切換えて、格納手段からバンクの中の１のバンクへの画像データの書込みと、１のバンクとは異なるバンクから圧縮手段へのフォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含む。

【００１９】

第１の発明によると、画像データを格納した格納手段であるフレームメモリから圧縮手段であるＪＰＥＧコアに、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換して転送する。このときフレームメモリとＪＰＥＧコアとの間に設けられるバッファメモリは、制御手段により制御される。このとき、フレームメモリから一度に受取る４バイト分の画像データの中の輝度データＹ０、Ｙ

１と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第１のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。格納手段から一度に受取る４バイト分の画像データの中の輝度データＹ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ２、Ｙ３が第２のバンクに、色差データＣｒ、Ｃｂが第４のバンクに書込まれる。バッファメモリからＪＰＥＧコアに、第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）、第３のバンク（Ｃｒ、Ｃｂ）を１つの組として送出される。これにより、４：２：２フォーマットを４：２：０フォーマットに変換できる。また、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。

【００２０】

第２の発明に係る画像処理装置においては、第１の発明の構成に加えて、バンク切替手段は、格納手段から一度に受取る画像データの中の輝度データと色差データとを分割して、異なるバンクに書込むための書込み手段と、異なるバンクに分割して書込まれた輝度データを連続して圧縮手段へ送出すための送出し手段とを含む。

【００２１】

第２の発明によると、色差データをダウンサンプリングする場合（たとえば、Ｙ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０にダウンサンプリングする場合）、バッファメモリからＪＰＥＧコアに、第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）の輝度データを連続して、ＪＰＥＧコアに送出できる。

【００２２】

第３の発明に係る画像処理装置においては、第２の発明の構成に加えて、送出し手段は、異なるバンクに分割して書込まれた輝度データを連続して圧縮手段へ送出すための手段と、連続した輝度データに対応する色差データを圧縮手段へ送出すための手段とを含む。

【００２３】

第３の発明によると、色差データをダウンサンプリングする場合（たとえば、Ｙ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０にダウンサンプリングする場合）、バッファメモリからＪＰＥＧコアに、第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）の輝度データを、さらに輝度データＹ０、Ｙ１、Ｙ２、Ｙ３に対応するに色差データＣｒ、Ｃｂを、ＪＰＥＧコアに送出できる。

【００２４】

第４の発明に係る画像処理装置は、輝度データおよび色差データを含む画像データを圧縮する。この画像処理装置は、画像入力装置および画像出力装置の少なくともいずれかに接続され、画像データを格納するための格納手段と、画像データを圧縮するための圧縮手段と、格納手段と圧縮手段との間に設けられた、４個のバンクから構成されるバッファメモリと、バッファメモリを制御するための制御手段とを含む。格納手段から、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが入力され、格納手段から圧縮手段へは、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされた画像データが出力される。制御手段は、格納手段から画像データを受取り、色差データをダウンサンプリングしてフォーマット変換を実行するための変換手段と、複数のバンクを組合せて構成されるバンクの組を切換えて、格納手段からバンクの中の１のバンクへの画像データの書込みと、１のバンクとは異なるバンクから圧縮手段へのフォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含む。バンク切替手段は、格納手段から一度に受取る画像データの中の輝度データと、輝度データに対応する色差データとを分割して、第１のバンクと第３のバンクとに書込むための第１の書込み手段と、格納手段から一度に受取る画像データの中の輝度データと、輝度データに対応する色差データとを分割して、第２のバンクと第４のバンクとに書込むための第２の書込み手段と、第１のバンク、第２のバンク、第３のバンク、第１のバンク、第２のバンク、第４のバンクの順で、画像データを圧縮手段へ送出すための送出し手段とを含む。

【００２５】

第４の発明によると、画像データを格納した格納手段であるフレームメモリから圧縮手段であるＪＰＥＧコアに、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換して転送する。このときフレームメモリとＪＰＥＧコアとの間に設けられるバッファメモリは、制御手段により制御される。このとき、フレームメモリから一度に受取る４バイト分の画像データの中の輝度データＹ０、Ｙ１と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第１のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。格納手段から一度に受取る４バイト分の画像データの中の輝度データＹ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ２、Ｙ３が第２のバンクに、色差データＣｒ、Ｃｂが第４のバンクに書込まれる。バッファメモリからＪＰＥＧコアに、第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）、第３のバンク（Ｃｒ、Ｃｂ）を１つの組として、次に第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）、第４のバンク（Ｃｒ、Ｃｂ）を１つの組として送出される。これにより、４：２：２フォーマットを４：２：０フォーマットに変換できる。また、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。

【００２６】

第５の発明に係る画像処理装置においては、第４の発明の構成に加えて、格納手段から、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが入力され、格納手段から圧縮手段へは、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされたＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データが出力される。第１の書込み手段は、格納手段から一度に受取る画像データの中の輝度データＹ０、Ｙ１と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、第１のバンクと第３のバンクとに書込むための手段を含む。第２の書込み手段は、格納手段から一度に受取る画像データの中の輝度データＹ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、第２のバンクと第４のバンクとに書込むための手段を含む。

【００２７】

第５の発明によると、画像データを格納した格納手段であるフレームメモリから圧縮手段であるＪＰＥＧコアに、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換して転送することができるとともに、４バイト×１２８×２バンク必要だったバッファメモリの容量が２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。

【００２８】

第６の発明に係る画像処理装置においては、第５の発明の構成に加えて、送出し手段は、第１のバンク、第２のバンクおよび第３のバンクのデータを順次圧縮手段へ送出すための第１の送出し手段と、第１のバンク、第２のバンクおよび第４のバンクのデータを順次圧縮手段へ送出すための第２の送出し手段とを含む。制御手段は、第１の送出し手段と第２の送出し手段とを交互に動作させるため動作制御手段をさらに含む。

【００２９】

第６の発明によると、第１の送出し手段と第２の送出し手段とが交互に動作されるので、サイクルタイムの短縮を図ることができる。

【００３０】

第７の発明に係る画像処理装置においては、第６の発明の構成に加えて、動作制御手段は、第１の送出し手段と第２の送出し手段とを交互に、かつ第１の書込み手段および第２の書込み手段のいずれかの動作とを重畳させて動作させるための手段を含む。

【００３１】

第７の発明によると、送出し手段と書込み手段とが重畳させて動作されるので、サイクルタイムの短縮を図ることができる。

【００３２】
第８の発明に係る画像処理装置においては、第６の発明の構成に加えて、動作制御手段は、第１の送出し手段と第２の送出し手段とを交互に、かつ第１の書込み手段および第２の書込み手段のいずれかの動作とを、バンクの重なりがないように重畳させて動作させるための手段を含む。
【００３３】
第８の発明によると、バンクの重なりが発生することなく、バンクからの送出しとバンクへの書込みとを重畳させた状態で動作されるので、サイクルタイムの短縮を図ることができる。
【００３４】
第９の発明に係る画像処理装置は、輝度データおよび色差データを含む画像データを伸長する。この画像処理装置は、画像入力装置および画像出力装置の少なくともいずれかに接続され、伸長された画像データを格納するための格納手段と、圧縮された画像データを伸長するための伸長手段と、格納手段と伸長手段との間に設けられた、複数のバンクから構成されるバッファメモリと、バッファメモリを制御するための制御手段とを含む。制御手段は、伸長手段から画像データを受取り、色差データをさらにアップサンプリングしてフォーマット変換を実行するための変換手段と、複数のバンクを組合せて構成されるバンクの組を切換えて、伸長手段からバンクの中の１のバンクへの画像データの書込みと、１のバンクとは異なるバンクから格納手段へのフォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含む。
【００３５】
第９の発明によると、圧縮された画像データの伸長手段であるＪＰＥＧコアから画像データを格納する格納手段であるフレームメモリへ、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データがＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換されて圧縮された後に伸長された画像データが転送される。このときフレームメモリとＪＰＥＧコアとの間に設けられるバッファメモリは、制御手段により制御される。このとき、ＪＰＥＧコアから一度に受取る輝度データＹ０、Ｙ１、Ｙ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第１のバンクに、輝度データＹ２、Ｙ３が第２のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。ＪＰＥＧコアから次に一度に受取る輝度データＹ０、Ｙ１、Ｙ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第４のバンクに、輝度データＹ２、Ｙ３が第１のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。バッファメモリからフレームメモリに、第１のバンク（Ｙ０、Ｙ１）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第２のバンク（Ｙ２、Ｙ３）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第４のバンク（Ｙ０、Ｙ１）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第１のバンク（Ｙ２、Ｙ３）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出される。これにより、４：２：０フォーマットを４：２：２フォーマットに変換できる。また、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。
【００３６】
第１０の発明に係る画像処理装置においては、第９の発明の構成に加えて、バンク切替手段は、伸長手段から一度に受取る画像データの中の輝度データと色差データとを分割して、異なるバンクに書込むための書込み手段と、異なるバンクに分割して書込まれた輝度データと色差データとを組合せて格納手段へ送出すための送出し手段とを含む。
【００３７】
第１０の発明によると、色差データをアップサンプリングする場合（たとえば、Ｙ：Ｕ：Ｖ＝４：２：０の画像データをＹ：Ｕ：Ｖ＝４：２：２にアップサンプリングする場合）、ＪＰＥＧコアからバッファメモリに、第１のバンク（Ｙ０、Ｙ１）の輝度データと第３

のバンク（Ｃｒ、Ｃｂ）の色差データを組合せて、さらに第２のバンク（Ｙ２、Ｙ３）の輝度データと第３のバンク（Ｃｒ、Ｃｂ）の色差データを組合せてＪＰＥＧコアに送出できる。

【００３８】

第１１の発明に係る画像処理装置においては、第１０の発明の構成に加えて、送出し手段は、異なるバンクに分割して書込まれた輝度データを格納手段へ送出すための手段と、輝度データに対応する色差データを格納手段へ送出すための手段とを含む。

【００３９】

第１１の発明によると、色差データをアップサンプリングする場合（たとえば、Ｙ：Ｕ：Ｖ＝４：２：０の画像データをＹ：Ｕ：Ｖ＝４：２：２にアップサンプリングする場合）、ＪＰＥＧコアからバッファメモリに、第１のバンク（Ｙ０、Ｙ１）の輝度データと第３のバンク（Ｃｒ、Ｃｂ）の色差データを組合せて、さらに第２のバンク（Ｙ２、Ｙ３）の輝度データと第３のバンク（Ｃｒ、Ｃｂ）の色差データを組合せて、さらに第４のバンク（Ｙ０、Ｙ１）の輝度データと第３のバンク（Ｃｒ、Ｃｂ）の色差データを組合せて、さらに第１のバンク（Ｙ２、Ｙ３）の輝度データと第３のバンク（Ｃｒ、Ｃｂ）の色差データを組合せて送出できる。

【００４０】

第１２の発明に係る画像処理装置は、輝度データおよび色差データを含む画像データを伸長する。この画像処理装置は、画像入力装置および画像出力装置の少なくともいずれかに接続され、画像データを格納するための格納手段と、圧縮された画像データを伸長するための伸長手段と、格納手段と伸長手段との間に設けられた、４個のバンクから構成されるバッファメモリと、バッファメモリを制御するための制御手段とを含む。伸長手段から、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされた画像データが入力され、バッファメモリから格納手段へは、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが出力される。制御手段は、伸長手段から画像データを受取り、色差データをアップサンプリングしてフォーマット変換を実行するための変換手段と、複数のバンクを組合せて構成されるバンクの組を切換えて、伸長手段からバンクの中の１のバンクへの画像データの書込みと、１のバンクとは異なるバンクから格納手段へのフォーマット変換される画像データの送出しとを重畳させて実行するためのバンク切替手段とを含む。バンク切替手段は、伸長手段から受取る画像データの中の輝度データと、輝度データに対応する色差データとを分割して、輝度データを第１のバンクおよび第２のバンクに、色差データを第３のバンクに書込むための第１の書込み手段と、伸長手段から次に受取る画像データの中の輝度データと、輝度データに対応する色差データとを分割して、輝度データを第４のバンクおよび第１のバンクに、色差データを第３のバンクに書込むための第２の書込み手段と、第１のバンク、第３のバンク、第２のバンク、第３のバンク、第４のバンク、第３のバンク、第１のバンク、第３のバンクの順で、画像データを格納手段へ送出すための送出し手段とを含む。

【００４１】

第１２の発明によると、圧縮された画像データの伸長手段であるＪＰＥＧコアから画像データを格納する格納手段であるフレームメモリへ、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データがＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換されて圧縮された後に伸長された画像データが転送される。このときフレームメモリとＪＰＥＧコアとの間に設けられるバッファメモリは、制御手段により制御される。このとき、ＪＰＥＧコアから一度に受取る輝度データＹ０、Ｙ１、Ｙ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第１のバンクに、輝度データＹ２、Ｙ３が第２のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。ＪＰＥＧコアから次に一度に受取る輝度データＹ０、Ｙ１、Ｙ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第４のバンクに、輝度データＹ２、Ｙ３が第１のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。バッファメモリからフレームメモリに、第１のバンク（Ｙ０、Ｙ１）と第３のバンク（Ｃｒ、

Ｃｂ）とが１つの組として送出され、次に第２のバンク（Ｙ２、Ｙ３）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第４のバンク（Ｙ０、Ｙ１）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第１のバンク（Ｙ２、Ｙ３）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出される。これにより、４：２：０フォーマットを４：２：２フォーマットに変換できる。また、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。

【００４２】

第１３の発明に係る画像処理装置においては、第１２の発明の構成に加えて、伸長手段から、Ｙ：Ｕ：Ｖ＝４：２：２よりも色差信号（Ｕ、Ｖ）のみがダウンサンプリングされたＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データが入力され、バッファメモリから格納手段へは、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが出力される。第１の書込み手段は、伸長手段から受取る画像データの中の輝度データＹ０、Ｙ１と、輝度データＹ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１を第１のバンクに、輝度データＹ２、Ｙ３を第２のバンクに、色差データＣｒ、Ｃｂを第３のバンクに、それぞれ書込むための手段を含む。第２の書込み手段は、伸長手段から次に受取る画像データの中の輝度データＹ０、Ｙ１と、輝度データＹ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１を第４のバンクに、輝度データＹ２、Ｙ３を第１のバンクに、色差データＣｒ、Ｃｂを第３のバンクに、それぞれ書込むための手段を含む。

【００４３】

第１３の発明によると、圧縮された画像データの伸長手段であるＪＰＥＧコアから画像データを格納する格納手段であるフレームメモリへ、たとえばＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データをＹ：Ｕ：Ｖ＝４：２：２にフォーマット変換して転送することができるとともに、４バイト×１２８×２バンク必要だったバッファメモリの容量が２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。

【００４４】

第１４の発明に係る画像処理装置においては、第１３の発明の構成に加えて、送出し手段は、第１のバンクおよび第３のバンク、第２のバンクおよび第３のバンクのデータを順次格納手段へ送出すための第１の送出し手段と、第４のバンクおよび第３のバンク、第１のバンクおよび第３のバンクのデータを順次格納手段へ送出すための第２の送出し手段とを含む。制御手段は、第１の送出し手段と第２の送出し手段とを交互に動作させるため動作制御手段をさらに含む。

【００４５】

第１４の発明によると、第１の送出し手段と第２の送出し手段とが交互に動作されるので、サイクルタイムの短縮を図ることができる。

【００４６】

第１５の発明に係る画像処理装置においては、第１４の発明の構成に加えて、動作制御手段は、第１の送出し手段と第２の送出し手段とを交互に、かつ第１の書込み手段および第２の書込み手段のいずれかの動作とを重畳させて動作させるための手段を含む。

【００４７】

第１５の発明によると、送出し手段と書込み手段とが重畳させて動作されるので、サイクルタイムの短縮を図ることができる。

【００４８】

第１６の発明に係る画像処理装置においては、第１４の発明の構成に加えて、動作制御手段は、第１の送出し手段と第２の送出し手段とを交互に、かつ第１の書込み手段および第２の書込み手段のいずれかの動作とを、バンクの重なりがないように重畳させて動作させるための手段を含む。

【００４９】
第１６の発明によると、バンクの重なりが発生することなく、バンクからの送出しとバンクへの書込みとを重畳させた状態で動作されるので、サイクルタイムの短縮を図ることができる。
【００５０】
第１７の発明に係る画像処理装置においては、第１～８のいずれかに記載の画像処理装置と、第９～１６のいずれかに記載の画像処理装置とを含む。
【００５１】
第１７の発明によると、画像データの圧縮時においては、画像データを格納した格納手段であるフレームメモリから圧縮手段であるＪＰＥＧコアに、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換して転送することができるとともに、４バイト×１２８×２バンク必要だったバッファメモリの容量が２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧの画像データ圧縮処理のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。画像データの伸長時においては、圧縮された画像データの伸長手段であるＪＰＥＧコアから画像データを格納するフレームメモリへ、たとえばＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データをＹ：Ｕ：Ｖ＝４：２：２にフォーマット変換して転送することができるとともに、４バイト×１２８×２バンク必要だったバッファメモリの容量が２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。このように、画像データの圧縮時と伸長時とで、同じ構成のバッファメモリを用いた画像処理装置を実現できる。
【００５２】
【発明の実施の形態】
以下、図面を参照しつつ、本発明の実施の形態について説明する。以下の説明では、同一の部品には同一の符号を付してある。それらの名称および機能も同じである。したがってそれらについての詳細な説明は繰返さない。
【００５３】
図１に、本実施の形態に係る画像処理装置の制御ブロックを示す。なお、本実施の形態に係る画像処理装置は、Ｙ：Ｕ：Ｖ＝４：２：２の画像データと、Ｙ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データとの間のフォーマット変換することができるが、以下においては、Ｙ：Ｕ：Ｖ＝４：２：２の画像データと、Ｙ：Ｕ：Ｖ＝４：２：０の画像データとの間のフォーマット変換の場合について説明する。
【００５４】
図１に示すように、本実施の形態に係る画像処理装置は、フレームメモリ１０００と、フレームメモリ１０００に接続されたデジタルカメラなどの入力装置５０００および液晶表示部などの出力装置５０００と、メモリ制御部２０００と、ＪＰＥＧコアである圧縮伸長処理部４０００と、メモリ制御部２０００により制御されるバッファメモリ３０００と、圧縮伸長処理部４０００に接続され、各種記録媒体に圧縮データを書込んだり、各種記録媒体から圧縮データを読込んだりする記録装置６０００とを含む。バッファメモリ３０００は、第１のバンク３１００、第２のバンク３２００、第３のバンク３３００、第４のバンク３４００から構成される。このバッファメモリ３０００は、２バイト（１６ビット）×６４ワード×４バンクの構成である。
【００５５】
メモリ制御部２０００を介して、フレームメモリ１０００からバッファメモリ３０００には、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが入力され、バッファメモリ３０００から圧縮伸長処理部４０００には、Ｙ：Ｕ：Ｖ＝４：２：０の画像データが入力される。これにより、詳しくは後述するフォーマット変換を行なうことができる。
【００５６】
なお、本願において、色差信号（Ｕ、Ｖ）のデジタルデータと色差データ（Ｃｂ、Ｃｒ）

とは同じ意味で用いる。

【００５７】

さらに図を用いて本実施の形態に係る画像処理装置の特徴的なバッファメモリ３０００の構成について説明する。

【００５８】

図２に、データ圧縮時に、４つのバンクに記憶されるデータの内容を示す。図２に示すように、第１のバンク３１００（図２に（ａ）で示す）には、輝度データＹ０（８ビット）およびＹ１（８ビット）、第２のバンク３２００（図２に（ｂ）で示す）には、輝度データＹ２（８ビット）およびＹ３（８ビット）、第３のバンク３３００（図２に（ｃ）で示す）には、輝度データＹ０およびＹ１に対応する色差データＣｒ（８ビット）およびＣｂ（８ビット）が、第４のバンク３４００（図２に（ｄ）で示す）には、輝度データＹ２およびＹ３に対応する色差データＣｒ（８ビット）およびＣｂ（８ビット）が、それぞれ格納される。

【００５９】

これに対して、従来、Ｙ：Ｕ：Ｖ＝４：２：２の画像データが入力された場合のバッファメモリに記憶されるデータの内容を示す。図３に示すように、従来のバッファメモリは、同じ構造を有する２つのバンクから構成される。１つのバンクあたり４バイト×１２８であって、上のバンクに、輝度データＹ０（８ビット）およびＹ１（８ビット）、輝度データＹ０およびＹ１に対応する色差データＣｒ（８ビット）およびＣｂ（８ビット）とが、輝度データＹ２（８ビット）およびＹ３（８ビット）、輝度データＹ２およびＹ３に対応する色差データＣｒ（８ビット）およびＣｂ（８ビット）とが、それぞれ格納される。このようなバンク構成において、Ｙ：Ｕ：Ｖ＝４：２：０の画像データにフォーマット変換される場合には、上のバンクの輝度データＹ０およびＹ１、輝度データＹ０およびＹ１に対応する色差データＣｒおよびＣｂとを読込んで、次に、上のバンクの輝度データＹ２およびＹ３、輝度データＹ２およびＹ３に対応する色差データＣｒおよびＣｂとを読込んで、輝度データＹ０、Ｙ１、Ｙ２、Ｙ３および色差データＣｒ、Ｃｂの各データを圧縮伸長処理部４０００に送出す。

【００６０】

図４に示すように、あるタイミングでは、上側に示すように、４個のバンクから、輝度データＹ０、Ｙ１、Ｙ２、Ｙ３および色差データＣｒ、Ｃｂの各データが、次のタイミングでは、下側に示すように、４個のバンクから、輝度データＹ０、Ｙ１、Ｙ２、Ｙ３および色差データＣｒ、Ｃｂの各データが、圧縮伸長処理部４０００に送出される。このとき、３個から構成されるバンクの組が順次切替られて、フォーマット変換処理が実行される。

【００６１】

このように、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、本実施の形態に係る画像処理装置のバッファメモリ３０００は、２バイト×６４×４バンクの容量で済む。

【００６２】

図５に、データ伸長時に、４つのバンクに記憶されるデータの内容の遷移図を示す。

【００６３】

図５（Ａ）に示すように、まず、圧縮伸長処理部４０００からバッファメモリ３０００に入力される伸長後のＹ：Ｕ：Ｖ＝４：２：０の画像データの中の、輝度データＹ０およびＹ１が第１のバンク３１００（図５に（ａ）で示す）に、輝度データＹ２およびＹ３が第２のバンク３２００（図５に（ｂ）で示す）に、輝度データＹ０、Ｙ１、Ｙ２、Ｙ３に対応する色差データＣｒ、Ｃｂが第３のバンク３３００（図５に（ｃ）で示す）に格納される。この状態になると、輝度データＹ０およびＹ１が第１のバンク３１００からフレームメモリ３０００に、輝度データＹ０、Ｙ１に対応する色差データＣｒ、Ｃｂが第３のバンク３１００からフレームメモリ３０００に送出される。輝度データＹ２およびＹ３が第２のバンク３２００からフレームメモリ３０００に、輝度データＹ２、Ｙ３に対応する色差データＣｒ、Ｃｂが第３のバンク３１００からフレームメモリ３０００に送出される。

【００６４】
次に、圧縮伸長処理部４０００からバッファメモリ３０００に入力される伸長後のＹ：Ｕ：Ｖ＝４：２：０の画像データの中の、輝度データＹ０およびＹ１が第４のバンク３４００（図５に（ｄ）で示す）に格納される。
【００６５】
次に、図５（Ｂ）に示すように、圧縮伸長処理部４０００からバッファメモリ３０００に入力される伸長後のＹ：Ｕ：Ｖ＝４：２：０の画像データの中の、輝度データＹ２およびＹ３が第１のバンク３２００に、輝度データＹ０、Ｙ１、Ｙ２、Ｙ３に対応する色差データＣｒ、Ｃｂが第３のバンク３３００に格納される。この状態になると、輝度データＹ０およびＹ１が第４のバンク３４００からフレームメモリ３０００に、輝度データＹ０、Ｙ１に対応する色差データＣｒ、Ｃｂが第３のバンク３１００からフレームメモリ３０００に送出される。輝度データＹ２およびＹ３が第１のバンク３１００からフレームメモリ３０００に、輝度データＹ２、Ｙ３に対応する色差データＣｒ、Ｃｂが第３のバンク３１００からフレームメモリ３０００に送出される。
【００６６】
次に、圧縮伸長処理部４０００からバッファメモリ３０００に入力される伸長後のＹ：Ｕ：Ｖ＝４：２：０の画像データの中の、輝度データＹ０およびＹ１が第２のバンク３２００に、輝度データＹ２およびＹ３が第４のバンク３４００に、格納される。
【００６７】
以下、図５（Ｃ）～図５（Ｇ）に示すように、このようなバンク切替が繰返し実行される。このようにメモリ制御部２０００がバッファメモリ３０００を制御するので、第１のバンク３１００、第２のバンク３２００および第４のバンク３４００は、輝度データＹ０、Ｙ１が格納されるときと、輝度データＹ２、Ｙ３が格納されるときとが、繰返されて切替えられることになる。
【００６８】
本実施の形態に係る画像処理装置について、さらに詳しく説明する。
図６に、Ｙ：Ｕ：Ｖ＝４：４：４のＶＧＡ画像のデータ構造を示す。図６に示すように、６４０画素×４８０画素のＶＧＡ画像は、横８０個、縦６０個の合計４８００個のＭＣＵ（８画素×８画素）に分割され、ダウンサンプリングされることなく、圧縮伸長処理が行なわれる。また、図６に示すように、このＹ：Ｕ：Ｖ＝４：４：４のＶＧＡ画像においては、４８００個のＭＣＵ毎に、輝度成分Ｙ、色差成分Ｕ（色差：Ｂ－Ｙ成分、Ｃｂ）、色差成分Ｖ（色差：Ｒ－Ｙ成分、Ｃｒ）の３成分を８ビットずつ有する。このようなダウンサンプリングしない場合には、データ量が多くなるので、本実施の形態の画像処理装置においてもフレームメモリ１０００から入力される画像データは、色差成分がダウンサンプリングされているＹ：Ｕ：Ｖ＝４：２：２のデータである。このＹ：Ｕ：Ｖ＝４：２：２のＶＧＡ画像のデータ構造について、図７を用いて説明する。
【００６９】
図７に、Ｙ：Ｕ：Ｖ＝４：２：２のＶＧＡ画像のデータ構造を示す。図７に示すように、６４０画素×４８０画素のＶＧＡ画像は、横４０個、縦６０個の合計２４００個のＭＣＵ（１６画素×８画素）に分割され、色差成分がダウンサンプリングされて、圧縮伸長処理が行なわれる。また、図７に示すように、このＹ：Ｕ：Ｖ＝４：２：２のＶＧＡ画像においては、２４００個のＭＣＵ毎に、輝度成分Ｙ、色差成分Ｕ（色差：Ｂ－Ｙ成分、Ｃｂ）、色差成分Ｖ（色差：Ｒ－Ｙ成分、Ｃｒ）の３成分を８ビットずつ有する。ただし、後述するように、色差成分は横方向で共通する色差データが用いられる。さらに、データ量が削減するために、本実施の形態の画像処理装置においてはバッファメモリ３０００から出力される画像データは、Ｙ：Ｕ：Ｖ＝４：２：２のデータの色差成分がさらにダウンサンプリングされているＹ：Ｕ：Ｖ＝４：２：０のデータである。このＹ：Ｕ：Ｖ＝４：２：０のＶＧＡ画像のデータ構造について、図８を用いて説明する。
【００７０】
図８に、Ｙ：Ｕ：Ｖ＝４：２：０のＶＧＡ画像のデータ構造を示す。図８に示すように、

６４０画素×４８０画素のＶＧＡ画像は、横４０個、縦３０個の合計１２００個のＭＣＵ（１６画素×１６画素）に分割され、色差成分がダウンサンプリングされて、圧縮伸長処理が行なわれる。また、図８に示すように、このＹ：Ｕ：Ｖ＝４：２：０のＶＧＡ画像においては、１２００個のＭＣＵ毎に、輝度成分Ｙ、色差成分Ｕ（色差：Ｂ－Ｙ成分、Ｃｂ）、色差成分Ｖ（色差：Ｒ－Ｙ成分、Ｃｒ）の３成分を８ビットずつ有する。ただし、後述するように、色差成分は横方向および縦方向で共通する色差データが用いられる。さらに、データ量が削減するために、本実施の形態の画像処理装置においてはバッファメモリ３０００から出力される画像データは、Ｙ：Ｕ：Ｖ＝４：２：０のデータの色差成分がさらにダウンサンプリングされているＹ：Ｕ：Ｖ＝４：１：１のデータであってもい。このＹ：Ｕ：Ｖ＝４：１：１のＶＧＡ画像のデータ構造について、図９を用いて説明する。

【００７１】

図９に、Ｙ：Ｕ：Ｖ＝４：１：１のＶＧＡ画像のデータ構造を示す。図９に示すように、６４０画素×４８０画素のＶＧＡ画像は、横２０個、縦６０個の合計１２００個のＭＣＵ（３２画素×８画素）に分割され、色差成分がダウンサンプリングされて、圧縮伸長処理が行なわれる。また、図９に示すように、このＹ：Ｕ：Ｖ＝４：２：０のＶＧＡ画像においては、１２００個のＭＣＵ毎に、輝度成分Ｙ、色差成分Ｕ（色差：Ｂ－Ｙ成分、Ｃｂ）、色差成分Ｖ（色差：Ｒ－Ｙ成分、Ｃｒ）の３成分を８ビットずつ有する。ただし、後述するように、色差成分は横方向で共通する色差データが用いられる。

【００７２】

図６に示したダウサンプリングされない画像データの大きさに鑑み、図７に示したＹ：Ｕ：Ｖ＝４：２：２、図８に示したＹ：Ｕ：Ｖ＝４：２：０、図９に示したＹ：Ｕ：Ｖ＝４：１：１のフォーマットが準備されている。

【００７３】

図１０に、図６に対応する、Ｙ：Ｕ：Ｖ＝４：４：４である場合の圧縮伸長処理の対象のブロックを示す。８画素×８画素のＭＣＵが処理単位である。

【００７４】

図１１に、図７に対応する、Ｙ：Ｕ：Ｖ＝４：２：２である場合の圧縮伸長処理の対象のブロックを示す。１６画素×８画素のＭＣＵが処理単位である。このとき、横方向に色差データが１／２ダウンサンプリングされるので、間引き対象でない画素が黒で示され、間引き対象である画素が白で示される。元の色差データに対して、横方向に隣接する２画素に共通の色差データが用いられて、圧縮伸長処理が行なわれる。

【００７５】

図１２に、図８に対応する、Ｙ：Ｕ：Ｖ＝４：２：０である場合の圧縮伸長処理の対象のブロックを示す。１６画素×１６画素のＭＣＵが処理単位である。このとき、横方向および縦方向に色差データが１／２ずつダウンサンプリング（合計１／４ダウンサンプリング）されるので、間引き対象でない画素が黒で示され、間引き対象である画素が白で示される。元の色差データに対して、横方向および縦方向に隣接する４画素に共通の色差データが用いられて、圧縮伸長処理が行なわれる。

【００７６】

図１３に、図９に対応する、Ｙ：Ｕ：Ｖ＝４：１：１である場合の圧縮伸長処理の対象のブロックを示す。３２画素×８画素のＭＣＵが処理単位である。このとき、横方向に色差データが１／４ダウンサンプリングされるので、間引き対象でない画素が黒で示され、間引き対象である画素が白で示される。元の色差データに対して、横方向に隣接する４画素に共通の色差データが用いられて、圧縮伸長処理が行なわれる。

【００７７】

図１４に、図６および図１０に対応する、Ｙ：Ｕ：Ｖ＝４：４：４である場合の、画像データの入力順を示す。処理単位である８画素×８画素のＭＣＵについて、Ｙ成分、Ｕ成分、Ｖ成分の順で入力される。

【００７８】

図１５に、図７および図１１に対応する、Ｙ：Ｕ：Ｖ＝４：２：２である場合の、画像デ

ータの入力順を示す。処理単位である１６画素×８画素のＭＣＵについて、Ｙ成分、Ｕ成分、Ｖ成分の順で入力される。このとき、色差データであるＵ成分とＶ成分とは、横方向に１／２ダウンサンプリングされるので、Ｕ成分データおよびＶ成分データの入力順において入力される色差データは、横方向の２個に１個になる。

【００７９】

図１６に、図８および図１２に対応する、Ｙ：Ｕ：Ｖ＝４：２：０である場合の、画像データの入力順を示す。処理単位である１６画素×１６画素のＭＣＵについて、Ｙ成分、Ｕ成分、Ｖ成分の順で入力される。このとき、色差データであるＵ成分とＶ成分とは、横方向に１／２ダウンサンプリングおよび縦方向に１／２ダウンサンプリングされるので、Ｕ成分データおよびＶ成分データの入力順において入力される色差データは、横方向の２個に１個に、縦方向の２個に１個になる。

【００８０】

図１７に、図９および図１３に対応する、Ｙ：Ｕ：Ｖ＝４：１：１である場合の、画像データの入力順を示す。処理単位である３２画素×８画素のＭＣＵについて、Ｙ成分、Ｕ成分、Ｖ成分の順で入力される。このとき、色差データであるＵ成分とＶ成分とは、横方向に１／４ダウンサンプリングされるので、Ｕ成分データおよびＶ成分データの入力順において入力される色差データは、横方向の４個に１個になる。

【００８１】

図１８に、図７、図１１および図１５に対応する、Ｙ：Ｕ：Ｖ＝４：２：２である場合の、画像データのフォーマットとメモリ上の構成を示す。フォーマットは、輝度データであるＹ０’およびＹ１’と、輝度データであるＹ０’およびＹ１’に対応するダウンサンプリングされた色差データＣｂ、Ｃｒとから構成される。メモリ上においては、１ライン１列を１ワードとして、輝度データＹ０’、色差データＣｂ、輝度データＹ１’、色差データＣｒになる。

【００８２】

図１９に、図８、図１２および図１６に対応する、Ｙ：Ｕ：Ｖ＝４：２：０である場合の、画像データのフォーマットとメモリ上の構成を示す。フォーマットは、輝度データであるＹ０’、Ｙ１’、Ｙ２’およびＹ３’（２画素×２画素の４画素分）と、輝度データであるＹ０’、Ｙ１’、Ｙ２’およびＹ３’に対応するダウンサンプリングされた色差データＣｂ、Ｃｒとから構成される。メモリ上においては、１ライン１列を１ワードとして、０ライン目として、輝度データＹ０’、色差データＣｂ、輝度データＹ１’、色差データＣｒに、１ライン目として、輝度データＹ２’、色差データＣｂ、輝度データＹ３’、色差データＣｒになる。ここで、丸印が付与された色差データは用いられない。

【００８３】

図２０に、図９、図１３および図１７に対応する、Ｙ：Ｕ：Ｖ＝４：１：１である場合の、画像データのフォーマットとメモリ上の構成を示す。フォーマットは、輝度データであるＹ０’、Ｙ１’、Ｙ２’およびＹ３’（１画素×４画素の４画素分）と、輝度データであるＹ０’、Ｙ１’、Ｙ２’およびＹ３’に対応するダウンサンプリングされた色差データＣｂ、Ｃｒとから構成される。メモリ上においては、１ライン１列を１ワードとして、１ライン目の１列目として、輝度データＹ０’、色差データＣｂ、輝度データＹ１’、色差データＣｒに、１ライン目の２列目として、輝度データＹ２’、色差データＣｂ、輝度データＹ３’、色差データＣｒになる。ここで、丸印が付与された色差データは用いられない。

【００８４】

図２１に、図７、図１１、図１５および図１８に対応する、Ｙ：Ｕ：Ｖ＝４：２：２である場合の、メモリ使用イメージを、図２２に、図８、図１２、図１６および図１９に対応する、Ｙ：Ｕ：Ｖ＝４：２：０である場合の、メモリ使用イメージを、図２３に、図９、図１３、図１７および図２０に対応する、Ｙ：Ｕ：Ｖ＝４：１：１である場合の、メモリ使用イメージを、それぞれ示す。

【００８５】

以上のような構造であって、メモリ制御部２０００により制御されるバッファメモリ３０００における、Ｙ：Ｕ：Ｖ＝４：２：０の画像データの圧縮時のデータのロードと書込みのタイミングチャートを図２４～図２７に、伸長時のデータのロードと書込みのタイミングチャートを図２８～図３１に、それぞれ示す。また、比較のために、メモリ制御部２０００により制御されるバッファメモリ３０００における、Ｙ：Ｕ：Ｖ＝４：２：２の画像データの圧縮時のデータのロードと書込みのタイミングチャートを図３２～図３５に、伸長時のデータのロードと書込みのタイミングチャートを図３６～図３９に、それぞれ示す。

【００８６】

なお、図２４～図３９において、ＪＰＥＧコアである圧縮伸長処理部４０００における処理速度とデータバスの転送速度との大小によりタイミングチャートを分けて記載する。

【００８７】

また、図２４～図３９に記載されたバンク０は、図２の第１バンク３１００および第３バンク３３００に、バンク１は、図２の第２バンク３２００および第４バンク３４００にそれぞれ対応するものである。

【００８８】

図２４～図３９に示すタイミングチャートによると、メモリ制御部２０００により制御されるバッファメモリ３０００を介して、フレームメモリ１０００と圧縮伸長処理部４０００との間で、データの書込みと送出しとが、実行される。

【００８９】

以上のようにして、本実施の形態に係る画像処理装置によると、画像データを格納したフレームメモリから圧縮伸長処理部（ＪＰＥＧコア）に、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換して転送する。このときフレームメモリとＪＰＥＧコアとの間に設けられるバッファメモリは、メモリ制御部により制御される。このとき、フレームメモリから一度に受取る４バイト分の画像データの中の輝度データＹ０、Ｙ１と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第１バンクに、色差データＣｒ、Ｃｂが第３バンクに書込まれる。フレームメモリから一度に受取る４バイト分の画像データの中の輝度データＹ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ２、Ｙ３が第２のバンクに、色差データＣｒ、Ｃｂが第４のバンクに書込まれる。バッファメモリからＪＰＥＧコアに、第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）、第３のバンク（Ｃｒ、Ｃｂ）を１つの組として、次に第１のバンク（Ｙ０、Ｙ１）、第２のバンク（Ｙ２、Ｙ３）、第４のバンク（Ｃｒ、Ｃｂ）を１つの組として送出される。これにより、４：２：２フォーマットを４：２：０フォーマットに変換できる。また、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を実現できる。

【００９０】

本実施の形態に係る画像処理装置によると、圧縮された画像データのＪＰＥＧコアから画像データを格納するフレームメモリへ、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データがＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換されて圧縮された後に伸長された画像データが転送される。このときフレームメモリとＪＰＥＧコアとの間に設けられるバッファメモリは、メモリ制御部により制御される。このとき、ＪＰＥＧコアから一度に受取る輝度データＹ０、Ｙ１、Ｙ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第１のバンクに、輝度データＹ２、Ｙ３が第２のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。ＪＰＥＧコアから次に一度に受取る輝度データＹ０、Ｙ１、Ｙ２、Ｙ３と、輝度データに対応する色差データＣｒ、Ｃｂとを分割して、輝度データＹ０、Ｙ１が第４のバンクに、輝度データＹ２、Ｙ３が第１のバンクに、色差データＣｒ、Ｃｂが第３のバンクに書込まれる。バッファメモリからフレームメモリに、第１のバンク（Ｙ０、Ｙ１）と第３のバンク（Ｃｒ、Ｃｂ）

とが１つの組として送出され、次に第２のバンク（Ｙ２、Ｙ３）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第４のバンク（Ｙ０、Ｙ１）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出され、次に第１のバンク（Ｙ２、Ｙ３）と第３のバンク（Ｃｒ、Ｃｂ）とが１つの組として送出される。これにより、４：２：０フォーマットを４：２：２フォーマットに変換できる。また、従来のバッファメモリは、４バイト×１２８×２バンク必要だったが、２バイト×６４×４バンクの容量で済む。その結果、ＪＰＥＧのデータ変換のためのバッファの容量を小さくすることができる画像処理装置を提供することができる。

【００９１】

このように、本発明の実施の形態に係る画像処理装置によると、画像データの圧縮時においては、画像データを格納した格納手段であるフレームメモリから圧縮手段であるＪＰＥＧコアに、たとえばＹ：Ｕ：Ｖ＝４：２：２の画像データをＹ：Ｕ：Ｖ＝４：２：０または４：１：１にフォーマット変換して転送することができるとともに、画像データの伸長時においては、圧縮された画像データの伸長手段であるＪＰＥＧコアから画像データを格納するフレームメモリへ、たとえばＹ：Ｕ：Ｖ＝４：２：０または４：１：１の画像データをＹ：Ｕ：Ｖ＝４：２：２にフォーマット変換して転送することができる。さらに、４バイト×１２８×２バンク必要だったバッファメモリの容量が、画像データの圧縮時と伸長時とで同じ構成の２バイト×６４×４バンクの容量で済む。

【００９２】

なお、上述した実施の形態に係る画像処理装置は、画像データの圧縮処理および画像データの伸長処理を行なうことができるものであったが、本発明はこれに限定されない。画像処理装置は、画像データの圧縮処理のみを行なうことができる装置および画像データの伸長処理のみを行なうことができる装置のいすれの画像処理装置であってもよい。

【００９３】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図１】本発明の実施の形態に係る画像処理装置の制御ブロック図である。

【図２】メモリのバンク構成を説明するための図（その１）である。

【図３】メモリのバンク構成を説明するための図（その２）である。

【図４】メモリのバンク構成を説明するための図（その３）である。

【図５】メモリのバンク構成を説明するための図（その４）である。

【図６】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：４：４）のデータ構造を示す図である。

【図７】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：２：２）のデータ構造を示す図である。

【図８】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：２：０）のデータ構造を示す図である。

【図９】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：１：１）のデータ構造を示す図である。

【図１０】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：４：４）の処理単位を示す図である。

【図１１】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：２：２）の処理単位を示す図である。

【図１２】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：２：０）の処理単位を示す図である。

【図１３】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：１：１）の処理単位を示す図である。

【図１４】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：４：４）のデータ入力単位を示す図である。

【図１５】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：２：２）のデータ入力単位を示す図である。

【図１６】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：２：０）のデータ入力単位を示す図である。

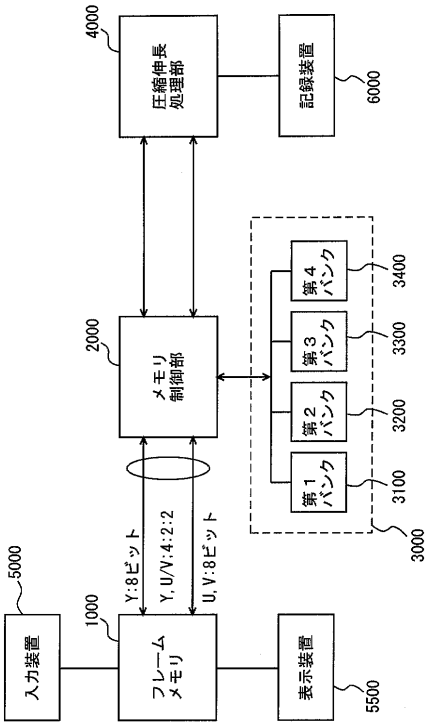
【図１７】ＶＧＡ画像（Ｙ：Ｕ：Ｖ＝４：１：１）のデータ入力単位を示す図である。

【図１８】４：２：２モードのデータのフォーマットおよびメモリ上のデータ配置を示す図である。

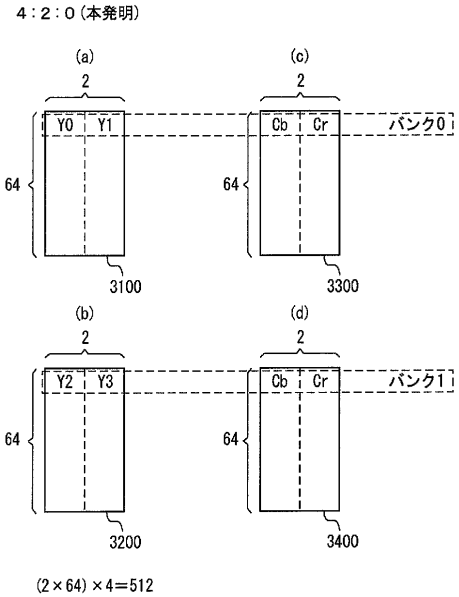
【図１９】４：２：０モードのデータのフォーマットおよびメモリ上のデータ配置を示す図である。

【図２０】４：１：１モードのデータのフォーマットおよびメモリ上のデータ配置を示す図である。
【図２１】４：２：２モードのメモリ使用イメージを示す図である。
【図２２】４：２：０モードのメモリ使用イメージを示す図である。
【図２３】４：１：１モードのメモリ使用イメージを示す図である。
【図２４】４：２：０モードのデータ圧縮時のタイミングチャートを示す図（その１）である。
【図２５】４：２：０モードのデータ圧縮時のタイミングチャートを示す図（その２）である。
【図２６】４：２：０モードのデータ圧縮時のタイミングチャートを示す図（その３）である。
【図２７】４：２：０モードのデータ圧縮時のタイミングチャートを示す図（その４）である。
【図２８】４：２：０モードのデータ伸長時のタイミングチャートを示す図（その１）である。
【図２９】４：２：０モードのデータ伸長時のタイミングチャートを示す図（その２）である。
【図３０】４：２：０モードのデータ伸長時のタイミングチャートを示す図（その３）である。
【図３１】４：２：０モードのデータ伸長時のタイミングチャートを示す図（その４）である。
【図３２】４：２：２モードのデータ圧縮時のタイミングチャートを示す図（その１）である。
【図３３】４：２：２モードのデータ圧縮時のタイミングチャートを示す図（その２）である。
【図３４】４：２：２モードのデータ圧縮時のタイミングチャートを示す図（その３）である。
【図３５】４：２：２モードのデータ圧縮時のタイミングチャートを示す図（その４）である。
【図３６】４：２：２モードのデータ伸長時のタイミングチャートを示す図（その１）である。
【図３７】４：２：２モードのデータ伸長時のタイミングチャートを示す図（その２）である。
【図３８】４：２：２モードのデータ伸長時のタイミングチャートを示す図（その３）である。
【図３９】４：２：２モードのデータ伸長時のタイミングチャートを示す図（その４）である。
【符号の説明】
１０００　フレームメモリ、２０００　メモリ制御部、３０００　バンクメモリ、３１００　第１バンク、３２００　第２バンク、３３００　第３バンク、３４００　第４バンク、４０００　圧縮伸長処理部、５０００　入力装置、５５００　表示装置、６０００　記録装置。

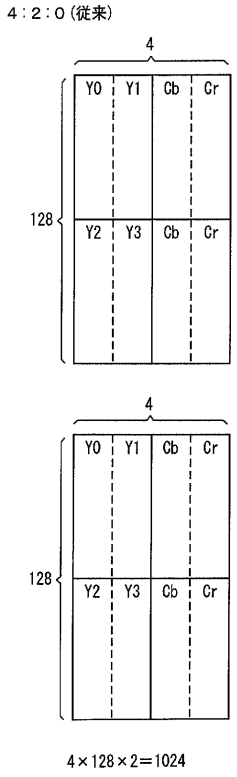
【図１】


4000
圧縮伸長処理部
記録装置
6000
2000
メモリ制御部
第４バンク
第３バンク
第２バンク
第１バンク
3400
3300
3200
3100
3000
Y:8ビット
Y,U/V:4:2:2
U,V:8ビット
5000
入力装置
1000
フレームメモリ
表示装置
5500

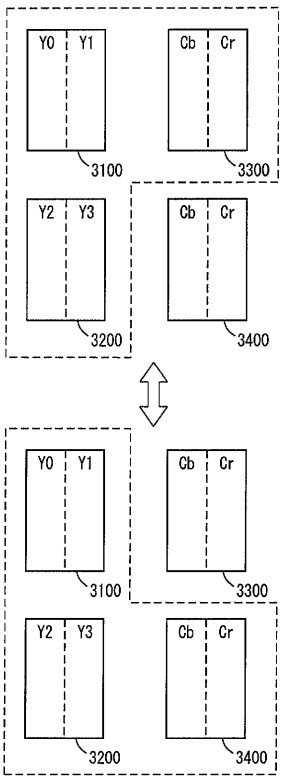
【図２】


4：2：0（本発明）
(a)
(c)
(b)
(d)
2
Y0
Y1
Y2
Y3
Cb
Cr
バンク0
バンク1
64
3100
3300
3200
3400
(2×64)×4=512

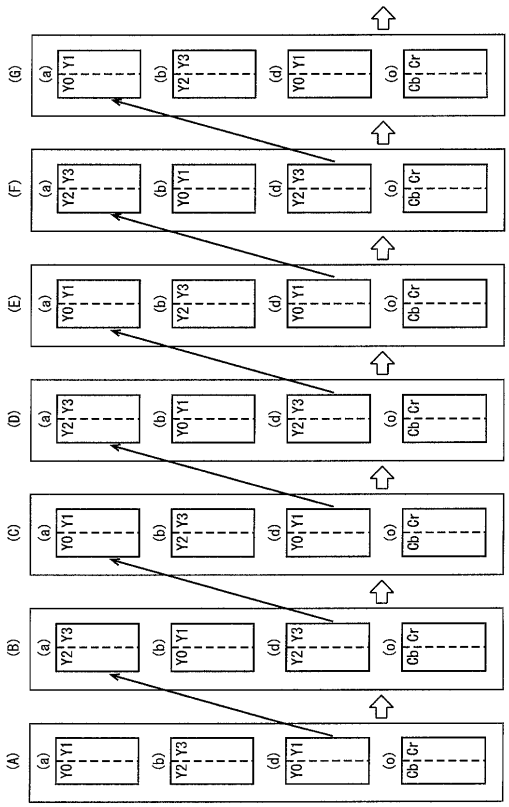
【図３】


4：2：0（従来）
4
Y0
Y1
Cb
Cr
Y2
Y3
128
4×128×2=1024

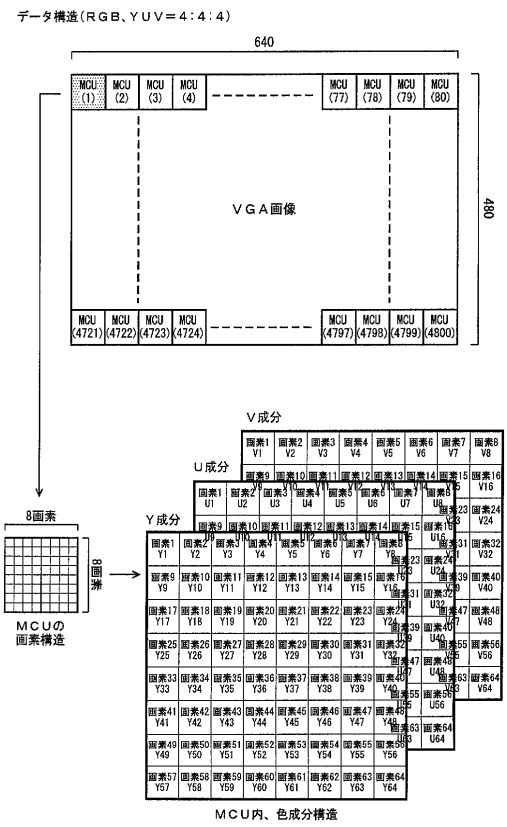
【図４】


4：2：0
Y0
Y1
Cb
Cr
Y2
Y3
3100
3300
3200
3400

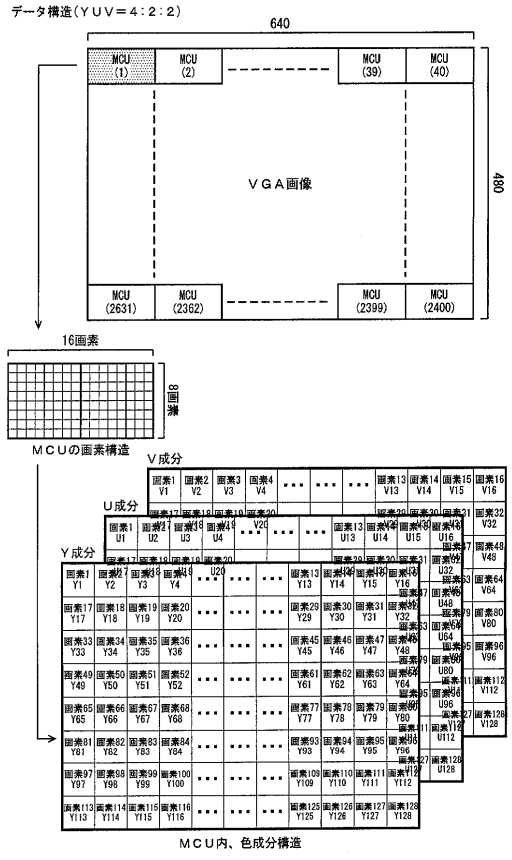
【図５】


(G)
(F)
(E)
(D)
(C)
(B)
(A)
(a)
(b)
(d)
(o)
Y0, Y1
Y2, Y3
Cb, Cr

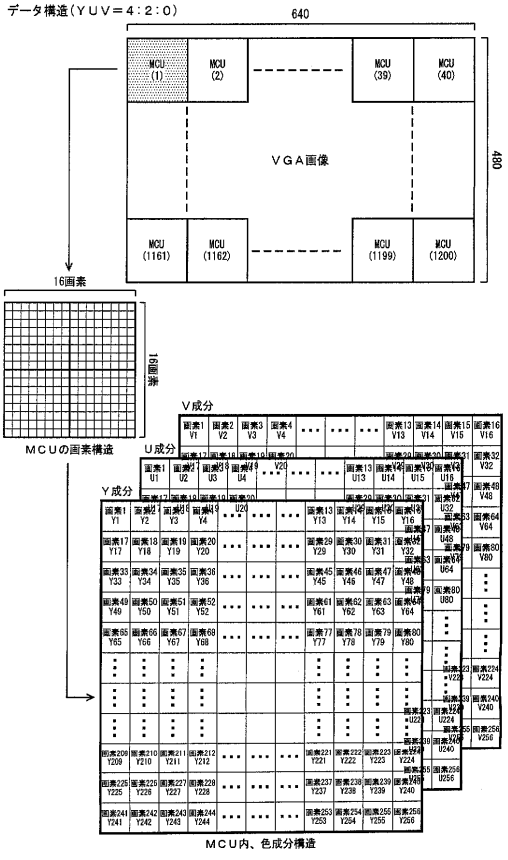
【図６】


データ構造(RGB、YUV＝4：4：4)
640
480
MCU (1)
MCU (2)
MCU (3)
MCU (4)
MCU (77)
MCU (78)
MCU (79)
MCU (80)
MCU (4721)
MCU (4722)
MCU (4723)
MCU (4724)
MCU (4797)
MCU (4798)
MCU (4799)
MCU (4800)
VGA画像
8画素
8画素
MCUの
画素構造
V成分
U成分
Y成分
MCU内、色成分構造

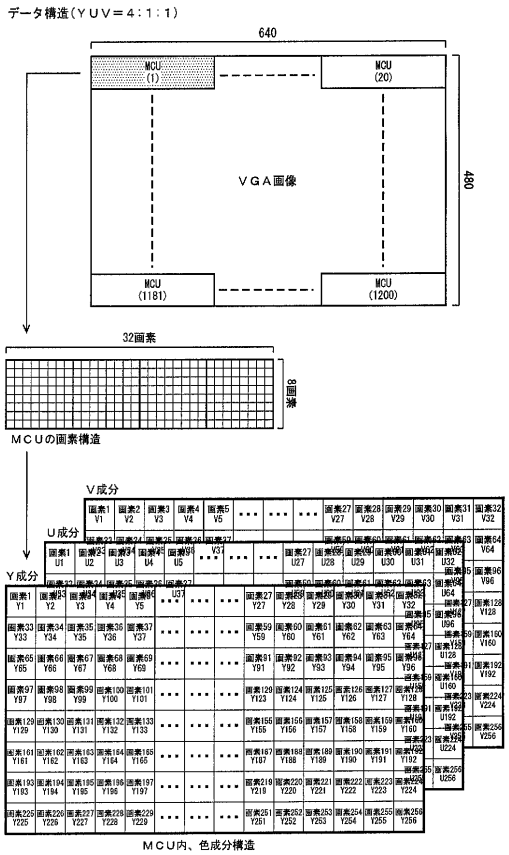
【図７】


データ構造(YUV＝4：2：2)
640
480
MCU (1)
MCU (2)
MCU (39)
MCU (40)
MCU (2361)
MCU (2362)
MCU (2399)
MCU (2400)
VGA画像
16画素
8画素
MCUの画素構造
V成分
U成分
Y成分
MCU内、色成分構造

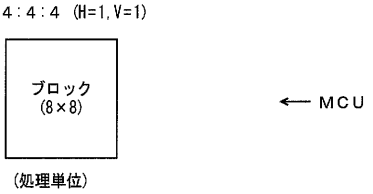
【図８】


データ構造(YUV＝4：2：0)
640
480
MCU (1)
MCU (2)
MCU (39)
MCU (40)
MCU (1161)
MCU (1162)
MCU (1199)
MCU (1200)
VGA画像
16画素
16画素
MCUの画素構造
V成分
U成分
Y成分
MCU内、色成分構造

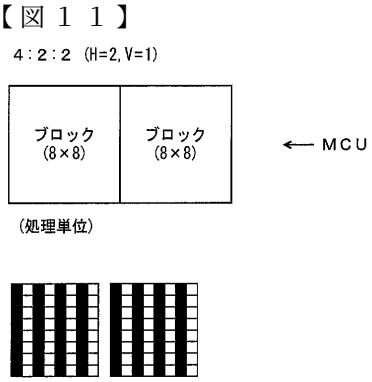
【図９】



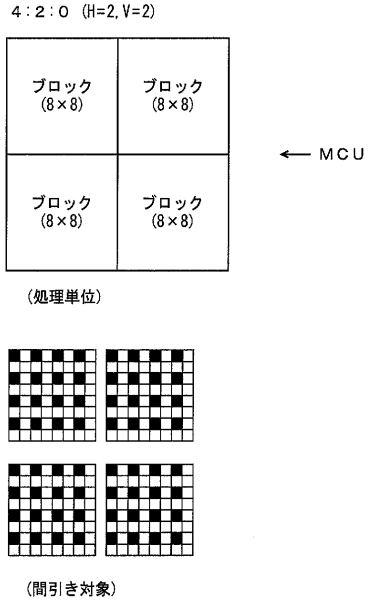
【図１０】



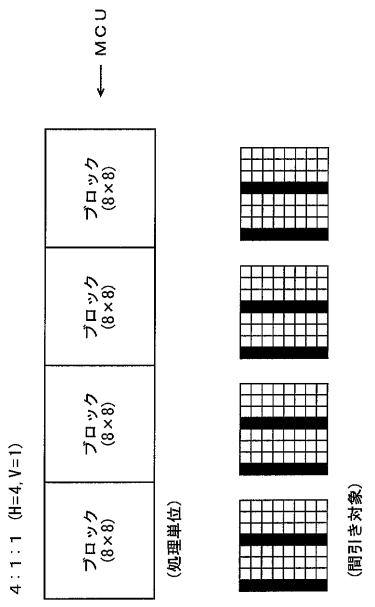
【図１１】



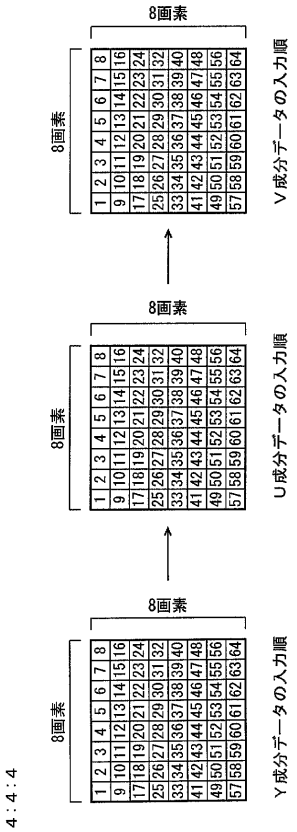
【図１２】



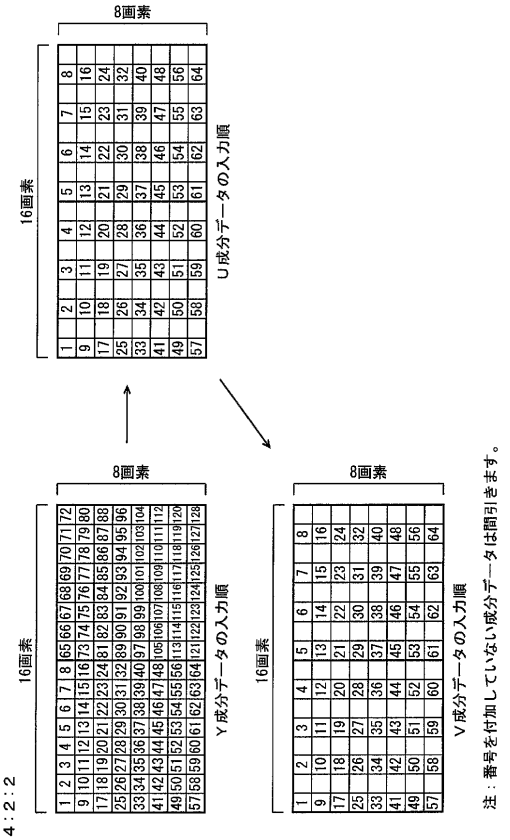
【図１３】



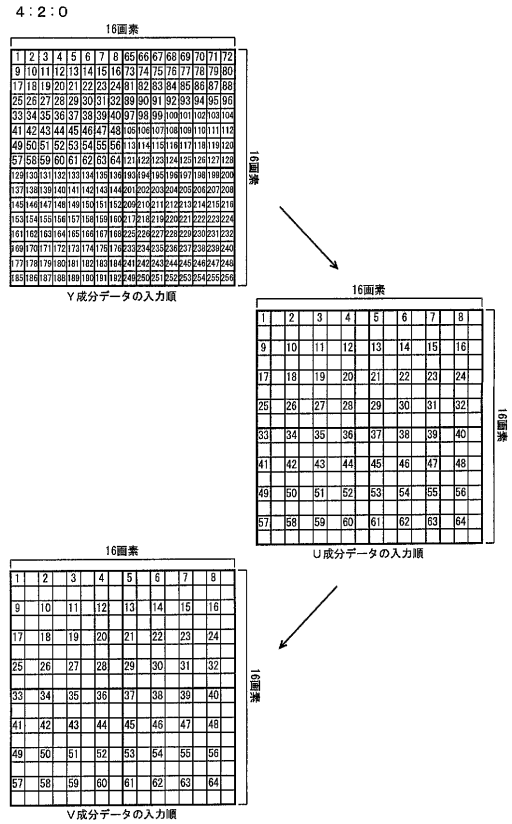
【図１４】



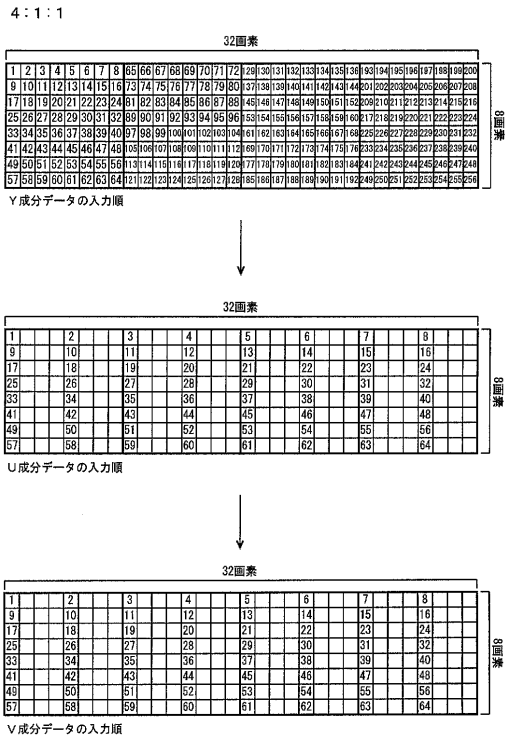
【図１５】



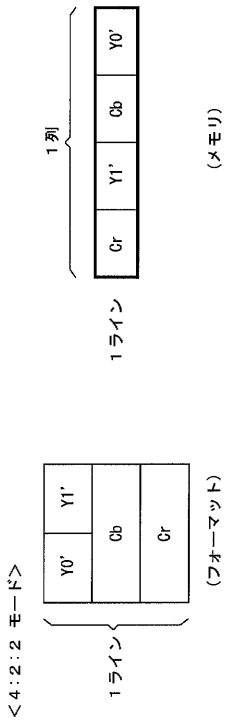
【図１６】



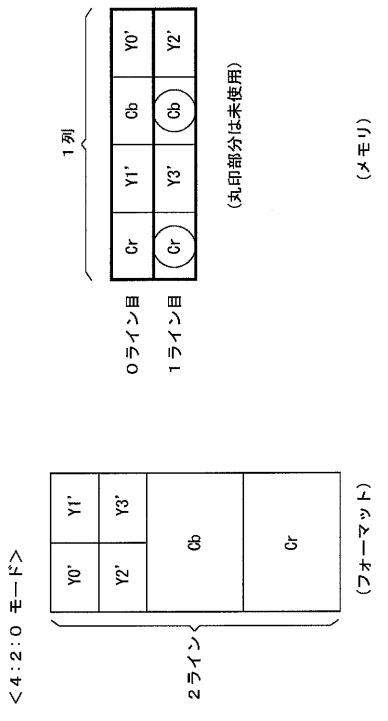
【図１７】



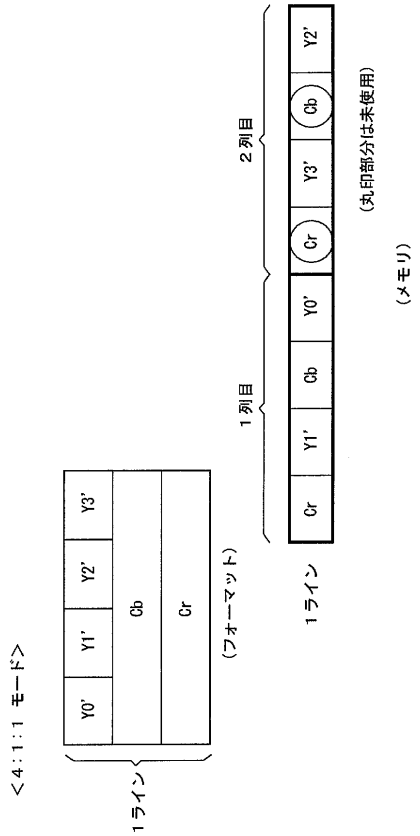
【図１８】



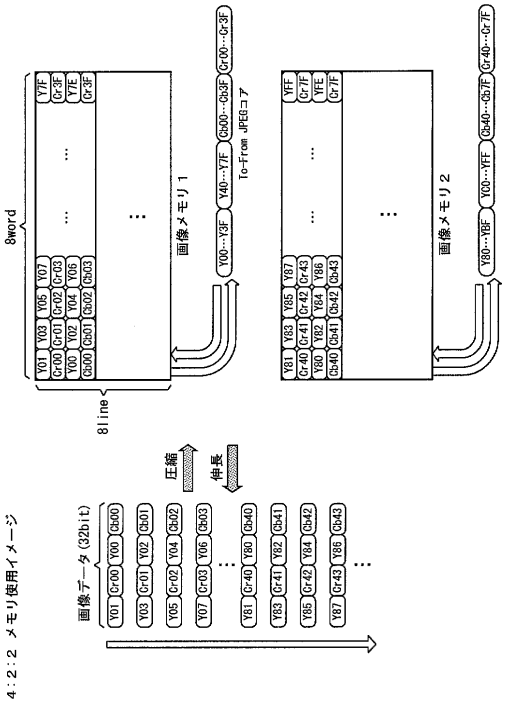
【図１９】



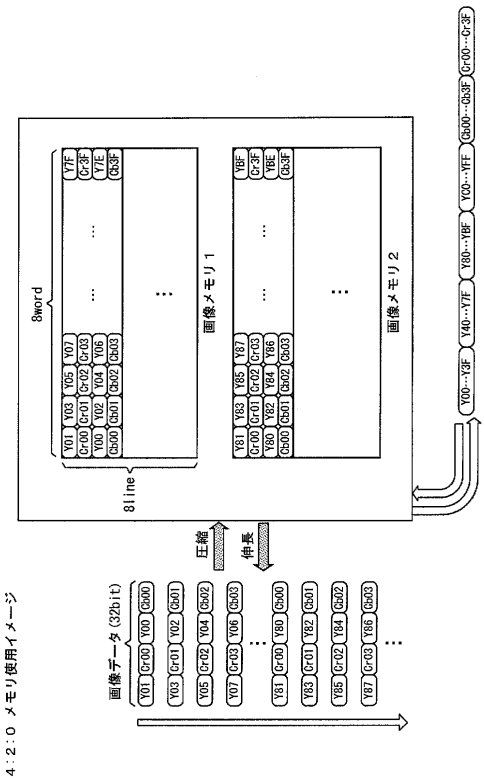
【図２０】



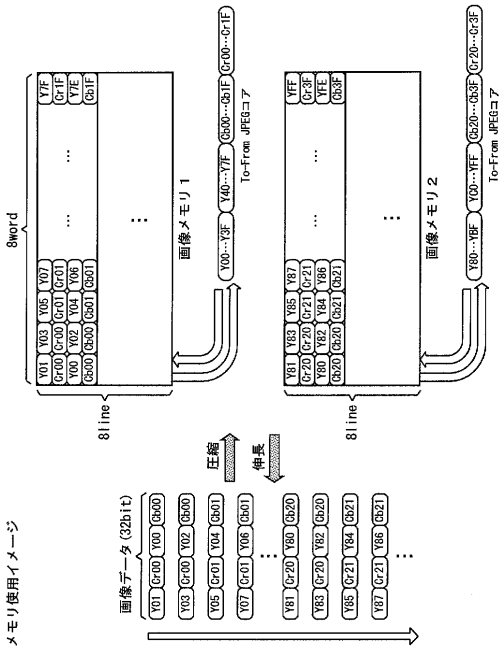
【図２１】



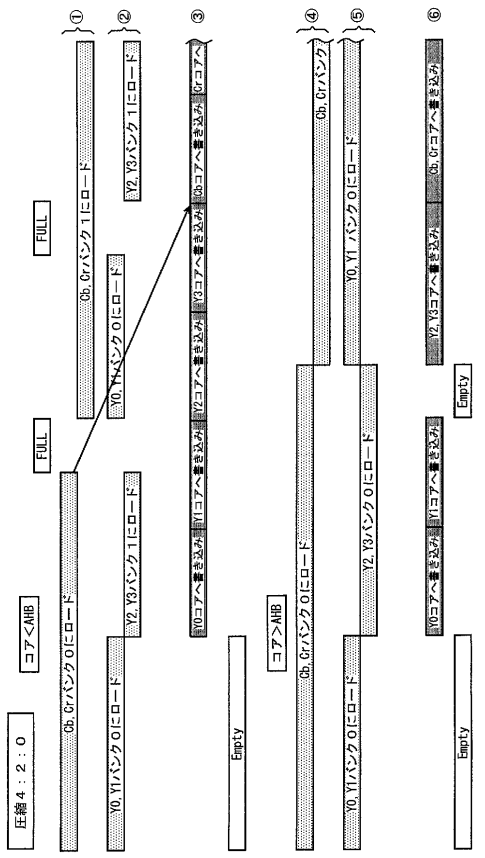
【図２２】



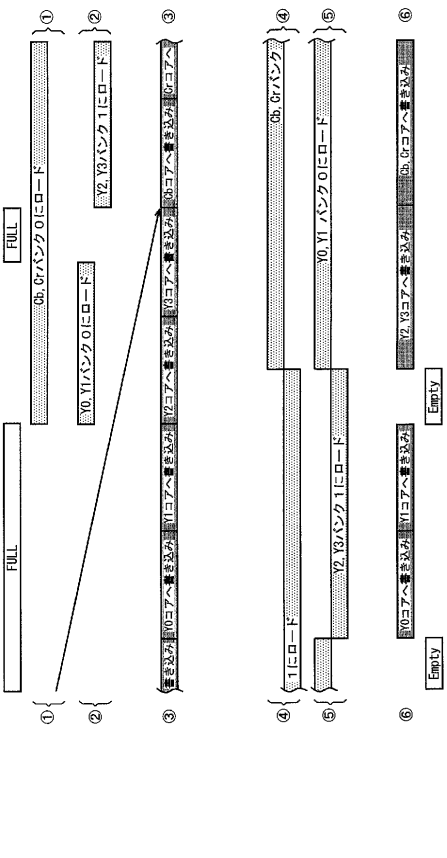
【図２３】



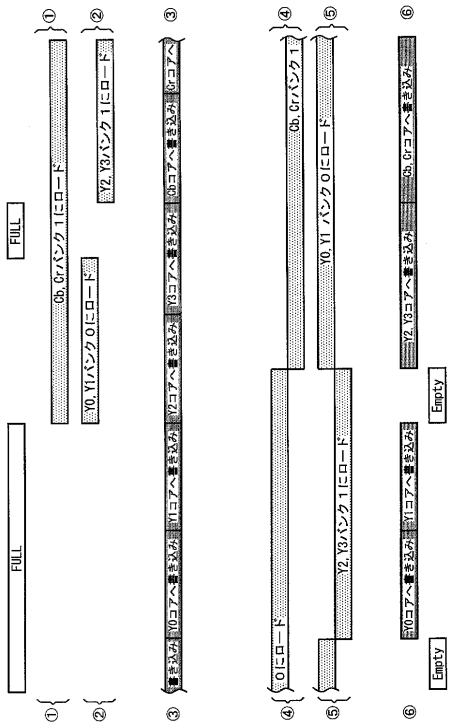
【図２４】



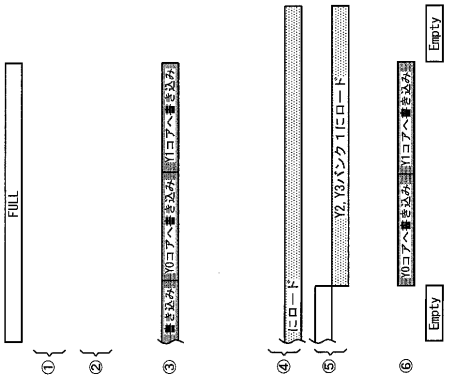
【図２５】



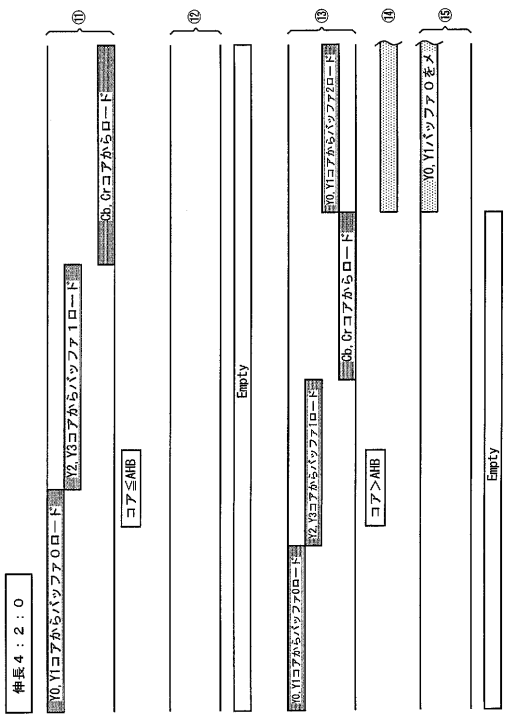
【図２６】



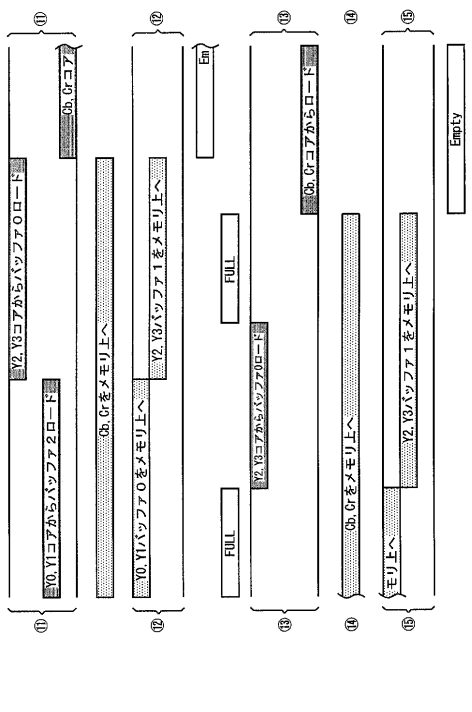
【図２７】



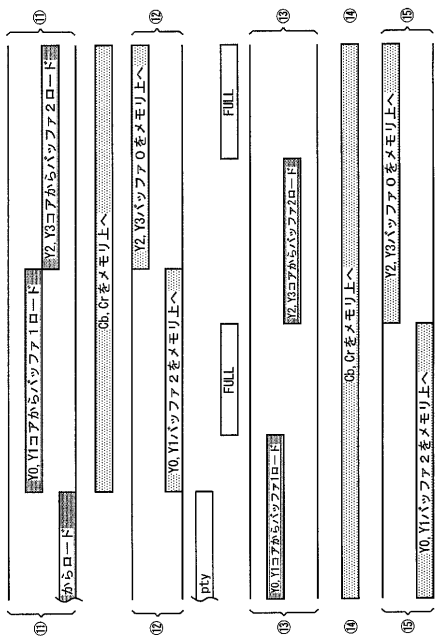
【図２８】



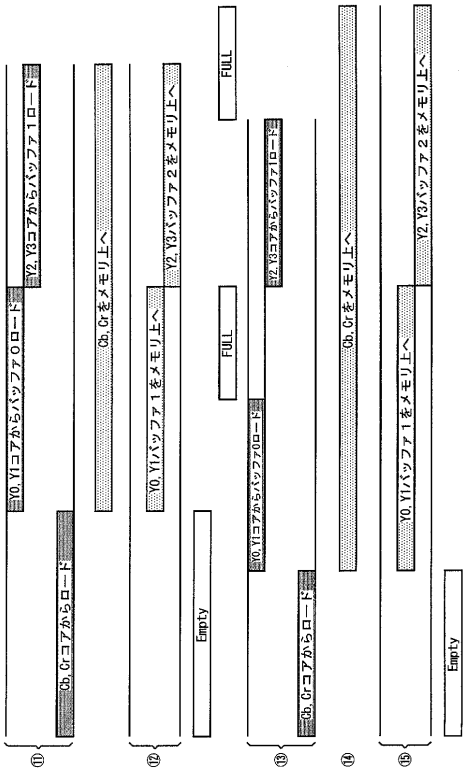
【図２９】



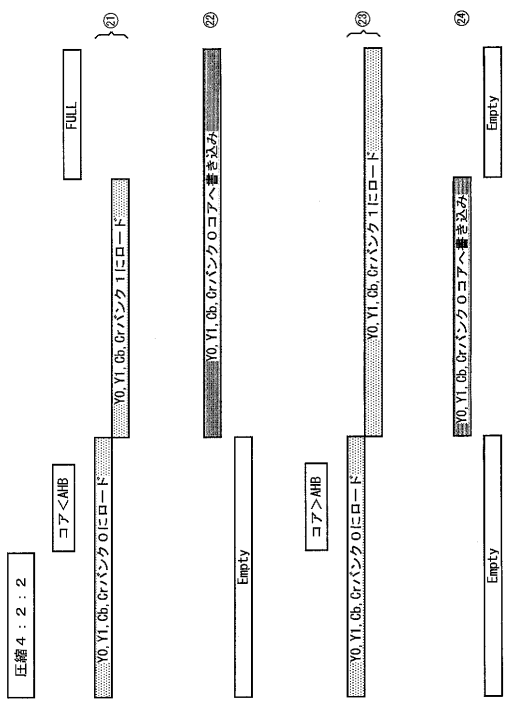
【図３０】



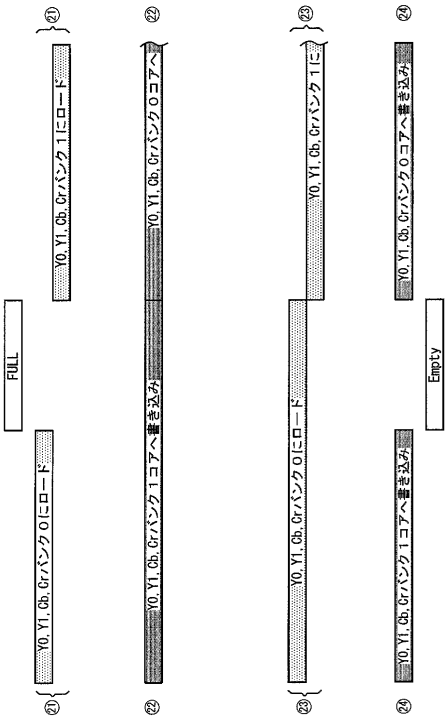
【図３１】



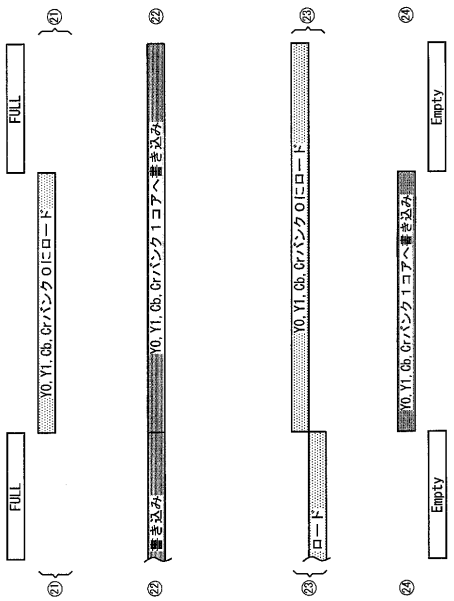
【図３２】



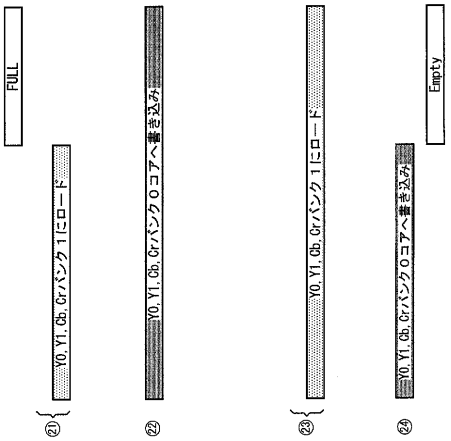
【図３３】



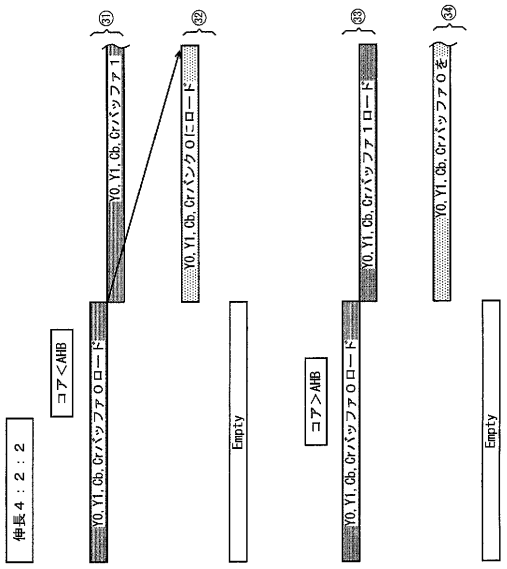
【図３４】



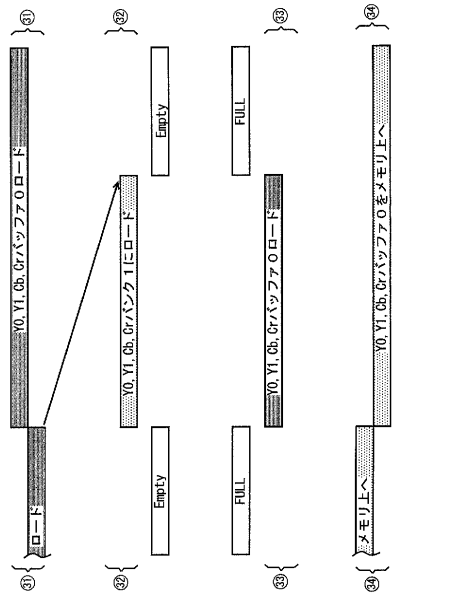
【図３５】



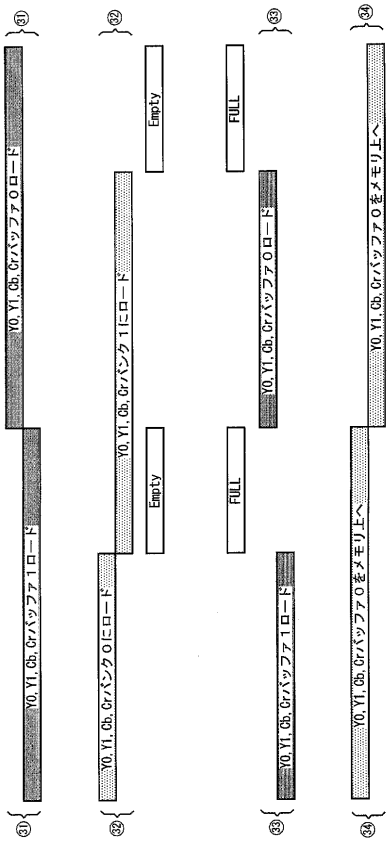
【図３６】



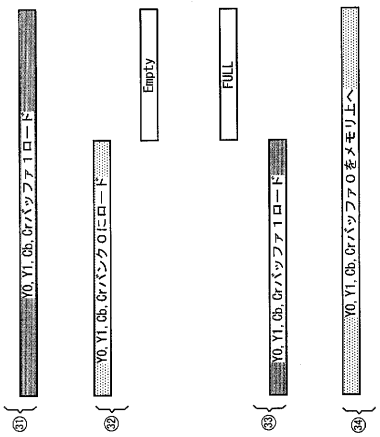
【図３７】



【図３８】


㉛
㉜
㉝
㉞
Y0,Y1,Cb,Crバッファ0ロード
Y0,Y1,Cb,Crバッファ1ロード
Y0,Y1,Cb,Crバンク0にロード
Y0,Y1,Cb,Crバンク1にロード
Empty
Empty
FULL
FULL
Y0,Y1,Cb,Crバッファ0ロード
Y0,Y1,Cb,Crバッファ1ロード
Y0,Y1,Cb,Crバッファ0をメモリ上へ
Y0,Y1,Cb,Crバッファ0をメモリ上へ

【図３９】


㉛
㉜
㉝
㉞
Y0,Y1,Cb,Crバッファ1ロード
Y0,Y1,Cb,Crバンク0にロード
Empty
FULL
Y0,Y1,Cb,Crバッファ1ロード
Y0,Y1,Cb,Crバッファ0をメモリ上へ

フロントページの続き

(51)Int.Cl.[7]	F I	テーマコード（参考）
// Ｈ０４Ｎ 101:00	Ｈ０４Ｎ 101:00	

(74)代理人 100112852
弁理士 武藤 正
(72)発明者 岡地 尚王丸
大阪府大阪市北区中崎西２丁目４番１２号 カネボウ株式会社内

Ｆターム(参考) 5B047 EA05 EB04 EB05 EB06
5C057 AA01 EA02 EA07 EH01 EJ02 EL01 EM07 GG01 GG06 GG07
GM01
5C059 KK08 LB05 LB15 MA00 PP01 PP16 SS15 UA34 UA35 UA36
5C073 BC02 CE02 CE04 CE06
5C078 AA04 BA57 CA27 DA01 DA22