



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월04일
(11) 등록번호 10-1903451
(24) 등록일자 2018년09월21일

(51) 국제특허분류(Int. Cl.)
H04B 1/16 (2006.01) H04B 1/12 (2006.01)
H04B 1/18 (2018.01) H04B 1/44 (2006.01)
(52) CPC특허분류
H04B 1/1638 (2013.01)
H04B 1/12 (2013.01)
(21) 출원번호 10-2015-0060390
(22) 출원일자 2015년04월29일
심사청구일자 2017년11월16일
(65) 공개번호 10-2015-0125602
(43) 공개일자 2015년11월09일
(30) 우선권주장
61/986,556 2014년04월30일 미국(US)
14/678,390 2015년04월03일 미국(US)
(56) 선행기술조사문헌
KR1020130016597 A*
KR1020000056689 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스카이워크스 솔루션즈, 인코포레이티드
미국 01801 매사추세츠주 워번 실반 로드 20
(72) 발명자
리, 준형
미국 01801 매사추세츠주 워번 실반 로드 20
아가왈, 비폴
미국 01801 매사추세츠주 워번 실반 로드 20
(74) 대리인
양영준, 정은진, 백만기

전체 청구항 수 : 총 21 항

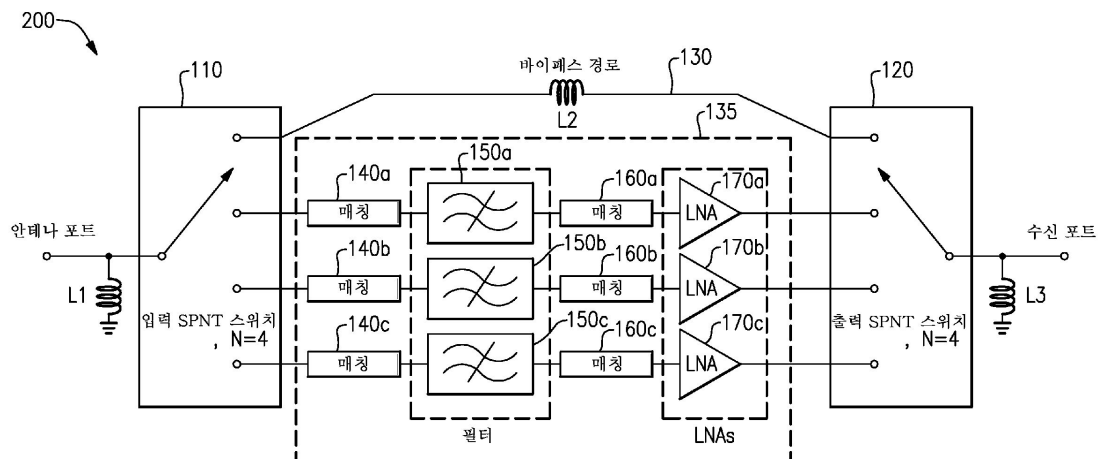
심사관 : 구영희

(54) 발명의 명칭 바이패스 경로 손실 감소

(57) 요약

본 개시내용의 양태는 바이패스 경로와 연관된 삽입 손실을 감소시키는 것에 관한 것이다. 실시예에서, 장치는, 적어도 2개의 쓰로우를 갖는 제1 스위치, 적어도 2개의 쓰로우를 갖는 제2 스위치, 제1 스위치와 제2 스위치 사이의 바이패스 경로, 및 적어도 하나의 인덕터를 포함한다. 적어도 하나의 인덕터는, 바이패스 경로와 연관된 캐패시턴스를 보상하여 바이패스 경로의 삽입 손실이 감소되게 하도록 구성된다.

대표도



(52) CPC특허분류

H04B 1/18 (2018.01)

H04B 1/44 (2013.01)

(72) 발명자

리, 용 희

미국 01801 매사추세츠주 워번 실반 로드 20

허, 준원

미국 01801 매사추세츠주 워번 실반 로드 20

명세서

청구범위

청구항 1

바이패스 경로 손실 감소를 갖는 전자 디바이스로서,

적어도 2개의 쓰로우(throw)를 갖는 제1 스위치;

적어도 2개의 쓰로우를 갖는 제2 스위치;

상기 제1 스위치와 상기 제2 스위치를 전기적으로 접속시키는 바이패스 경로(bypass path) - 상기 바이패스 경로는 상기 제1 스위치와 상기 제2 스위치 사이에 직렬로 결합된 직렬 인덕터를 포함하고, 상기 직렬 인덕터는 상기 바이패스 경로의 송신 라인의 캐패시턴스를 보상하도록 구성됨 -;

저잡음 증폭기를 포함하는 수신 경로 - 상기 수신 경로 및 상기 바이패스 경로는 상기 제1 스위치의 상이한 쓰로우(throw)들에 접속되고, 상기 수신 경로 및 상기 바이패스 경로는 상기 제2 스위치의 상이한 쓰로우들에 접속됨 -; 및

상기 바이패스 경로에 접속되지 않은 상기 제1 스위치의 적어도 하나의 쓰로우와 연관된 오프 상태(off state) 캐패시턴스를 보상하여 상기 바이패스 경로의 삽입 손실(insertion loss)이 감소되게 하도록 구성된 적어도 하나의 인덕터- 상기 적어도 하나의 인덕터는 상기 제1 스위치에 전기적으로 접속된 제1 단부와 접지 또는 안테나 포트에 전기적으로 접속된 제2 단부를 가짐 -

를 포함하는 전자 디바이스.

청구항 2

제1항에 있어서, 상기 적어도 하나의 인덕터는 상기 바이패스 경로와 연관된 상기 제1 스위치의 쓰로우의 오프 상태 분로(shunt) 캐패시턴스를 보상하도록 구성되는, 전자 디바이스.

청구항 3

제1항에 있어서, 상기 제1 스위치는 상기 적어도 하나의 인덕터와 상기 바이패스 경로 사이에 결합되는, 전자 디바이스.

청구항 4

제1항에 있어서, 상기 바이패스 경로에 접속되지 않은 상기 제2 스위치의 쓰로우의 오프 상태 캐패시턴스를 보상하도록 구성되는 또 다른 인덕터를 더 포함하는, 전자 디바이스.

청구항 5

제1항에 있어서, 상기 제1 스위치는 다이버시티 안테나로부터 무선 주파수 신호를 수신하도록 구성되는, 전자 디바이스.

청구항 6

제1항에 있어서, 상기 바이패스 경로는 상기 제1 스위치로부터의 무선 주파수 신호를 증폭 및 필터링 없이 상기 제2 스위치에 제공하도록 구성되는, 전자 디바이스.

청구항 7

제1항에 있어서, 상기 수신 경로는 상기 제1 스위치와 상기 저잡음 증폭기 사이에 결합된 대역 통과 필터를 포함하는, 전자 디바이스.

청구항 8

제1항에 있어서, 상기 제1 스위치는 제1 상태에서 상기 안테나 포트를 상기 바이패스 경로에 전기적으로 접속시

키고 상기 안테나 포트를 상기 수신 경로로부터 전기적으로 격리하도록 구성되며, 상기 제1 스위치는 제2 상태에서 상기 안테나 포트를 상기 수신 경로에 전기적으로 접속시키고 상기 안테나 포트를 상기 바이패스 경로로부터 전기적으로 격리하도록 구성되는, 전자 디바이스.

청구항 9

제1항에 있어서, 적어도 상기 제1 스위치, 상기 제2 스위치, 및 상기 바이패스 경로를 포함하는 다이버시티 모듈을 포함하는, 전자 디바이스.

청구항 10

제9항에 있어서, 복수의 안테나를 더 포함하고, 상기 복수의 안테나는 상기 다이버시티 모듈의 상기 제1 스위치와 통신하는 다이버시티 안테나를 포함하는, 전자 디바이스.

청구항 11

제10항에 있어서, 상기 제2 스위치와 통신하는 안테나 스위치 모듈을 더 포함하는, 전자 디바이스.

청구항 12

무선 주파수 모듈로서,

적어도 2개의 쓰로우를 갖는 제1 멀티 쓰로우 스위치;

적어도 2개의 쓰로우를 갖는 제2 멀티 쓰로우 스위치;

상기 제1 멀티 쓰로우 스위치와 상기 제2 멀티 쓰로우 스위치 사이에 전기적으로 결합되어, 무선 주파수 신호를 처리하도록 구성되고, 필터와 저잡음 증폭기를 포함하는 무선 주파수 신호 경로;

상기 제1 멀티 쓰로우 스위치와 상기 제2 멀티 쓰로우 스위치 사이에 전기적으로 결합된 바이패스 경로 - 상기 바이패스 경로는 상기 제1 멀티 쓰로우 스위치와 상기 제2 멀티 쓰로우 스위치 사이에 송신 라인으로서 구성되고, 상기 바이패스 경로는 상기 제1 멀티 쓰로우 스위치와 상기 제2 멀티 쓰로우 스위치 사이에 직렬로 결합된 직렬 인덕터를 포함하며, 상기 직렬 인덕터는 상기 송신 라인의 기생 캐패시턴스를 보상하여 상기 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성됨 -; 및

상기 바이패스 경로에 접속되지 않은 상기 제1 멀티 쓰로우 스위치의 적어도 하나의 쓰로우의 오프 상태 캐패시턴스를 보상하여 상기 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된 인덕터 - 상기 인덕터는 상기 제1 멀티 쓰로우 스위치에 전기적으로 접속된 제1 단부와 접지 또는 안테나 포트에 전기적으로 접속된 제2 단부를 가짐 -

를 포함하는 무선 주파수 모듈.

청구항 13

제12항에 있어서, 상기 바이패스 경로에 접속되지 않은 상기 제2 멀티 쓰로우 스위치의 적어도 하나의 쓰로우의 오프 상태 캐패시턴스를 보상하여 상기 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된 또 다른 인덕터를 더 포함하는, 무선 주파수 모듈.

청구항 14

제12항에 있어서, 다이버시티 안테나로부터 무선 주파수 신호를 수신하도록 배열된 다이버시티 모듈로서 구성된, 무선 주파수 모듈.

청구항 15

제12항에 있어서, 상기 인덕터는 조정가능한 인덕턴스를 갖는, 무선 주파수 모듈.

청구항 16

제12항에 있어서, 상기 제1 멀티 쓰로우 스위치는 적어도 3개의 쓰로우를 포함하고, 상기 제1 멀티 쓰로우 스위치의 상기 오프 상태 캐패시턴스는 상기 제1 멀티 쓰로우 스위치의 적어도 3개의 쓰로우 중 2개 이상의 쓰로우

와 연관되는, 무선 주파수 모듈.

청구항 17

제12항에 있어서, 상기 제1 멀티 쓰로우 스위치와 상기 제2 멀티 쓰로우 스위치 사이에 수신 경로들을 포함하고, 상기 수신 경로들은 상기 무선 주파수 신호 경로를 포함하며, 상기 제1 멀티 쓰로우 스위치는 제1 상태에서 상기 안테나 포트를 상기 바이패스 경로에 전기적으로 접속시키고 상기 안테나 포트를 상기 수신 경로들로부터 전기적으로 격리하도록 구성되며, 상기 제1 멀티 쓰로우 스위치는 제2 상태에서 상기 안테나 포트를 상기 수신 경로들 중 선택된 수신 경로에 전기적으로 접속시키고 상기 바이패스 경로를 상기 안테나 포트 및 상기 수신 경로들 중 다른 수신 경로들로부터 전기적으로 격리하도록 구성된, 무선 주파수 모듈.

청구항 18

바이패스 경로와 연관된 삽입 손실을 감소시키기 위한 전자적으로-구현된 방법으로서,

적어도 2개의 쓰로우를 갖는 제1 스위치와 적어도 2개의 쓰로우를 갖는 제2 스위치를 전기적으로 접속시키는 바이패스 경로를 통해 다이버시티 모듈의 입력이 상기 다이버시티 모듈의 출력에 결합되도록 바이패스 모드에서 상기 다이버시티 모듈을 동작시키는 단계 - 상기 다이버시티 모듈은 상기 제1 스위치, 상기 제2 스위치 및 상기 바이패스 경로를 포함하고, 모바일 디바이스의 다이버시티 안테나로부터 무선 주파수 신호를 수신하도록 구성됨 -;

상기 바이패스 모드에서 상기 다이버시티 모듈을 동작시키는 동안, 상기 제1 스위치와 상기 제2 스위치 사이의 상기 바이패스 경로에 직렬로 결합된 인덕터를 이용하여 상기 바이패스 경로의 송신 라인과 연관된 캐패시턴스를 실질적으로 상쇄시켜 상기 바이패스 모드와 연관된 삽입 손실이 감소되게 하는 단계; 및

상기 제1 스위치에 전기적으로 접속된 제1 단부와 접지 또는 안테나 포트에 전기적으로 접속된 제2 단부를 갖는 다른 인덕터를 사용하여, 상기 다이버시티 모듈을 상기 바이패스 모드에서 동작시키고 있는 동안에 상기 제1 스위치의 오프 상태와 연관된 캐패시턴스를 실질적으로 상쇄시키는 단계

를 포함하는 방법.

청구항 19

삭제

청구항 20

제18항에 있어서, 상기 제1 스위치의 상기 오프 상태 캐패시턴스는 상기 바이패스 경로에 접속되지 않은 상기 제1 스위치의 쓰로우와 연관된 오프 상태 직렬 캐패시턴스를 포함하는, 방법.

청구항 21

제12항에 있어서, 상기 인덕터는 상기 제1 멀티 쓰로우 스위치의 모든 상태에서 상기 제1 멀티 쓰로우 스위치의 적어도 2개의 쓰로우 중 적어도 하나의 쓰로우의 직렬 요소에 전기적으로 결합되는, 무선 주파수 모듈.

청구항 22

삭제

청구항 23

제12항에 있어서, 상기 제1 멀티 쓰로우 스위치와 상기 제2 멀티 쓰로우 스위치 사이에 결합된 제2 무선 주파수 신호 경로를 더 포함하고, 상기 제2 무선 주파수 신호 경로는 제2 필터 및 제2 저잡음 증폭기를 포함하고, 상기 제2 필터는 상기 필터와는 상이한 통과 대역을 갖는 대역 통과 필터인, 무선 주파수 모듈.

발명의 설명

기술 분야

관련 출원에 대한 상호참조

[0001]

[0002] 본 출원은, 참조에 의해 그 전체의 기술 개시가 본 명세서에 포함되는, 발명의 명칭이 "BYPASS PATH LOSS REDUCTION"인 2014년 4월 30일 출원된 미국 가특허 출원 번호 제61/986,556호에 대한 35 U.S.C. § 119(e) 하에서의 우선권의 이익을 주장한다.

[0003] 기술적 분야

[0004] 본 개시는 전자 시스템에 관한 것으로, 특히, 무선 주파수(radio frequency)(RF) 전자디바이스에 관한 것이다.

배경 기술

[0005] 무선 주파수(RF) 시스템은 RF 신호를 수신 및/또는 송신하기 위한 안테나를 포함할 수 있다. RF 시스템에는 안테나에 액세스할 수 있는 여러 개의 컴포넌트들이 있을 수 있다. 예를 들어, RF 시스템은, 상이한 주파수 대역, 상이한 통신 표준, 및/또는 상이한 전력 모드와 연관된 상이한 송신 및/또는 수신 경로를 포함할 수 있고, 각 경로는 특정 시점에서 특정한 안테나에 액세스할 수 있다.

[0006] 안테나 스위치 모듈은 안테나를 RF 시스템의 특정한 송신 또는 수신 경로에 전기적으로 접속함으로써 복수의 컴포넌트들이 안테나에 액세스하는 것을 허용하는데 이용될 수 있다. 특정 구성에서, 안테나 스위치 모듈은, 하나 이상의 다이버시티 안테나(diversity antenna)를 이용하여 수신 및/또는 송신되는 신호를 처리하는 다이버시티 모듈과 통신한다. 다이버시티 모듈은 다이버시티 모듈 내의 신호의 수신 경로 및/또는 송신 경로 처리를 바이패스하는 바이패스 경로를 포함할 수 있다.

발명의 내용

[0007] 청구항들 각각에서 설명되는 혁신은 수 개의 양태를 가지며, 이 양태들 중 어떠한 단일의 양태도 바람직한 속성들을 단독으로 책임지는 것은 아니다. 특허청구범위의 범주를 제한하지 않고, 일부 중요한 피쳐들이 이제 간략하게 논의될 것이다.

[0008] 본 개시내용의 일 양태는, 적어도 2개의 쏘로우(throw)를 갖는 제1 스위치, 적어도 2개의 쏘로우를 갖는 제2 스위치, 제1 스위치와 제2 스위치를 전기적으로 접속시키는 바이패스 경로, 및 바이패스 경로와 연관된 캐패시턴스를 보상하여 바이패스 경로의 삽입 손실이 감소되게 하도록 구성된 적어도 하나의 인덕터를 포함하는 장치이다.

[0009] 적어도 하나의 인덕터는, 제1 스위치의 오프 상태 캐패시턴스, 제2 스위치의 오프 상태 캐패시턴스, 또는 바이패스 경로의 송신 라인의 캐패시턴스 중 적어도 하나를 보상할 수 있다.

[0010] 적어도 하나의 인덕터는, 제1 스위치의 오프 상태 캐패시턴스를 보상하도록 구성된 제1 인덕터를 포함할 수 있다. 제1 스위치의 오프 상태 캐패시턴스는 오프 상태 직렬 캐패시턴스와 오프 상태 분로(shunt) 캐패시턴스를 포함할 수 있다. 제1 스위치는 제1 인덕터와 바이패스 경로 사이에 결합될 수 있다. 적어도 하나의 인덕터는 또한, 제2 스위치의 오프 상태 캐패시턴스를 보상하도록 구성된 제2 인덕터를 포함할 수 있다. 적어도 하나의 인덕터는 또한, 바이패스 경로의 송신 라인의 캐패시턴스를 보상하도록 구성된 제3 인덕터를 포함할 수 있다.

[0011] 이 장치는 또한, 제1 스위치와 제2 스위치 사이에 전기적으로 결합된 무선 주파수 신호 경로를 포함할 수 있고, 무선 주파수 신호 경로는 무선 주파수 신호를 처리하도록 구성된다. 제1 스위치는 제1 상태에서 안테나 포트를 바이패스 경로에 전기적으로 접속시키고 안테나 포트를 무선 주파수 신호 경로로부터 전기적으로 격리하도록 구성될 수 있으며, 제1 스위치는 제2 상태에서 안테나 포트를 무선 주파수 신호 경로에 전기적으로 접속시키고 안테나 포트를 바이패스 경로로부터 전기적으로 격리하도록 구성될 수 있다. 무선 주파수 신호 경로는 수신 경로를 포함할 수 있다. 무선 주파수 신호 경로는 송신 경로를 포함할 수 있다.

[0012] 이 장치는 다이버시티 모듈을 포함할 수 있다. 다이버시티 모듈은, 적어도 제1 스위치, 제2 스위치, 및 바이패스 경로를 포함할 수 있다. 다이버시티 모듈은 또한 적어도 하나의 인덕터를 포함할 수 있다. 이 장치는, 복수의 안테나를 더 포함할 수 있고, 복수의 안테나는 다이버시티 모듈의 제1 스위치와 통신하는 다이버시티 안테나를 포함한다. 이 장치는 제2 스위치와 통신하는 안테나 스위치 모듈을 더 포함할 수 있다.

[0013] 본 개시내용의 또 다른 양태는, 적어도 2개의 쏘로우를 갖는 제1 스위치, 적어도 2개의 쏘로우를 갖는 제2 스위치, 무선 주파수 신호 경로, 바이패스 경로, 및 인덕터를 포함하는 장치이다. 무선 주파수 신호 경로는 제1 스위치와 제2 스위치 사이에 전기적으로 결합된다. 무선 주파수 신호 경로는 무선 주파수 신호를 처리하도록 구성된다. 바이패스 경로는 제1 스위치와 제2 스위치 사이에 전기적으로 결합된다. 인덕터는, 제1 스위치의 오

프 상태 캐패시턴스를 보상하여 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된다.

[0014] 이 장치는, 제2 스위치의 오프 상태 캐패시턴스를 보상하여 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된 제2 인덕터를 더 포함할 수 있다. 이 장치는, 바이패스 경로의 캐패시턴스를 보상하여 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된 제3 인덕터를 더 포함할 수 있다.

[0015] 인덕터는 조정가능한(tunable) 인덕터를 가질 수 있다. 인덕터는 분로 인덕터로서 구성될 수 있다. 제1 스위치는 인덕터와 바이패스 경로 사이에 결합될 수 있다.

[0016] 이 장치는, 제1 스위치와 제2 스위치 사이에 수신 경로를 더 포함할 수 있고, 수신 경로는 무선 주파수 신호 경로를 포함한다. 제1 스위치는 제1 상태에서 안테나 포트를 바이패스 경로에 전기적으로 접속시키고 안테나 포트를 수신 경로로부터 전기적으로 격리하도록 구성될 수 있다. 제1 스위치는 제2 상태에서 안테나 포트를 수신 경로들 중 선택한 경로에 전기적으로 접속시키고 바이패스 경로를 안테나 포트와 수신 경로들 중 다른 수신 경로들로부터 전기적으로 격리하도록 구성될 수 있다.

[0017] 본 개시내용의 또 다른 양태는 바이패스 경로와 연관된 삽입 손실을 감소시키는 전자적으로-구현된 방법이다. 이 방법은, 다이버시티 모듈의 입력이 적어도 2개의 쓰로우를 갖는 제1 스위치와 적어도 2개의 쓰로우를 갖는 제2 스위치를 전기적으로 접속시키는 바이패스 경로를 통해 다이버시티 모듈의 출력에 결합되도록 하는 바이패스 모드에서 다이버시티 모듈을 동작시키는 것을 포함한다. 이 방법은 또한, 바이패스 모드에서 다이버시티 모듈을 동작시키는 동안, 바이패스 경로와 연관된 캐패시턴스를 실질적으로 상쇄시켜 바이패스 모드와 연관된 삽입 손실이 감소되게 하는 것을 포함한다.

[0018] 본 개시내용의 또 다른 양태는, 바이패스 경로, 수신 경로, 및 적어도 하나의 인덕터를 포함하는 장치이다. 바이패스 경로는 안테나 포트에 결합된 제1 스위치를 안테나 스위치 모듈에 결합된 제2 스위치와 전기적으로 접속시키고, 제1 스위치는 적어도 2개의 쓰로우를 가지며, 제2 스위치는 적어도 2개의 쓰로우를 가진다. 수신 경로는 제1 스위치와 제2 스위치 사이에 전기적으로 결합된다. 수신 경로는 필터와 저잡음 증폭기를 포함한다. 적어도 하나의 인덕터는, 제1 스위치의 오프 상태, 제2 스위치의 오프 상태, 또는 바이패스 경로의 송신 라인 중 적어도 하나와 연관된 캐패시턴스를 보상하도록 구성된다.

[0019] 본 개시내용의 또 다른 양태는, 적어도 2개의 쓰로우를 갖는 제1 스위치, 적어도 2개의 쓰로우를 갖는 제2 스위치, 제1 스위치와 제2 스위치를 전기적으로 접속시키는 수신 경로, 제1 스위치와 제2 스위치를 전기적으로 접속시키는 바이패스 경로, 제1 인덕터, 제2 인덕터, 및 제3 인덕터를 포함하는 장치이다. 제1 인덕터는, 제1 스위치의 오프 상태 캐패시턴스를 보상하여 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된다. 제2 인덕터는, 바이패스 경로의 송신 라인의 캐패시턴스를 보상하여 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된다. 제3 인덕터는, 제2 스위치의 오프 상태 캐패시턴스를 보상하여 바이패스 경로와 연관된 삽입 손실이 감소되게 하도록 구성된다.

[0020] 본 개시내용의 또 다른 양태는, 송신 라인과 적어도 하나의 인덕터를 포함하는 장치이다. 송신 라인은 제1 멀티-쓰로우 스위치를 제2 멀티-쓰로우 스위치와 전기적으로 접속한다. 적어도 하나의 인덕터는 송신 라인과 연관된 캐패시턴스를 보상하여 송신 라인의 삽입 손실이 감소되게 하도록 구성된다.

[0021] 적어도 하나의 인덕터는, 제1 멀티-쓰로우 스위치의 오프 상태 캐패시턴스, 제2 멀티-쓰로우 스위치의 오프 상태 캐패시턴스, 또는 송신 라인의 캐패시턴스 중 적어도 하나의 캐패시턴스를 보상하여 송신 라인의 삽입 손실이 감소되게 할 수 있다.

[0022] 본 개시내용의 또 다른 양태는, 제1 멀티-쓰로우 스위치와 제2 멀티-쓰로우 스위치를 전기적으로 접속시키는 송신 라인과 제1 멀티-쓰로우 스위치의 오프 상태 캐패시턴스와 제2 멀티-쓰로우 스위치의 오프 상태 캐패시턴스를 보상하도록 구성된 적어도 하나의 인덕터를 포함하는 장치이다.

[0023] 본 개시를 요약하기 위한 목적을 위해, 본 발명의 특징의 양태, 장점 및 신규한 특징들이 본원에서 설명되었다. 반드시 이러한 장점들 모두가 본 발명의 임의의 특정 실시예에 따라 달성될 필요는 없다는 것을 이해해야 한다. 따라서, 본 발명은, 여기서 교시되거나 암시된 다른 장점들을 반드시 달성할 필요없이, 여기서 교시된 하나의 장점 또는 하나의 그룹의 장점들을 달성하거나 최적화하는 방식으로 구현되거나 실행될 수 있다.

도면의 간단한 설명

[0024] 본 개시내용의 실시예들이 첨부된 도면을 참조하여 비제한적 예를 통해 설명될 것이다:

- 도 1은 실시예에 따른 다이버시티 모듈의 개략도이다;
- 도 2a는 또 다른 실시예에 따른 다이버시티 모듈의 개략적 블록도이다;
- 도 2b는 또 다른 실시예에 따른 다이버시티 모듈의 개략적 블록도이다;
- 도 2c는 또 다른 실시예에 따른 다이버시티 모듈의 개략적 블록도이다;
- 도 3은 기생 성분이 예시되어 있는 도 2a의 다이버시티 모듈의 개략도이다;
- 도 4는 도 2a의 다이버시티 모듈에서의 바이패스 경로의 기생 성분을 나타내는 개략도이다;
- 도 5는 도 2a의 다이버시티 모듈의 삽입 손실을 이전 다이버시티 모듈과 비교하는 그래프이다;
- 도 6은 다이버시티 모듈을 포함하는 무선 디바이스의 개략적 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 특정 실시예들의 이하의 상세한 설명은 특정한 실시예의 다양한 설명을 제공한다. 그러나, 본원에서 설명된 혁신은, 예를 들어, 특허청구범위에 의해 정의되고 포괄되는, 다수의 상이한 방식으로 구현될 수 있다. 이 설명에서, 유사한 참조 번호는 동일하거나 기능적으로 유사한 요소들을 나타내는 도면들을 참조한다. 도면에 예시된 요소들은 반드시 비율대로 그려진 것은 아니라는 것을 이해할 것이다. 게다가, 실시예들은 특정한 도면에 예시된 요소들 및/또는 예시된 요소들의 서브셋보다 많은 요소들을 포함할 수 있다는 것을 이해할 것이다.
- [0026] 핸드셋 등의 일부 무선 디바이스는, 적어도 주 안테나와 다이버시티 안테나를 포함하는 복수의 안테나를 포함할 수 있다. 롱 텀 에볼루션(LTE) 표준에 따라 신호를 수신 및/또는 송신하도록 구성된 무선 디바이스는 디바이스가 적어도 2개의 수신 안테나를 포함한다고 가정한다. 복수의 안테나에 의해, 신호는 하나보다 많은 물리적 위치에서 수신될 수 있다. 수신을 향상시키기 위해, 상이한 물리적 위치들에서의 복수의 안테나로부터의 신호가 결합될 수 있다. 특정 구성에서, 주 안테나는 수신 칩셋에 물리적으로 가까이 위치할 수 있고 다이버시티 안테나는 물리적 다이버시티를 위해 주 안테나로부터 이격되어 위치할 수 있다. 수신 칩셋으로부터 비교적 멀리 위치한 다이버시티 안테나에 의해, 다이버시티 안테나에서 수신된 신호는 다이버시티 안테나를 수신 칩셋에 접속시키는 케이블 및/또는 기타의 와이어링을 통한 손실을 겪을 수 있다. 일부 사례에서, 이러한 케이블은 약 2 데시벨(dB)의 손실을 초래할 수 있다.
- [0027] 다이버시티 안테나와 연관된 신호가 주 안테나와 연관된 신호와 대략 동일한 신호 강도를 갖는 것이 바람직할 수 있다. 따라서, 다이버시티 모듈은, 케이블 또는 기타의 와이어링으로부터의 손실 등의, 다이버시티 안테나에 의해 수신된 신호 상의 손실을 보상하기 위해 이득을 제공할 수 있다. 다이버시티 모듈은 하나 이상의 수신 경로를 포함할 수 있고, 각각의 수신 경로는 필터와 저잡음 증폭기를 포함한다. 예를 들어, 다이버시티 모듈은 복수의 신호 경로를 포함할 수 있고, 각각의 신호 경로는, 상이한 주파수 대역을 통과시키도록 구성된 대역 통과 필터와 각각의 대역 통과 필터의 출력을 증폭하도록 구성된 저잡음 증폭기를 포함한다.
- [0028] 다이버시티 모듈은 또한, 다이버시티 안테나와 연관된 신호의 필터링 및 증폭 등의 처리를 회피하는 바이패스 경로를 포함할 수 있다. 바이패스 경로는 다이버시티 모듈의 하나 이상의 수신 경로의 필터링과 증폭을 회피하는 송신 라인으로서 기능할 수 있다. 예를 들어, 다이버시티 안테나로부터 수신된 신호가 하나 이상의 수신 경로들 중 임의의 수신 경로의 필터의 통과 대역 밖(예를 들어, 하나 이상의 수신 경로들 중 임의의 수신 경로의 대역 통과 필터의 통과 대역 밖)에 있을 때, 하나 이상의 수신 경로를 바이패스 경로로 바이패스하는 것이 바람직할 수 있다. 바이패스 경로는 다이버시티 안테나로부터 수신된 신호를 필터링 및/또는 이득 추가 없이 안테나 스위치 모듈에 제공할 수 있다. 그러면 안테나 스위치 모듈은 다이버시티 안테나와 연관된 신호를 처리하여 처리된 신호를 수신기 및/또는 트랜시버에 제공할 수 있다. 일부 응용에서, 바이패스 경로는 다이버시티 안테나를 이용하여 신호를 송신하는데 이용될 수 있다. 이러한 응용에서, 안테나 스위치 모듈은 RF 신호를 다이버시티 모듈에 제공하여 다이버시티 안테나로부터 바이패스 경로를 통해 송신할 수 있다.
- [0029] 다이버시티 모듈에서, 바이패스 경로가 비교적 넓은 주파수 범위(예를 들어, 수 GHz에 걸친 주파수 범위 또는 적어도 약 10 GHz에 걸친 주파수 범위)에 걸쳐 가능한 낮은 삽입 손실을 갖는 것이 바람직할 수 있다. 비교적 낮은 삽입 손실에 의해, 바이패스 경로는 저손실 수신 경로 및/또는 저손실 송신 경로를 제공할 수 있다.
- [0030] 다이버시티 모듈에서의 캐패시턴스는 바이패스 경로에서의 삽입 손실을 야기할 수 있다. 이러한 캐패시턴스는, 바이패스 경로의 송신 라인의 및/또는 다이버시티 모듈의 하나 이상의 스위치의 용량성 부하로부터 생길 수 있

다. 예를 들어, 멀티-쓰로우 스위치는 RF 신호를 바이패스 경로에 결합할 수 있다. 이 예에서, 바이패스 경로에 접속되지 않은 쓰로우와 연관된 오프 상태 캐패시턴스는 바이패스 경로에서 바람직하지 않은 캐패시턴스를 생성할 수 있다. 하나 이상의 스위치 및/또는 바이패스 경로의 송신 라인과 연관된 캐패시턴스는 상당할 수 있고 증가된 삽입 손실을 초래할 수 있다. 이 증가된 삽입 손실은 더 높은 동작 주파수에서 더 뚜렷한 효과를 가질 수 있다. 예를 들어, 보상이 없을시, 하나 이상의 스위치 및/또는 바이패스 경로의 송신 라인과 연관된 기생 캐패시턴스는 특정 응용에서 적어도 약 2 GHz의 주파수에서 삽입 손실에 상당히 영향을 미칠 수 있다.

[0031] 본 개시내용의 양태는, 다이버시티 모듈 내의 바이패스 경로 등의, 바이패스 경로에서 삽입 손실을 야기할 수 있는 캐패시턴스를 보상하는 것에 관한 것이다. 하나 이상의 인덕터는 바이패스 경로에서 삽입 손실을 야기하는 캐패시턴스의 일부 또는 전부를 보상할 수 있다. 따라서, 하나 이상의 인덕터는 바이패스 경로의 삽입 손실을 감소시킬 수 있다. 이러한 보상은, 수 GHz 내지 수십 GHz의 주파수 범위 등의, 비교적 넓은 주파수 범위에 걸쳐 제공될 수 있다. 일 실시예에서, 바이패스 경로는, 제1 스위치를 제2 스위치와 전기적으로 접속시키고, 제1 인덕터는 제1 스위치의 오프 상태 캐패시턴스를 실질적으로 상쇄할 수 있으며, 제2 인덕터는 바이패스 경로의 캐패시턴스를 실질적으로 상쇄할 수 있고, 제3 인덕터는 제2 스위치의 오프 상태 캐패시턴스를 실질적으로 상쇄할 수 있다.

[0032] 바이패스 경로 상에서 삽입 손실을 야기할 수 있는 캐패시턴스를 보상하는 하나 이상의 인덕터에 의해, 바이패스 경로에서의 송신 라인의 길이는 삽입 손실에 비교적 덜 기여할 수 있다. 따라서, 이러한 송신 라인은 하나 이상의 인덕터에 의한 보상으로 인해 바이패스 경로의 삽입 손실에 상당히 영향을 주지 않고 더 긴 길이를 가질 수 있다. 대안으로서 또는 추가로, 바이패스 경로에 의해 접속되는 제1 스위치 및/또는 제2 스위치의 스위치 크기는 오프 상태 스위치 캐패시턴스에 대한 유도성 보상으로 인해 이전 설계에 비해 삽입 손실에 덜 영향을 미칠 수 있다.

[0033] 본 개시가 예시의 목적을 위해 무선 디바이스의 다이버시티 모듈에서의 예를 설명하고 있지만, 본원에서 설명되는 원리와 장점들은 다른 적절한 응용에도 적용될 수 있다. 게다가, 본 개시내용의 피쳐들이 설명의 목적을 위해 RF 신호 수신을 참조하여 설명되고 있지만, 본원에서 논의된 임의의 원리와 장점은, RF 신호를 송신하도록 구성된 회로, RF 신호를 수신하도록 구성된 회로, 및/또는 RF 신호를 송신 및 수신하도록 구성된 회로와 관련하여 적용될 수 있다. 예를 들어, 본원에서 논의된 원리와 장점들은 2개의 멀티-쓰로우 스위치들 사이에 전기적으로 바이패스 경로가 있고 또한 2개의 멀티-쓰로우 스위치들 사이에 전기적으로 결합된 무선 주파수 신호 경로가 있는 임의의 상황에 적용될 수 있으며, 여기서, 무선 주파수 신호 경로는 수신 또는 송신을 위한 무선 주파수 신호를 처리할 수 있다.

[0034] 도 1은 실시예에 따른 다이버시티 모듈의(100)의 개략도이다. 다이버시티 모듈(100) 및/또는 본원에서 언급된 임의의 다이버시티 모듈은, 예를 들어, 모바일 디바이스 등의, 무선 디바이스에서 구현될 수 있다. 예를 들어, 다이버시티 모듈(100)은 스마트폰에서 구현될 수 있다. 다이버시티 모듈(100) 및/또는 다른 다이버시티 모듈들 중 임의의 것은 예시된 것보다 더 많거나 더 적은 요소들을 포함할 수 있다. 다이버시티 모듈(100)은 다이버시티 안테나로부터 RF 신호를 수신하여 수신된 RF 신호의 처리된 버전을 수신 포트에 제공할 수 있다. 일부 응용에서, 다이버시티 모듈(100)은 또한, 다이버시티 안테나를 이용하여 RF 신호를 송신하는데 이용될 수 있다. 예시된 다이버시티 모듈(100)은, 제1 스위치(110), 제2 스위치(120), 바이패스 경로(130), 및 수신 경로(135)를 포함한다.

[0035] 제1 스위치(110)는 안테나 포트로부터의 RF 신호를 바이패스 경로(130)에 또는 수신 경로(135)들 중 선택된 수신 경로에 전달하도록 구성된 RF 스위치일 수 있다. 제1 스위치(110)는 제1 스위치(110)가 또한 바이패스 경로(130)로부터의 신호를 안테나 포트에 제공할 수 있도록 양방향일 수 있다. 제1 스위치(110)는 안테나 포트로부터 신호를 수신하기 위한 입력 스위치로 간주될 수 있다. 제1 스위치(110)가 양방향일 때, 이것은 안테나 포트로부터의 신호의 송신을 용이하게 하는 출력 스위치로 간주될 수 있다. 본 개시내용의 피쳐들은 예시의 목적을 위해 하나의 안테나 포트를 참조하여 설명되지만, 본원에서 논의된 원리와 장점들 중 임의의 것은 복수의 안테나 포트 및/또는 복수의 다이버시티 안테나와 관련하여 적용될 수 있다. 인덕터 L1, L2 또는 L3 중 하나 이상은 복수의 안테나 및/또는 안테나 포트들 각각과 관련하여 별개로 구현될 수 있다. 예를 들어, 특정 응용에서, 하나의 제1 인덕터 L1은 제1 안테나와 관련하여 구현될 수 있고, 또 다른 제1 인덕터 L1은 제2 안테나와 관련하여 구현될 수 있다. 인덕터 L1, L2 또는 L3 중 하나 이상은 복수의 안테나 및/또는 안테나 포트들과 연관된 유도성 보상을 제공하도록 구현될 수 있다. 일례로서, 하나의 제3 인덕터 L3은 복수의 안테나와 관련하여 구현될 수 있다.

- [0036] 일 상태에서, 제1 스위치(110)는 안테나 포트를 바이패스 경로(130)에 전기적으로 결합하고 안테나 포트를 수신 경로(135)로부터 전기적으로 격리한다. 이러한 상태는 바이패스 모드에 대응한다. 다른 상태에서, 제1 스위치(110)는 안테나 포트를 수신 경로(135)들 중 선택된 수신 경로에 전기적으로 결합하고 다른 수신 경로(135)와 바이패스 경로(130)를 안테나 포트로부터 전기적으로 격리한다.
- [0037] 제1 스위치(110)는 각 쓰로우와 연관된 분로 요소 및 스위치 요소를 포함할 수 있다. 선택된 쓰로우와 연관된 신호를 안테나 포트에 선택적으로 전기적 결합하기 위해, 제1 스위치(110)는 선택된 쓰로우와 연관된 스위치 요소를 온으로 할 수 있고(turn on), 선택된 쓰로우와 연관된 분로 요소를 오프로 할 수 있고(turn off), 다른 쓰로우와 연관된 분로 요소를 온으로 할 수 있고, 다른 쓰로우와 연관된 스위치 요소를 오프로 할 수 있다. 분로 요소와 스위치 요소 각각은 예를 들어 하나 이상의 전계 효과 트랜지스터에 의해 구현될 수 있다. 일부 구현에서, 분로 요소는 서로 직렬의 2개 이상의 전계 효과 트랜지스터에 의해 구현될 수 있고 및/또는 직렬 요소는 서로 직렬의 2개 이상의 전계 효과 트랜지스터에 의해 구현될 수 있다.
- [0038] 예시된 제1 스위치(110)는 멀티-쓰로우 스위치이다. 제1 스위치(110)는 2개 이상의 쓰로우를 포함할 수 있다. 예를 들어, 예시된 제1 스위치(110)는 4개의 쓰로우를 포함한다. 제1 스위치(110)는 특정한 응용에 대해 2개 이상인 임의의 적절한 수의 쓰로우를 가질 수 있다. 제1 스위치(110)는 단일 폴(pole)을 가질 수 있다. (예시되지 않은) 일부 다른 실시예에서, 제1 스위치(110)는 2개 이상의 폴을 가질 수 있다.
- [0039] 제2 스위치(120)는 바이패스 경로(130) 또는 수신 경로(135)들 중 선택된 수신 경로로부터의 RF 신호를 수신 포트에 전달하도록 구성된 RF 스위치일 수 있다. 제2 스위치(120)는, 제2 스위치(120)가 또한 RF 신호를 바이패스 경로(130)에 제공하여 안테나 포트로부터의 RF 신호의 송신을 용이하게 하도록 양방향일 수 있다. RF 신호는 수신 포트에서 수신될 수 있고, 이 경우 수신 포트는 송신 동작 모드에서 송신 포트로서, 또는 다른 포트로서 동작할 수 있다. 예를 들어, RF 신호는 제1 스위치(110)에 전기적으로 접속된 다이버시티 안테나를 통한 송신을 위해 안테나 스위치 모듈에 의해 수신 포트에 제공될 수 있다. (예시되지 않은) 또 다른 구현에서, 제2 스위치(120)는, 수신 포트 또는 송신 포트가 바이패스 경로(130)에 전기적으로 접속될 수 있도록, 수신과 연관된 제1 폴, 및 송신과 연관된 제2 폴을 포함할 수 있다. 제2 스위치(120)는 안테나 포트로부터 신호를 수신하기 위한 출력 스위치로 간주될 수 있다. 제2 스위치(120)가 양방향일 때, 이것은 안테나 포트로부터의 신호의 송신을 용이하게 하기 위한 입력 스위치로 간주될 수 있다.
- [0040] 바이패스 모드에 대응하는 상태에서, 제2 스위치(120)는 수신 포트를 바이패스 경로(130)에 전기적으로 결합하고 수신 포트를 수신 경로(135)로부터 전기적으로 격리한다. 다른 상태에서, 제2 스위치(120)는 수신 포트를 수신 경로(135)들 중 선택된 수신 경로에 전기적으로 결합하고 다른 수신 경로(135)와 바이패스 경로(130)를 수신 포트로부터 전기적으로 격리한다.
- [0041] 제2 스위치(120)는 각 쓰로우와 연관된 분로 요소 및 스위치 요소를 포함할 수 있다. 선택된 쓰로우와 연관된 신호를 수신 포트에 선택적으로 전기적 결합하기 위해, 제2 스위치(120)는 선택된 쓰로우와 연관된 스위치 요소를 온으로 할 수 있고, 선택된 쓰로우와 연관된 분로 요소를 오프로 할 수 있고, 다른 쓰로우와 연관된 분로 요소를 온으로 할 수 있고, 다른 쓰로우와 연관된 스위치 요소를 오프로 할 수 있다. 분로 요소와 스위치 요소 각각은 예를 들어 하나 이상의 전계 효과 트랜지스터에 의해 구현될 수 있다. 일부 구현에서, 분로 요소는 서로 직렬의 2개 이상의 전계 효과 트랜지스터에 의해 구현될 수 있고 및/또는 직렬 요소는 서로 직렬의 2개 이상의 전계 효과 트랜지스터에 의해 구현될 수 있다.
- [0042] 예시된 제2 스위치(120)는 멀티-쓰로우 스위치이다. 제2 스위치(120)는 2개 이상의 쓰로우를 포함할 수 있다. 예를 들어, 예시된 제2 스위치(120)는 4개의 쓰로우를 포함한다. 제2 스위치(120)는 특정한 응용에 대해 2개 이상인 임의의 적절한 수의 쓰로우를 가질 수 있다. 제2 스위치(120)는 단일 폴을 가질 수 있다. (예시되지 않은) 일부 다른 실시예에서, 제2 스위치(120)는 2개 이상의 폴을 가질 수 있다. 제2 스위치(120)는 특정 응용에서 제1 스위치(110)와는 상이한 수의 폴 및/또는 쓰로우를 가질 수 있다.
- [0043] 바이패스 경로(130)는 다이버시티 안테나와 연관된 신호의 필터링 및 증폭을 회피할 수 있다. 바이패스 경로(130)는 제1 스위치(110)와 제2 스위치(120) 사이에서 수신 경로(135)를 바이패스하는 송신 라인으로서 기능할 수 있다. 따라서, 신호는 수신 경로들(135) 중 임의의 수신 경로에 의해 처리되지 않고 바이패스 경로(130)에 의해 안테나 포트로부터 수신 포트(또는 수신 포트로부터 안테나 포트) 전달될 수 있다.
- [0044] 하나 이상의 유도성 회로 요소가 다이버시티 모듈(100)에 포함되어 바이패스 경로(130)와 연관된 삽입 손실이 감소되게 할 수 있다. 다이버시티 모듈(100)과 본원에서 개시된 기타의 다이버시티 모듈들이 3개의 이러한 인

덕터 L1, L2, 및 L3을 포함하지만, 이들 인덕터들 중 하나 이상이 특정 실시예에서 포함될 수 있다. 게다가, 인덕터 L1, L2, 또는 L3 중 하나 이상은, 인덕터 L1, L2, 또는 L3 중 하나 이상의 인덕턴스가 조절될 수 있도록, 조정가능할 수 있다. 예를 들어, 이들 인덕터들 중 임의의 것은, 인덕터의 유효 인덕턴스를 변경시키기 위해 베이스 인덕터와 병렬로 스위칭 인(switched in) 또는 스위칭 아웃(switched out)될 수 있는 하나 이상의 추가 인덕터를 갖는 베이스 인덕터를 포함할 수 있다.

[0045] 도 1에서, 예시된 제1 인덕터 L1은, 바이패스 경로(130)에 결합된 제1 단부와 접지 전위에 결합된 제2 단부를 가진다. 따라서, 도 1에서, 제1 인덕터 L1은 분로 인덕터로서 구성된다. 제1 스위치(110)는 제1 인덕터 L1과 안테나 포트 사이에 배치될 수 있다. 제1 인덕터 L1은 바이패스 모드에서 제1 스위치(110)의 오프 상태 캐패시턴스의 일부 또는 전부를 보상하도록 선택된 인덕턴스를 가질 수 있다. 따라서, 제1 인덕터 L1은 제1 스위치(110)로부터의 오프 상태 캐패시턴스의 영향을 실질적으로 상쇄하여 바이패스 경로(130)의 삽입 손실에 미치는 이러한 캐패시턴스의 영향을 감소시키거나 실질적으로 제거할 수 있다. 일부 실시예에서, 제1 인덕터 L1은 또한, 바이패스 경로(130)의 송신 라인의 캐패시턴스의 적어도 일부를 보상할 수 있다.

[0046] 예시된 제2 인덕터 L2는 제1 스위치(110)와 제2 스위치(120) 사이에서 바이패스 경로(130)와 직렬로 결합될 수 있다. 제2 인덕터 L2는 바이패스 경로(130)의 송신 라인의 기생 캐패시턴스를 보상하는 인덕턴스를 가질 수 있다. 제2 인덕터 L2는 바이패스 경로(130)의 캐패시턴스의 영향을 실질적으로 상쇄하여 바이패스 경로(130)의 삽입 손실에 미치는 이러한 캐패시턴스의 영향을 감소시키거나 실질적으로 제거할 수 있다. 일부 실시예에서, 제2 인덕터 L2는 또한, 제1 스위치(110)의 오프 상태 캐패시턴스의 적어도 일부 및/또는 제2 스위치(120)의 오프 상태 캐패시턴스의 적어도 일부를 보상할 수 있다.

[0047] 예시된 제3 인덕터 L3은, 바이패스 경로(130)에 결합된 제1 단부와 접지 전위에 결합된 제2 단부를 가진다. 도 1에 나타난 바와 같이, 제3 인덕터 L3은 분로 인덕터로서 구성된다. 제2 스위치(120)는 제3 인덕터 L3과 수신 포트 사이에 배치될 수 있다. 제3 인덕터 L3은 바이패스 모드에서 제2 스위치(120)의 오프 상태 캐패시턴스의 일부 또는 전부를 보상하도록 선택된 인덕턴스를 가질 수 있다. 따라서, 제3 인덕터 L3은 제2 스위치(120)로부터의 오프 상태 캐패시턴스의 영향을 실질적으로 상쇄하여 바이패스 경로(130)의 삽입 손실에 미치는 이러한 캐패시턴스의 영향을 감소시키거나 실질적으로 제거할 수 있다. 일부 실시예에서, 제3 인덕터 L3은 또한, 바이패스 경로(130)의 송신 라인의 캐패시턴스의 적어도 일부를 보상할 수 있다.

[0048] 수신 경로(135)는 안테나 포트로부터의 신호를 필터링 및 증폭하여 필터링되고 증폭된 신호를 제2 스위치(120)를 통해 수신 포트에 제공할 수 있다. 수신 경로(135)들 각각은, 제1 매칭(matching) 회로(140a/140b/140c), 제1 스위치(110)를 통해 안테나 포트로부터 수신된 신호를 필터링하는 대역 통과 필터(150a/150b/150c), 제2 매칭(matching) 회로(160a/160b/160c), 및 대역 통과 필터(150a/150b/150c)로부터의 출력을 증폭하는 저잡음 증폭기(170a/170b/170c)를 포함할 수 있다. 수신 경로 각각의 대역 통과 필터(150a/150b/150c)는 상이한 주파수 대역을 통과시킬 수 있다. 대안으로서 또는 추가로, 수신 경로 각각의 대역 통과 필터(150a/150b/150c)는, 대역외(out of band) 감쇠 등의, 상이한 필터 특성을 가질 수 있다. 도 1에는 3개의 상이한 수신 경로가 예시되어 있지만, 임의의 적절한 수의 수신 경로가 구현될 수 있다. 예를 들어, 특정 응용에서, 1 내지 10개의 수신 경로가 다이버시티 모듈에 포함될 수 있다.

[0049] 도면들은 2개의 멀티-쓰로우 스위치들 사이에 수신 경로(135)와 바이패스 경로(130)를 나타내고 있지만, 본 개시에서 논의되는 임의의 원리와 장점은, (1) 멀티-쓰로우 스위치들 사이의 바이패스 경로(130)와 단일 수신 경로; (2) 멀티-쓰로우 스위치들 사이의 바이패스 경로(130)와 하나 이상의 송신 경로; 및 (3) 멀티-쓰로우 스위치들 사이의 바이패스 경로(130), 하나 이상의 수신 경로, 및 하나 이상의 송신 경로 등의, 기타의 적절한 상황에 적용될 수 있다.

[0050] 도 2a는 또 다른 실시예들에 따른 다이버시티 모듈(200)의 개략적 블록도이다. 도 2a의 다이버시티 모듈(200)은, 제1 인덕터 L1과 제3 인덕터 L3이 상이한 노드들에서 바이패스 경로(130)에 결합된다는 점을 제외하고는, 도 1의 다이버시티 모듈(100)과 실질적으로 동일하다. 따라서, 제1 인덕터 L1 및 제3 인덕터 L3이 결합되는 노드 이외에, 다이버시티 모듈(200)은 도 1에서 논의된 임의의 원리와 장점을 구현할 수 있다. 하나의 비제한적 예로서, 도 2a에 나타난 스위치들(110 및 120)은 도 1을 참조하여 논의된 피치들의 임의의 조합을 구현할 수 있다. 도 2a의 제1 인덕터 L1은 도 1에 예시된 실시예에 관해 제1 스위치(110)의 대향측 상에서 결합되고 도 2a의 제3 인덕터 L3은 도 1에 나타난 실시예에 관해 제2 스위치(120)의 대향측 상에서 결합된다. 도 2a의 제1 인덕터 L1과 제3 인덕터 L3은 도 2a의 다이버시티 모듈(200)의 일부이다. 예시된 다이버시티 모듈(200)에서, 제1 스위치(110)는 제1 인덕터 L1과 바이패스 경로(130) 사이에 결합된다. 제1 인덕터 L1의 인덕턴스가 다이버시티

모듈(100)에서 바이패스 경로(130)에만 상당한 영향을 미치는 것과는 대조적으로, 제1 인덕터 L1의 인덕턴스는 바이패스 모듈(200)에서 바이패스 경로(130)와 수신 경로(135) 모두에 영향을 미칠 수 있다. 추가로, 예시된 다이버시티 모듈(200)에서, 제2 스위치(120)는 바이패스 경로(130)와 제3 인덕터(130) 사이에 결합된다. 제3 인덕터 L3의 인덕턴스가 다이버시티 모듈(100)에서 바이패스 경로(130)에만 상당한 영향을 미치는 것과는 대조적으로, 제3 인덕터 L3의 인덕턴스는 바이패스 모듈(200)에서 바이패스 경로(130)와 수신 경로(135) 모두에 영향을 미칠 수 있다.

[0051] 또 다른 실시예에서, 제1 인덕터 L1은 도 1에 나타난 다이버시티 모듈(100)에 따라 배열될 수 있고 제3 인덕터 L3은 도 2a에 나타난 다이버시티 모듈(200)에 따라 배열될 수 있다. 대안으로서, 제1 인덕터 L1은 도 2a에 나타난 다이버시티 모듈(200)에 따라 배열될 수 있고 제3 인덕터 L3은 도 1에 나타난 다이버시티 모듈(100)에 따라 배열될 수 있다.

[0052] 다른 실시예에 따라, 도 1의 제1 인덕터 L1과 도 2a의 제1 인덕터 L1 양쪽 모두는, 이들 인덕터들이 제1 스위치(110)의 오프 상태 캐패시턴스를 실질적으로 상쇄하는 순 효과(net effect)를 갖도록 함께 구현될 수 있다. 대안으로서 또는 추가로, 도 1의 제3 인덕터 L3과 도 2a의 제3 인덕터 L3 양쪽 모두는, 이들 인덕터들이 제1 스위치(120)의 오프 상태 캐패시턴스를 실질적으로 상쇄하는 순 효과를 갖도록 함께 구현될 수 있다.

[0053] 인덕터 L1, L2, 또는 L3 중 하나 이상은 조정가능한 임피던스를 가질 수 있다. 조정가능한 임피던스를 갖는 것은 인덕터 L1, L2, 또는 L3 중 하나 이상은, 바이패스 경로(130)와 연관된 삽입 손실을 야기할 수 있는, 프로세스 변동 등의, 캐패시턴스에서의 변동을 감안하기 위해 그들의 임피던스를 조절하는 것을 가능하게 할 수 있다. 예를 들어, 조절가능한 임피던스를 갖는 인덕터는, 제1 스위치(110)의 오프 상태 캐패시턴스에서의 변동, 바이패스 경로의 송신 라인과 연관된 캐패시턴스에서의 변동, 제2 스위치(120)의 오프 상태 캐패시턴스에서의 변동, 또는 이들의 임의 조합을 보상할 수 있다. 일 실시예에서, 인덕터 L1, L2, 또는 L3 중 하나 이상은 병렬의 조정가능한 캐패시턴스와 함께 구현될 수 있다.

[0054] 도 2b는 또 다른 실시예들에 따른 다이버시티 모듈(200')의 개략적 블록도이다. 다이버시티 모듈(200')은 다이버시티 모듈(200)을 참조하여 논의된 임의의 원리와 이점 및/또는 다이버시티 모듈(100)을 참조하여 논의된 임의의 적절한 조합의 피쳐들을 구현할 수 있다. 도 2b의 다이버시티 모듈(200')은, 제1 인덕터 L1과 제3 인덕터 L3이 도 2b에서 조정가능한 인덕터 L1'와 L3'인 것으로 예시되어 있다는 점을 제외하고는, 도 2a의 다이버시티 모듈(200)과 실질적으로 동일하다. (예시되지 않은) 또 다른 실시예에서, 제2 인덕터 L2도 또한 조정가능할 수 있다.

[0055] 제1 인덕터 L1과 제3 인덕터 L3 각각은 임의의 적절한 조정가능한 인덕턴스 회로에 의해 구현될 수 있다. 일부 다른 실시예에서, 제1 인덕터 L1 또는 제3 인덕터 중 하나만이 적절한 조정가능한 독립 회로에 의해 구현될 수 있다. 일례로서, 조정가능한 임피던스 회로는, 인덕터의 유효 인덕턴스를 변경시키기 위해 베이스 인덕터와 직렬로 및/또는 병렬로 스위칭 인 또는 스위칭 아웃될 수 있는 하나 이상의 추가 인덕터를 갖는 베이스 인덕터를 포함할 수 있다. 또 다른 예로서, 조정가능한 임피던스는, 서로 직렬로 및/또는 병렬로 스위칭 인 또는 스위칭 아웃될 수 있는 하나 이상의 인덕터를 포함할 수 있다.

[0056] 특정 실시예에서, 조정가능한 제1 인덕터 L1은, 각각의 유도성 요소와 안테나 포트 사이에서 직렬로 배치된 스위치들을 포함할 수 있다. 조정가능한 제1 인덕터 L1의 유도성 요소들 중 하나 이상은 원하는 유효 임피던스를 제공하기 위해 안테나 포트에 선택적으로 전기적 결합될 수 있다. 이러한 실시예에서, 제1 인덕터 L1의 각각의 유도성 요소는, 제1 인덕터 L1의 유효 인덕턴스가 디커플링된 상태에서 대략 제로가 될 수 있도록 디커플링된 상태에서 안테나 포트로부터 전기적으로 격리될 수 있다. 마찬가지로, 특정 실시예에서, 조정가능한 제3 인덕터 L3은, 각각의 유도성 요소와 수신 포트 사이에서 직렬로 배치된 스위치들을 포함할 수 있다. 조정가능한 제3 인덕터 L3의 유도성 요소들 중 하나 이상은 원하는 유효 임피던스를 제공하기 위해 수신 포트에 선택적으로 전기적 결합될 수 있다. 이러한 실시예에서, 제3 인덕터 L3의 각각의 유도성 요소는, 제3 인덕터 L3의 유효 인덕턴스가 디커플링된 상태에서 대략 제로가 될 수 있도록 디커플링된 상태에서 수신 포트로부터 전기적으로 격리될 수 있다.

[0057] 다양한 실시예에서, 조정가능한 제1 인덕터 L1은, 접지 등의 기준 전위와 안테나 포트 사이에서 서로 직렬로 배열된 복수의 유도성 요소들을 포함할 수 있다. 유도성 요소들 각각은 각각의 스위치와 병렬로 배열될 수 있다. 각각의 스위치가 온으로 될 때, 대응하는 유도성 요소는 바이패스될 수 있다. 제1 인덕터 L1의 인덕턴스는 하나 이상의 유도성 요소를 선택적으로 바이패스함으로써 조정될 수 있다. 마찬가지로, 특정 실시예에서, 조정가능한 제3 인덕터 L3은, 접지 등의 기준 전위와 수신 포트 사이에서 서로 직렬로 배열된 복수의 유도성 요소들을

포함할 수 있다. 유도성 요소들 각각은 각각의 스위치와 병렬로 배열될 수 있다. 각각의 스위치가 온으로 될 때, 대응하는 유도성 요소는 바이패스될 수 있다. 제3 인덕터 L3의 인덕턴스는 하나 이상의 유도성 요소를 선택적으로 바이패스함으로써 조정될 수 있다.

[0058] 인덕터 L1, L2, 또는 L3 중 하나 이상은 바이패스 경로와 연관된 캐패시턴스를 보상하기 위해 다양한 방식으로 배열될 수 있다. 예를 들어, 인덕터 L1 및/또는 L3은, 도 1, 2a, 및/또는 2b에 나타난 바와 같은 분로 인덕터로서 구현되거나 도 2c에 나타난 바와 같은 직렬 인덕터로서 구현될 수 있다.

[0059] 도 2c는 또 다른 실시예들에 따른 다이버시티 모듈(200")의 개략적 블록도이다. 다이버시티 모듈(200")은 다이버시티 모듈(200)을 참조하여 논의된 임의의 원리와 장점 및/또는 다이버시티 모듈(100) 및/또는 다이버시티 모듈(200')을 참조하여 논의된 임의의 적절한 조합의 피쳐들을 구현할 수 있다. 도 2c의 다이버시티 모듈(200")은, 제1 인덕터 L1과 제3 인덕터 L3이 도 2a에 나타난 분로 인덕터 대신에 도 2c의 직렬 인덕터로서 배열된다는 점을 제외하고는, 도 2a의 다이버시티 모듈(200)과 실질적으로 동일하다. 도 2c에서, 제1 인덕터 L1은 안테나 포트와 제1 스위치(110) 사이에서 직렬로 배치된다. 마찬가지로, 도 2c에서, 제3 인덕터 L3은 제2 스위치(120)와 수신 포트 사이에서 직렬로 배치된다. 도 2c의 제1 인덕터 L1의 인덕턴스는 제1 스위치(110)의 오프 상태 캐패시턴스를 실질적으로 상쇄시키도록 선택될 수 있다. 도 2c의 제3 인덕터 L3의 인덕턴스는 제1 스위치(120)의 오프 상태 캐패시턴스를 실질적으로 상쇄시키도록 선택될 수 있다.

[0060] 또 다른 실시예에서, 제1 인덕터 L1은 도 2c에 나타난 직렬 인덕터로서 배열될 수 있고 제3 인덕터 L3은 도 1 내지 도 2b 중 임의의 도면에 나타난 분로 인덕터로서 배열될 수 있다. 또 다른 실시예에서, 제3 인덕터 L3은 도 2c에 나타난 직렬 인덕터로서 배열될 수 있고 제1 인덕터 L1은 도 1 내지 도 2b 중 임의의 도면에 나타난 분로 인덕터로서 배열될 수 있다.

[0061] 도 3은, 안테나 포트가 제1 스위치(110)에 의해 바이패스 경로(130)에 전기적으로 접속되고 제1 스위치(110)는 안테나 포트를 수신 경로(135)로부터 전기적으로 격리하는 제1 상태에 대해 예시된 기생성분을 갖는 도 2a의 다이버시티 모듈(200)의 개략도이다. 제1 상태는 다이버시티 모듈(200)의 바이패스 모드에 대응할 수 있다. 도 3에 나타난 바와 같이, 제1 상태에서, 제1 스위치(110)는 바이패스 경로(130)에 접속되어 있지 않은 스위치들 각각에 대해 직렬 캐패시턴스 C_{OFF1_SERIES} 를 가질 수 있다. 제1 스위치(110)의 오프 상태 캐패시턴스는 직렬 캐패시턴스 C_{OFF1_SERIES} 를 포함한다. 또한, 제1 상태에서, 제1 스위치(100)는 바이패스 경로(130)에 접속되어 있지 않은 스위치들 각각에 대해 분로 저항 R_{ON1_SHUNT} 을 가질 수 있다. 예시된 제1 스위치(110)에서, 제1 상태에서, 3개의 이러한 직렬 캐패시턴스 C_{OFF1_SERIES} 와 3개의 분로 저항 R_{ON1_SHUNT} 이 있다.

[0062] 마찬가지로, 제2 스위치(120)가 바이패스 경로(130)를 수신 포트에 전기적으로 접속시키고 수신 경로(135)를 수신 포트로부터 전기적으로 격리하면, 제2 스위치(120)는 바이패스 경로(130)에 접속되지 않은 제2 스위치(120)의 스위치들 각각에 대응하는 직렬 캐패시턴스 C_{OFF2_SERIES} 를 가질 수 있다. 제2 스위치(120)의 오프 상태 캐패시턴스는 직렬 캐패시턴스 C_{OFF2_SERIES} 를 포함한다. 이 상태에서, 제2 스위치(120)는 또한 바이패스 경로(130)에 접속되지 않은 각각의 스위치와 연관된 분로 저항 R_{ON2_SHUNT} 을 가질 수 있다.

[0063] 제1 스위치(110)의 특정한 경로가 온일 때, 온 경로와 연관된 직렬 저항 R_{ON1_SERIES} 과 그 특정한 경로와 연관된, 온으로 된 분로 캐패시턴스 C_{OFF1_SHUNT} 가 있을 수 있다. 제1 스위치(110)의 오프 상태 캐패시턴스는, 제1 스위치(110)의 온 경로와 연관된 오프 상태 캐패시턴스인, 분로 캐패시턴스 C_{OFF1_SHUNT} 를 포함할 수 있다. 제1 상태에서, 제1 스위치(110)는 또한, 바이패스 경로(130)에 접속된 스위치와 연관된 직렬 저항 R_{ON1_SERIES} 과 분로 캐패시턴스 C_{OFF1_SHUNT} 를 가질 수 있다. 마찬가지로, 제2 스위치(120)가 바이패스 경로(130)를 수신 포트에 전기적으로 접속할 때, 제2 스위치는 바이패스 경로(130)와 수신 포트 사이에서 전달되는, 스위치와 연관된 직렬 저항 R_{ON2_SERIES} 과 분로 캐패시턴스 C_{OFF2_SHUNT} 를 가질 수 있다. 분로 캐패시턴스 C_{OFF1_SHUNT} 는 제1 스위치(110)의 오프 상태 캐패시턴스의 일부로서 간주될 수 있다. 마찬가지로, 분로 캐패시턴스 C_{OFF2_SHUNT} 는 제2 스위치(120)의 오프 상태 캐패시턴스의 일부로서 간주될 수 있다.

[0064] 도 4는 도 2a의 다이버시티 모듈(200)에서의 바이패스 모드의 바이패스 경로(130)의 기생 성분을 나타내는 개략도이다. 도 4에서, 바이패스 모드에 대한 제1 스위치(110)의 총 직렬 오프 상태 캐패시턴스는 캐패시턴스 $Total\ C_{OFF1_SERIES}$ 를 갖는 커패시터로 표현된다. 제1 인덕터 L1의 인덕턴스는 제1 스위치(110)의 총 직렬 오프 상

태 캐패시턴스 $Total\ C_{OFF1_SERIES}$ 를 또한 실질적으로 상쇄하도록 선택될 수 있다.

- [0065] 도 4에 도시된 바와 같이, 제1 스위치(110)의 분로 오프 상태 캐패시턴스는 캐패시턴스 C_{OFF1_SHUNT} 를 갖는 커패시터로 표현되고, 제2 스위치(120)의 분로 오프 상태 캐패시턴스는 캐패시턴스 C_{OFF2_SHUNT} 를 갖는 커패시터로 표현되고, 제2 인덕터 L2의 어느 한 측상의 바이패스 경로(130)의 송신 라인의 캐패시턴스는 캐패시턴스 $C_{TR/2}$ 를 갖는 커패시터로 표현된다. 제2 인덕터 L2는 바이패스 경로(130)의 송신 라인의 캐패시턴스를 실질적으로 상쇄할 수 있다. 도 4에 도시된 바와 같이, 제2 인덕터 L2의 인덕턴스는 제1 스위치(110)의 분로 오프 상태 캐패시턴스 C_{OFF1_SHUNT} 와 제2 스위치(120)의 분로 오프 상태 캐패시턴스 C_{OFF2_SHUNT} 를 실질적으로 상쇄하도록 선택될 수 있다. 일부 다른 예에서, 제1 인덕터 L1은 제1 스위치(110)의 분로 오프 상태 캐패시턴스 C_{OFF1_SHUNT} 의 일부 또는 전부를 보상할 수 있고, 및/또는 제3 인덕터 L3는 제2 스위치(120)의 분로 캐패시턴스 C_{OFF2_SHUNT} 의 일부 또는 전부를 보상할 수 있다.
- [0066] 도 4에서, 바이패스 모드에 대한 제2 스위치(120)의 총 직렬 오프 상태 캐패시턴스는 캐패시턴스 $Total\ C_{OFF2_SERIES}$ 를 갖는 커패시터로 표현된다. 제3 인덕터 L3의 인덕턴스는 제2 스위치(120)의 총 직렬 오프 상태 캐패시턴스 $Total\ C_{OFF2_SERIES}$ 를 실질적으로 상쇄하도록 선택될 수 있다.
- [0067] 제1 인덕터 L1, 제2 인덕터 L2, 및 제3 인덕터 L3에 의해, 바이패스 경로(130)는 안테나 포트처럼 기능할 수 있고, 수신 포트는 제1 스위치(110)와 제2 스위치(120)의 온 저항(on resistance)을 통해 접속된다. 이것은 바이패스 경로(130)에 대한 비교적 낮은 삽입 손실을 야기할 수 있다.
- [0068] 도 1, 도 2b, 및 도 2c의 실시예에서, 제1 인덕터 L1, 제2 인덕터 L2, 및 제3 인덕터 L3은 유사한 방식으로 바이패스 경로(130)와 연관된 동일한 캐패시턴스들을 상쇄할 수 있다. 도 1의 일 실시예에서, 제1 인덕터 L1은 제1 스위치(110)의 오프 상태 직렬 캐패시턴스 $Total\ C_{OFF1_SERIES}$ 와 제1 스위치(110)의 오프 상태 분로 캐패시턴스 C_{OFF1_SHUNT} 양쪽 모두를 실질적으로 상쇄하도록 선택된 인덕턴스를 가질 수 있다. 본 실시예의 제2 인덕터 L2는, 도 4의 $C_{TR/2}$ 의 캐패시턴스를 갖는 커패시터들로서 예시되어 있는, 제2 인덕터 L2의 양측 상의 바이패스 경로(130)의 송신 라인의 캐패시턴스를 실질적으로 상쇄하도록 선택된 인덕턴스를 가질 수 있다. 추가로, 본 실시예에서, 제3 인덕터 L3은 제2 스위치(120)의 오프 상태 직렬 캐패시턴스 $Total\ C_{OFF2_SERIES}$ 와 제2 스위치(120)의 오프 상태 분로 캐패시턴스 C_{OFF2_SHUNT} 양쪽 모두를 실질적으로 상쇄하도록 선택된 인덕턴스를 가질 수 있다.
- [0069] 도 5는, 제1 인덕터 L1, 제2 인덕터 L2, 및 제3 인덕터 L3이 없는 대응하는 다이버시티 모듈을 갖는 도 2a의 다이버시티 모듈(200)에서의 삽입 손실을 비교하는 그래프이다. 곡선(500)은 다이버시티 모듈(200)에 대응하고 곡선(502)은 유도성 보상없는 대응하는 다이버시티 모듈에 대응한다. 이들 곡선들은 인덕터에 의한 다이버시티 모듈(200)의 비교적 넓은 주파수 범위에 걸쳐 개선된 삽입 손실을 보여준다. 이들 곡선을 생성하는데 있어서, 인덕터 L1, L2, 및 L3에 대한 Q 팩터 25가 이용되었다.
- [0070] 도 6은, 도 1의 다이버시티 모듈(100) 및/또는 도 2a의 다이버시티 모듈(200)의 피쳐들의 임의의 조합을 구현하는 다이버시티 모듈(623)을 포함하는 무선 디바이스(611)의 개략적 블록도이다. 무선 디바이스(611)는 본원에서 설명된 다이버시티 모듈을 구현하기 위한 예시적 응용이다. 무선 디바이스는, 예를 들어, 스마트폰, 태블릿 컴퓨터, 복수의 안테나를 감당한 통신 표준 및/또는 LTE에 따라 통신하도록 구성된 디바이스, LTE 모듈을 갖는 디바이스, 또는 복수의 안테나를 갖는 무선 통신용으로 구성된 디바이스일 수 있다.
- [0071] 도 6을 참조하여, 무선 또는 모바일 디바이스(611)의 일례의 개략적 블록도가 설명될 것이다. 모바일 디바이스(611)는 본 개시내용의 하나 이상의 피쳐를 구현하는 무선 주파수(RF) 모듈을 포함할 수 있다. 특히, 모바일 디바이스(611)는, 바이패스 경로의 삽입 손실을 감소시키는 것과 연관된 전술된 피쳐들의 임의의 적절한 조합을 구현할 수 있는 다이버시티 모듈(623)을 포함한다.
- [0072] 도 6에 도시된 예시의 모바일 디바이스(611)는 다중-대역/다중-모드 모바일 전화 등의 다중-대역 및/또는 다중-모드 디바이스를 나타낼 수 있다. 예로서, GSM(Global System for Mobile) 통신 표준은 세계의 많은 지역에서 이용되는 디지털 셀룰러 통신 모드이다. GSM 모드 모바일 전화는 4개의 주파수 대역 중 하나 이상에서 동작할 수 있다: 850 MHz (대략적으로, 송신을 위해 824-849 MHz, 수신을 위해 869-894 MHz), 900 MHz (대략적으로, 송신을 위해 880-915 MHz, 수신을 위해 925-960 MHz), 1800 MHz (대략적으로, 송신을 위해 1710-1785 MHz, 수신을 위해 1805-1880 MHz), 및 1900 MHz (대략적으로, 송신을 위해 약 1850-1910 MHz, 수신을 위해 1930-1990

MHz). 세계의 상이한 지역들마다 또한 GSM 대역의 변형 및/또는 지역적/국가적 구현이 이용된다.

- [0073] 코드 분할 다중 액세스(code division multiple access)(CDMA)는 모바일 전화 디바이스에서 구현될 수 있는 또 다른 표준이다. 특정 구현에서, CDMA 디바이스는 800 MHz, 900 MHz, 1800 MHz 및 1900 MHz 대역 중 하나 이상에서 동작할 수 있는 반면, 특정 W-CDMA 및 롱텀 에볼루션(LTE) 디바이스는, 예를 들어, 22개 이상의 무선 주파수 스펙트럼 대역에 걸쳐 동작할 수 있다.
- [0074] 본 개시내용의 RF 모듈은, 전술한 예시적인 모드들 및/또는 대역들을 구현하는 모바일 디바이스 내에서, 및 기타의 통신 표준에서 사용될 수 있다. 예를 들어, 3G, 4G, LTE 및 Advanced LTE는 이러한 표준의 비제한적 예이다.
- [0075] 특정 실시예에서, 모바일 디바이스(611)는, 안테나 스위치 모듈(612), 트랜시버(613), 하나 이상의 주 안테나(614), 전력 증폭기(617), 제어 컴포넌트(618), 컴퓨터 판독가능한 매체(619), 프로세서(620), 배터리(621), 하나 이상의 다이버시티 안테나(622), 및 다이버시티 모듈(623)을 포함할 수 있다. 다이버시티 모듈은, 다이버시티 모듈(100) 및/또는 다이버시티 모듈(200)을 포함하는, 본원에서 논의된 다이버시티 모듈들의 피쳐들의 임의의 조합을 구현할 수 있다.
- [0076] 트랜시버(613)는 주 안테나(들)(614) 및/또는 다이버시티 안테나(들)(622)을 통한 송신을 위한 RF 신호를 생성할 수 있다. 또한, 트랜시버(613)는 주 안테나(들) 및/또는 다이버시티 안테나(들)(622)로부터 인입 RF 신호를 수신할 수 있다. RF 신호의 송수신과 연관된 다양한 기능들은, 도 6에서 트랜시버(613)로서 집합적으로 나타낸 하나 이상의 컴포넌트에 의해 달성될 수 있다는 것을 이해할 것이다. 예를 들어, 단일 컴포넌트가 송신 및 수신 기능 양쪽 모두를 제공하도록 구성될 수 있다. 또 다른 예에서, 송신 및 수신 기능들은 별개의 컴포넌트들에 의해 제공될 수 있다.
- [0077] 도 6에서, 트랜시버(613)로부터의 하나 이상의 출력 신호는 하나 이상의 송신 경로(615)를 통해 안테나 스위치 모듈(612)에 제공되는 것으로 도시되어 있다. 도시된 예에서, 상이한 송신 경로(615)는 상이한 대역들 및/또는 상이한 전력 출력들과 연관된 출력 경로들을 나타낼 수 있다. 예를 들어, 도시된 2개의 상이한 경로들은, 상이한 전력 출력 구성(예를 들어, 낮은 전력 출력 및 높은 전력 출력)과 연관된 경로, 및/또는 상이한 대역들과 연관된 경로를 나타낼 수 있다. 송신 경로(615)는, 비교적 낮은 전력을 갖는 RF 신호를 송신에 적합한 더 높은 전력으로 부스팅하는 것을 보조하는 하나 이상의 전력 증폭기(617)를 포함할 수 있다. 도 6은 2개의 송신 경로(615)를 이용한 구성을 나타내고 있지만, 모바일 디바이스(611)는 더 많거나 더 적은 송신 경로(615)를 포함하도록 구성될 수 있다.
- [0078] 도 6에서, 하나 이상의 수신 신호가 하나 이상의 수신 경로(616)를 통해 안테나 스위치 모듈(612)로부터 트랜시버(613)로 제공되는 것으로 도시되어 있다. 도시된 예에서, 상이한 수신 경로(616)는 상이한 대역들과 연관된 경로들을 나타낼 수 있다. 예를 들어, 도시된 4개의 예시적인 경로(616)는 일부 모바일 디바이스들에 제공되는 4대역 능력(quad-band capability)을 나타낼 수 있다. 도 6은 4개의 수신 경로(616)를 이용하는 구성을 나타내고 있지만, 모바일 디바이스(611)는 더 많거나 더 적은 수신 경로(616)를 포함하도록 구성될 수 있다.
- [0079] 수신 및/또는 송신 경로들 사이의 스위칭을 용이하게 하기 위해, 안테나 스위치 모듈(612)이 포함될 수 있고 특정한 안테나를 선택된 송신 또는 수신 경로에 전기적으로 접속시키는데 이용될 수 있다. 따라서, 안테나 스위치 모듈(612)은 모바일 디바이스(611)의 동작과 연관된 다수의 스위칭 기능을 제공할 수 있다. 안테나 스위치 모듈(612)은, 예를 들어, 상이한 대역들간의 스위칭, 상이한 전력 모드들간의 스위칭, 송신 모드와 수신 모드간의 스위칭, 또는 이들의 특정 조합과 연관된 기능을 제공하도록 구성된 하나 이상의 멀티-쓰로우 스위치를 포함할 수 있다. 안테나 스위치 모듈(612)은 또한, 신호의 필터링 및/또는 듀플렉싱을 포함한 추가 기능을 제공하도록 구성될 수 있다.
- [0080] 도 6은, 특정 실시예에서, 안테나 스위치 모듈(612), 다이버시티 모듈(623), 및/또는 기타의 동작 컴포넌트(들)의 동작과 연관된 다양한 제어 기능을 제어하기 위해 제어 컴포넌트(618)가 제공될 수 있다는 것을 나타낸다. 예를 들어, 제어 컴포넌트(618)는, 주 안테나(들)(614) 및/또는 다이버시티 안테나(들)(622)로의 전기 접속을 제어하기 위해 안테나 스위치 모듈(612) 및/또는 다이버시티 모듈(623)에 제어 신호를 제공할 수 있다.
- [0081] 특정 실시예에서, 프로세서(620)는 모바일 디바이스(611) 상의 다양한 프로세스들의 구현을 용이하게 하도록 구성될 수 있다. 프로세서(620)는, 범용 컴퓨터, 특수 목적 컴퓨터, 또는 기타의 프로그램가능한 데이터 처리 장치일 수 있다. 특정 구현에서, 모바일 디바이스(611)는, 프로세서(620)에 제공되고 이에 의해 실행될 수 있는 컴퓨터 프로그램 명령어를 포함할 수 있는 컴퓨터 판독가능한 메모리(619)를 포함할 수 있다.

- [0082] 배터리(621)는, 예를 들어, 리튬-이온 배터리를 포함하는, 모바일 디바이스(611)에서 이용하기 위한 임의의 적절한 배터리일 수 있다.
- [0083] 예시된 모바일 디바이스(611)는, 무선 링크의 품질과 신뢰성의 향상을 도울 수 있는 다이버시티 안테나(들)(622)을 포함한다. 예를 들어, 다이버시티 안테나(들)(622)을 포함하는 것은, 가시선(line-of-sight) 손실을 감소시키고, 및/또는 위상 시프트, 시간 지연, 및/또는 주 안테나(들)(614)의 신호 간섭과 연관된 왜곡의 영향을 완화시킬 수 있다.
- [0084] 도 6에 도시된 바와 같이, 다이버시티 모듈(623)은 다이버시티 안테나(들)(622)에 전기적으로 접속된다. 다이버시티 모듈(623)은 다이버시티 안테나(들)(622)을 이용하여 수신된 및/또는 송신된 신호를 처리하는데 이용될 수 있다. 특정의 구성에서, 다이버시티 모듈(623)은, 필터링, 증폭, 스위칭, 및/또는 기타의 처리를 제공하는 데 이용될 수 있다. 다이버시티 모듈(623)은 바이패스 경로(130)를 포함할 수 있다. 인터더 L1, L2, 또는 L3 중 하나 이상은 또한 다이버시티 모듈(623)에 포함될 수 있다. 다이버시티 모듈(623)은, 제1 스위치(110), 제2 스위치(120), 바이패스 경로(130), 및 단일 패키지 내에 포함된 하나 이상의 송신 및/또는 수신 경로를 포함할 수 있다. 인터더 L1, L2, 또는 L3 중 하나 이상은 또한 단일 패키지 내에 포함될 수 있다.
- [0085] 전술된 실시예들 중 일부는 다이버시티 모듈과 관련한 예를 제공하였다. 그러나, 본원에서 논의된 원리와 이점들은 바이패스 경로에 대한 유도성 보상으로부터의 이점을 가질 수 있는 기타 임의의 시스템 또는 장치에서 구현될 수 있다. 이러한 바이패스 경로는 수신 및/또는 송신 경로를 바이패스할 수 있다.
- [0086] 이러한 시스템 또는 장치는 다양한 전자 디바이스에서 구현될 수 있다. 전자 디바이스들의 예로서는, 가전제품, 가전제품의 부품, 전자 테스트 장비 등이 포함될 수 있지만, 이것으로 제한되는 것은 아니다. 전자 디바이스의 예로서는 또한, 다이버시티 모듈 및/또는 프론트 엔드 모듈 등의 RF 모듈, 메모리 칩, 메모리 모듈, 광 네트워크 또는 기타의 통신 네트워크의 회로, 및 디스크 드라이브 회로가 포함되지만, 이것으로 제한되는 것은 아니다. 가전 제품의 예로서는, 스마트폰 등의 모바일 전화, 전화, 텔레비전, 컴퓨터 모니터, 컴퓨터, 핸드-헬드 컴퓨터, 랩탑 컴퓨터, 태블릿 컴퓨터, 스마트 시계 등의 웨어러블(wearable) 컴퓨팅 디바이스, PDA(personal digital assistant), PC 카드, 마이크로웨이브, 냉장고, 자동차, 스테레오 시스템, 카세트 레코더 또는 플레이어, DVD 플레이어, CD 플레이어, VCR, MP3 플레이어, 라디오, 캠코더, 카메라, 디지털 카메라, 휴대 메모리 칩, 세척기, 건조기, 세척/건조기, 복사기, 팩스 머신, 스캐너, 다기능 주변 디바이스, 손목 시계, 탁상 시계 등이 포함되지만, 이것으로 제한되는 것은 아니다. 또한, 전자 디바이스는 미완성 제품을 포함할 수 있다.
- [0087] 상세한 설명 및 청구항을 통틀어 문맥상 명확하게 달리 요구하지 않는 한, 단어 "포함한다(comprise)", "포함하는(comprising)", "내포한다(include)", "내포하는(including)" 등은 배타적(exclusive) 또는 완전한(exhaustive) 의미가 아니라 포함적 의미로 해석되어야 한다; 즉, "포함하지만, 이들로 제한되는 것은 아니다"라는 의미이다. 단어 "결합된"이란, 일반적으로 본원에서 사용될 때, 직접 접속되거나, 하나 이상의 중간 요소를 통해 접속될 수 있는 2개 이상의 요소를 말한다. 마찬가지로, 단어 "접속된"이란, 일반적으로 본원에서 사용될 때, 직접 접속되거나, 하나 이상의 중간 요소를 통해 접속될 수 있는 2개 이상의 요소를 말한다. 추가로, 단어 "본원에서", "전술된", "후술된", 및 유사한 의미의 단어들은, 본 출원에서 사용될 때, 본 출원의 임의의 특정한 부분이 아니라 전체로서의 본 출원을 말한다. 문맥상 허용된다면, 단수 또는 복수를 이용한 상기 상세한 설명의 단어들은 또한, 각각 복수 또는 단수를 포함할 수 있다. 2개 이상의 항목들의 목록의 참조시에 단어 "또는"은, 다음과 같은 해석들 모두를 포괄한다: 목록 내의 항목들 중 임의의 것, 목록 내의 항목들 모두, 및 목록 내의 항목들의 임의의 조합.
- [0088] 게다가, 본원에서 사용되는 조건적 언어, "~할 수 있다(can, could, might)", "예를 들어(e.g., for example)", "~등의" 등은, 달리 명시되지 않는 한, 또는 문맥 내에서 다르게 이해되지 않는 한, 일반적으로는, 특정 실시예가 특정 특징, 요소 및/또는 상태를 포함하는 반면 다른 실시예는 포함하지 않을 수 있다는 것을 전달하기 위한 것이다. 따라서, 이러한 조건적 언어는, 특징, 요소 및/또는 상태가 하나 이상의 실시예에 대해 임의의 방식으로 요구되거나, 하나 이상의 실시예가 이들 특징, 요소 및/또는 상태가 포함될지의 여부 또는 임의의 특정 실시예에서 수행될지의 여부를 인가자(author) 입력이나 촉구없이 결정하기 위한 로직을 반드시 포함한다는 것을 암시하기 위한 것은 아니다.
- [0089] 본 발명의 실시예의 상기 상세한 설명은 남김없이 철저히 드러내기 위한 것이거나 본 발명을 전술된 형태 그대로 제한하기 위한 것이 아니다. 본 발명의 특정 실시예 및 예가 예시의 목적을 위해 전술되었지만, 통상의 기술자라면 인지하는 바와 같이, 본 발명의 범위 내에서 다양한 등가의 수정이 가능하다. 예를 들어, 프로세스

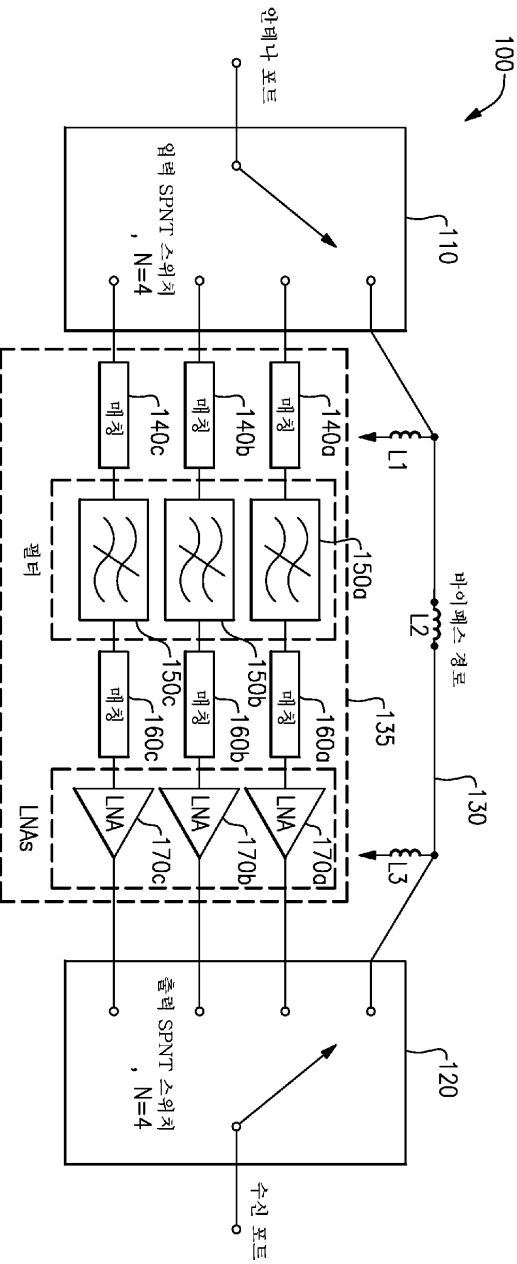
또는 블록들이 주어진 순서로 제시되었지만, 대안적 실시예는 상이한 순서의 단계들을 갖는 루틴을 수행하거나, 상이한 순서의 블록들을 갖는 시스템을 채택할 수 있고, 일부 프로세스 또는 블록들은 삭제, 이동, 추가, 세분, 결합 및/또는 수정될 수 있다. 이들 프로세스 또는 블록들 각각은 다양한 상이한 방식으로 구현될 수 있다. 또한, 프로세스 또는 블록들이 때때로 순차적으로 수행되는 것으로 도시되었지만, 이들 프로세스 또는 블록들은 그 대신에 병렬로 수행되거나, 상이한 시간들에서 수행될 수도 있다.

[0090] 여기서 제공된 본 발명의 교시는 반드시 전술된 시스템 뿐만 아니라, 기타의 시스템에도 적용될 수 있다. 전술된 다양한 실시예들의 요소들 및 작용들은 결합되어 추가의 실시예를 제공할 수 있다.

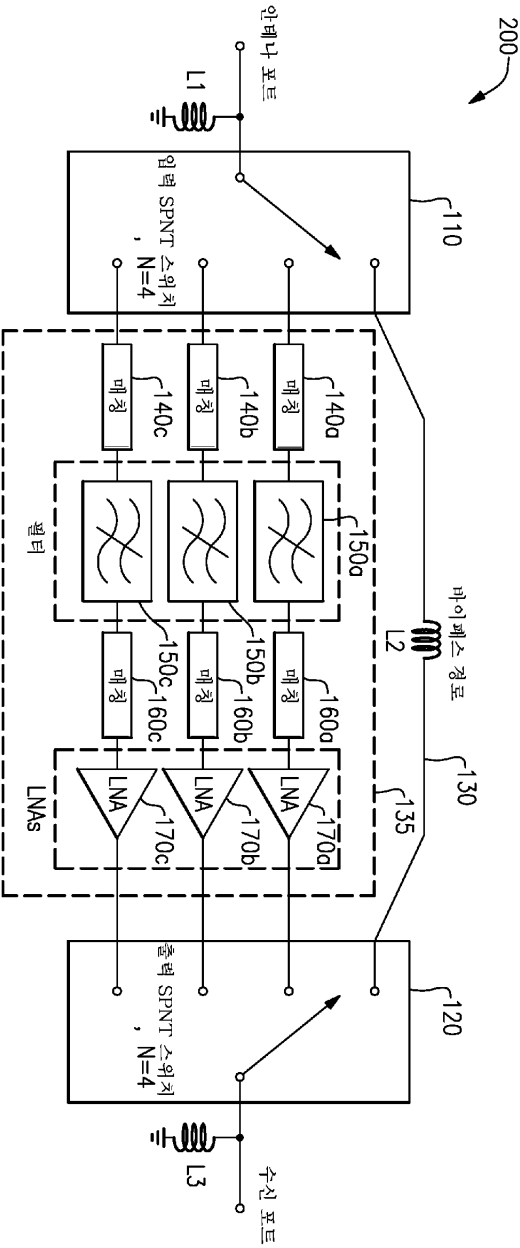
[0091] 본 발명의 특정 실시형태들이 설명되었지만, 이들 실시형태들은 단지 예시로서 제시되었고, 본 개시내용의 범위를 제한하기 위한 것이 아니다. 사실상, 여기서 설명된 신규한 방법, 장치, 및 시스템은 다양한 다른 형태로 구현될 수 있다: 또한, 본 개시내용의 사상으로로부터 벗어나지 않고 여기서 설명된 방법 및 실시예들의 형태에서 다양한 생략, 대체, 및 변경이 이루어질 수 있다. 첨부된 특허청구범위 및 그의 등가물들은 본 개시내용의 범위 및 사상에 속하는 이러한 형태나 변형을 포괄하는 것으로 의도되어 있다.

도면

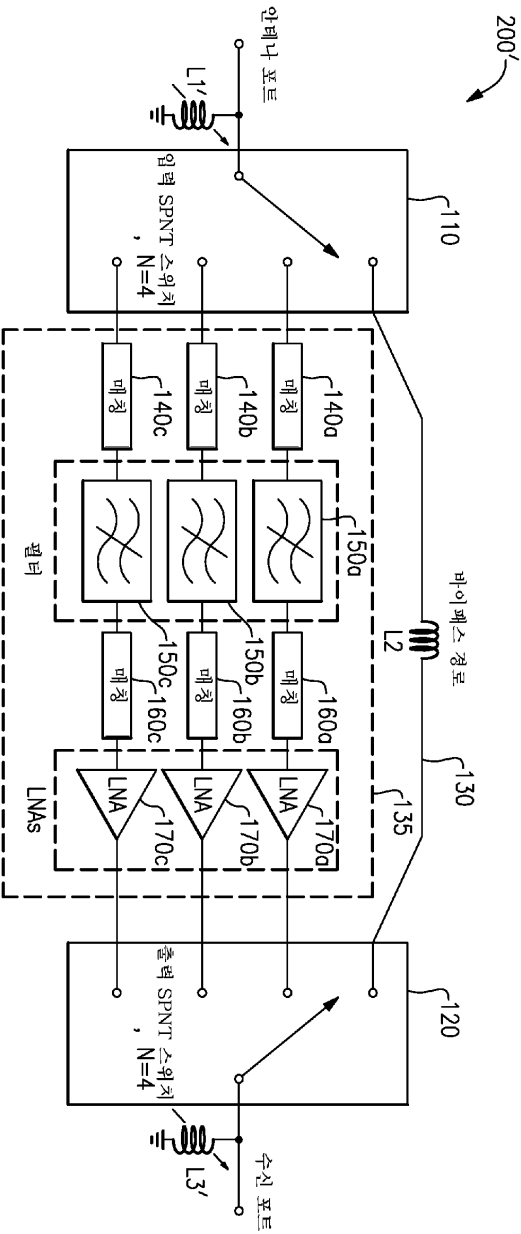
도면1



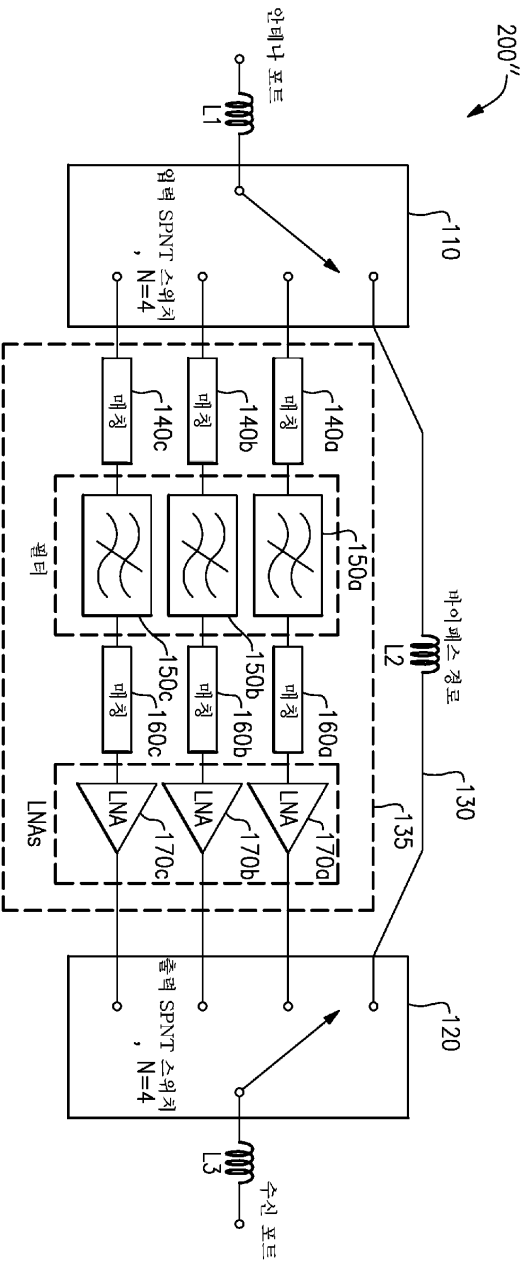
도면2a



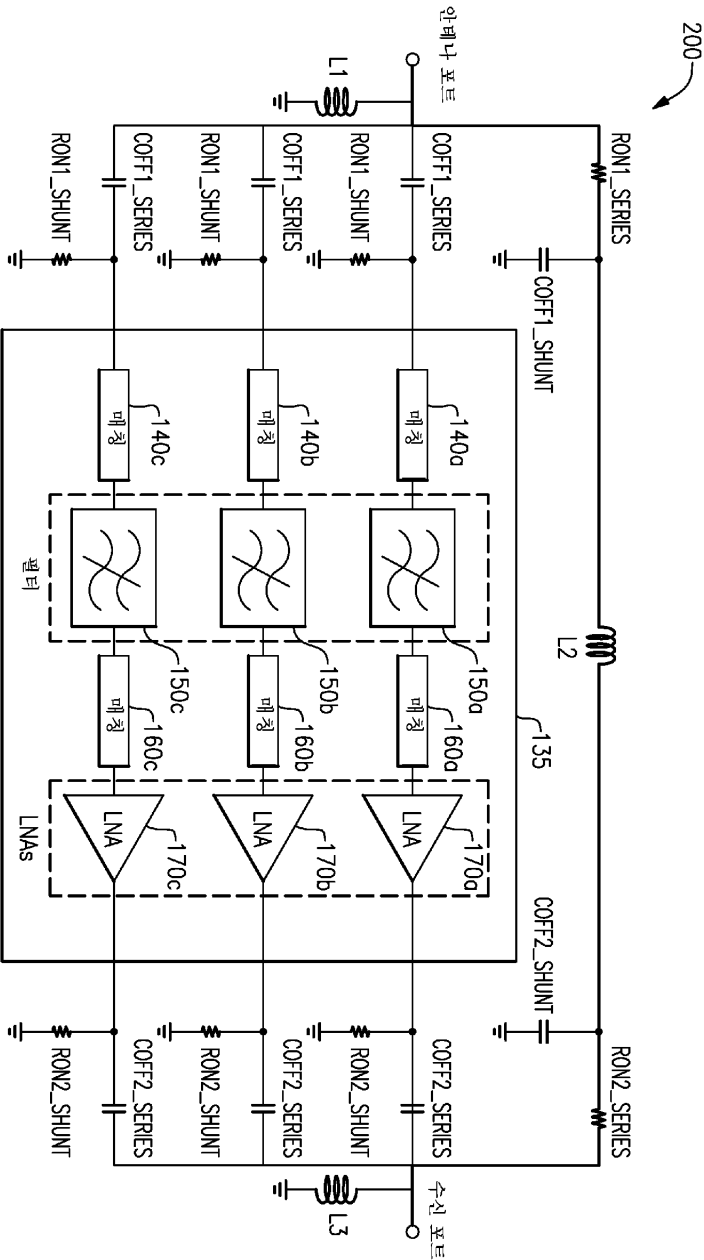
도면2b



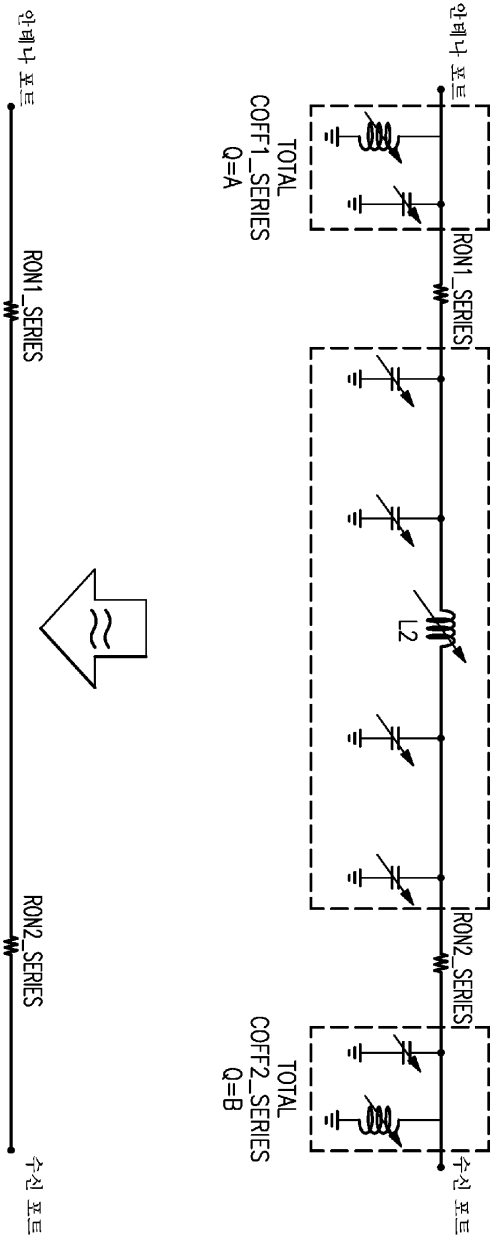
도면2c



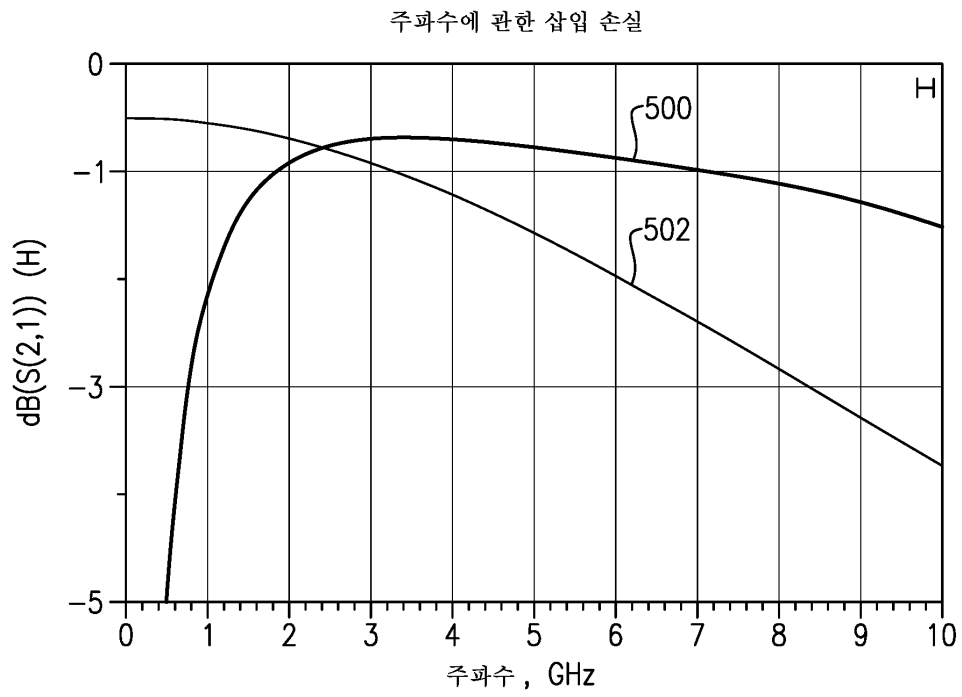
도면3



도면4



도면5



도면6

