

①2

**DEMANDE DE CERTIFICAT D'ADDITION
À UN BREVET D'INVENTION**

A2

②2 Date de dépôt : 30 juillet 1982.

③0 Priorité

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 5 du 3 février 1984.

⑥0 Références à d'autres documents nationaux appa-
rentés : 1^{re} addition au brevet 77 07949 pris le 17 mars
1977.

⑦1 Demandeur(s) : Société dite : **AMPEX CORPORATION.**
— US.

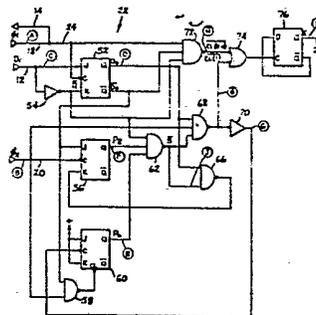
⑦2 Inventeur(s) : Jerry Wayne Miller.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Bonnet-Thirion, G. Foldés.

⑤4 Appareil et procédé de codage sans courant continu pour système de transmission de données.

⑤7 On décrit un codeur perfectionné en vue de la mise en œuvre du procédé de codage caractérisé par la détection de séquences de type 011... 11 avec un nombre de pair de 1, qui sont génératrices de courant continu. Le codeur à trois bascules JK 52, 56, 60 comporte une porte de détection 62 commandée à partir de chacune des bascules et déterminant par l'intermédiaire d'une porte de rétablissement 66A les modifications souhaitées de la transmission.



La présente invention concerne de manière générale la transmission séquentielle de données se présentant sous une forme binaire à travers un canal d'information. L'invention vise, plus particulièrement, un appareil perfectionné de mise en oeuvre du procédé de codage sans courant continu pour système de transmission de données décrit dans le brevet principal N° 7707949 au nom de la demanderesse.

Il est rappelé que le brevet principal concerne un appareil et un procédé :

10 - adaptés à permettre de transmettre des données binaires séquentielles sur un canal d'information incapable de transmettre du courant continu, ledit procédé et ledit appareil pouvant toutefois bien entendu être également utilisés avec des canaux d'information capables de transmettre du courant continu ;

15 - dans lesquels les données sont transmises sous une forme autorythmique ;

- n'exigeant ni changement de fréquence de récurrence ni mémoire longue.

20 A cet effet le brevet principal a ainsi proposé un procédé autorythmique permettant de transmettre des données binaires séquentiellement dans des positions binaires rythmées successives d'un canal de transmission, procédé dans lequel des premiers états binaires logiques sont normalement
25 transmis sous la forme de transitions de signal qui se produisent relativement tôt dans les positions binaires respectives, dans lequel des seconds états binaires logiques sont normalement transmis sous la forme de transitions de signal qui se produisent relativement tard dans les positions binaires respectives et dans lequel toute transition relativement
30 précoce, se produisant dans une position binaire à la suite d'une transition relativement tardive qui s'est produite dans la position binaire immédiatement précédente, est supprimée, ledit procédé étant caractérisé en ce qu'il comprend les opérations consistant à détecter le début d'une séquence de
35 seconds états binaires faisant suite à un premier état binaire et susceptible d'introduire une composante de courant continu dans le signal transmis avec une transmission normale en produisant un premier signal indicateur indiquant toute sé-

quence de ce type et, en réponse à ce premier signal indicateur et à l'état d'un bit actuel ainsi qu'à l'état du bit immédiatement suivant, à modifier la transmission des transitions de signal pour éliminer toute composante de courant continu.

5 Ainsi qu'il est exposé dans le brevet principal, une telle séquence de seconds états binaires faisant suite à un premier état binaire et susceptible d'introduire une composante de courant continu dans le signal transmis avec une transmission normale est dit du type (c) et comporte un ZERO suivi
10 d'un nombre pair quelconque de UN consécutifs :

0111...111

en adoptant par convention les signes "0" et "1" pour désigner respectivement les premiers et seconds états logiques.

Avec cette notation, que l'on conservera dans la pré-
15 sente description, les deux autres types de séquences dont il est traité dans le brevet principal, qui n'introduisent pas de composante de courant continu, s'écrivent respectivement :

- séquence de type (a) : 011...111 (sans "0") ;

- séquence de type (b) : 011...110 (nombre pair ou nul
20 de "1").

Le brevet principal décrit en regard de sa figure 4 un codeur adapté à assurer la mise en oeuvre du procédé précité. Il est constitué à base de bascules de type JK, de portes NON-ET, et d'inverseurs.

25 Il est rappelé que de par sa nature, ainsi qu'on le sait, une bascule de type JK change d'état lors d'une impulsion d'horloge lorsque ses bornes d'entrées J et K sont à un niveau élevé (1), mais reste dans le même état lorsque sesdites bornes J et K sont au niveau bas (0) ; lorsque la borne J est au
30 niveau bas (0) et que la borne K est au niveau haut (1), la bascule est rétablie, c'est-à-dire que sa sortie Q passe au niveau bas (0) lors d'une impulsion d'horloge ; quand la borne J est au niveau haut (1) et que la borne K est au niveau bas (0), ladite bascule est préétablie, c'est-à-dire que la sortie
35 Q passe au niveau haut (1) sous l'effet d'une impulsion d'horloge. La sortie \bar{Q} de la bascule est inversée par rapport à la sortie Q. Ceci peut se résumer par le tableau ci-dessous :

3

<u>Entrées</u>		<u>Sorties</u>
J	K	Q \bar{Q}
0	0	pas de changement
1	1	changement
0	1	0 1
1	0	1 0

A l'expérience, le codeur précité décrit dans le brevet principal à titre d'exemple s'est révélé présenter certaines insuffisances : il est apparu que dans certaines cir-
 10 constances il pouvait réagir non seulement aux séquences de type (c) susceptibles de donner lieu à une composante de courant continu, mais aussi à des séquences de type (b) ce qui n'est pas désiré.

L'invention a pour objet de pallier ces inconvé-
 15 nients et de réduire tout risque d'ambiguïtés. L'invention propose ainsi un appareil codeur pour la mise en oeuvre du procédé autorythmique du brevet principal, appareil du genre comportant trois bascules de type JK coopérant avec une pluralité de portes logiques NON-ET et d'inverseurs, ainsi qu'une première
 20 et une seconde horloges desservant respectivement la première et la seconde bascule, et délivrant des impulsions se situant respectivement au début et au milieu de chaque position binaire, une bascule dite de décalage étant adaptée à transmettre avec retardement le flot incident de données une seconde bascule
 25 dite de comptage de zéro étant adaptée à compter, modulo 2, le nombre de 0 dans le flot incident de données depuis la dernière modification de transmission, la troisième bascule dite de comptage de un étant adaptée à compter, modulo 2, le nombre de 1 apparus dans le flot incident de données depuis le dernier 0,
 30 une porte dite de détection ayant des entrées recevant respectivement les signaux d'entrée inversés et les sorties des sorties des seconde et troisième bascules, appareil caractérisé en ce que la borne K de la bascule de comptage de zéro est reliée seule à une porte de rétablissement à deux entrées res-
 35 pectivement et directement commandées par la bascule de décalage et la porte de détection.

D'autres caractéristiques et avantages de l'invention ressortent de la description qui suit, donner à titre d'exemple, en regard des dessins annexés sur lesquels :

- la figure 1 est un schéma de câblage d'un appareil codeur selon l'invention ;

- la figure 2 est un diagramme temporel de fonctionnement du codeur de la figure 1.

5 Un codeur selon l'invention tel que représenté dans la figure 1 présente une structure générale semblable à celle de la figure 4 du brevet principal. Les éléments correspondants y sont désignés par les mêmes signes de référence.

On retrouve ainsi en 12 l'entrée des données D1 tandis que le signal codé de sortie apparaît à la sortie d'une bascule 76 de type D avec la sortie \bar{Q} reliée à l'entrée D.

Les opérations de codage s'effectuent en réponse à des impulsions d'horloge $\emptyset 1$, dites précoces d'une part, et $\emptyset 2$, dites tardives, d'autre part, décalées d'une demi position binaire, se situant respectivement au début et au milieu de chaque position binaire. Les signaux d'entrée D1 sont pris en compte par une première bascule de type JK, 52, dite de décalage. Sur les entrées J et K de cette bascule arrivent respectivement les données incidentes D1 ainsi que leurs valeurs complémentées par un inverseur 54. De la sorte, lors de chaque impulsion d'horloge $\emptyset 1$, la bascule 52 délivre sur ses sorties Q et \bar{Q} , des signaux identiques aux signaux incidents, mais avec un décalage correspondant à la phase des impulsions d'horloge $\emptyset 1$. Ladite sortie \bar{Q} /^{ainsi} que la borne d'entrée K sont reliées à deux entrées d'une porte logique NON-ET 72 dite de transition précoce qui contrôle la délivrance des transitions de codage, dites précoces, en réponse aux impulsions d'horloge $\emptyset 1$ appliquées à cet effet à une troisième entrée. Le signal décalé D_0 , dénommé bit actuel, présente la forme d'onde de la figure 2D, tandis que le signal incident D1, dénommé bit suivant, est représenté par la forme d'onde 2C. Les formes d'ondes sont représentées avec un niveau haut pour les "1" et le contraire, c'est-à-dire un niveau bas, pour les "0".

35 On retrouve aussi le signal \bar{D}_0 appliqué à l'entrée J d'une seconde bascule 56 de type JK, dite de comptage de zéro, qui, commandées par les impulsions d'horloge $\emptyset 2$, assure le comptage modulo 2 des états binaires de niveau bas ("0") détectés dans les données incidentes depuis la dernière transition

associée à un bit de niveau haut qui a été supprimée. Le signal \overline{D}_0 et les impulsions d'horloge $\emptyset 2$ sont également appliquées à une porte logique NON-ET, 58, dont la sortie rétablit une bascule 60, dite comptage de un, chaque fois que D_0 vaut 0 au moment d'une impulsion d'horloge $\emptyset 2$. Cette bascule assure le comptage modulo 2 des états binaires de niveau haut ("1") apparus dans la suite des données incidentes depuis le dernier 0.

Pour une séquence quelconque du type (c), le signal Pz de sortie de la bascule 56 vaut 1 tandis que le signal Po de sortie de la bascule 60 vaut 1 juste avant l'instant de la transition à supprimer en vue d'annuler toute composante de courant continu.

Ces signaux de sortie Pz et Po des bascules de comptage 56 et 60 sont appliqués à deux entrées d'une porte NON-ET 62, dite de détection, recevant sur une troisième entrée le signal d'entrée inversé \overline{D}_1 . Cette porte logique 62 détermine qu'une transition associée à un état "1" doit être supprimée lorsque ses trois entrées reçoivent un signal de valeur 1. La sortie de cette porte est appliquée à une entrée d'une porte NON-ET 68, dite de transition tardive, recevant également sur deux autres entrées respectives les impulsions d'horloge $\emptyset 2$ et le signal Do de sortie de la bascule 52. Cette porte assure les transitions, dites tardives.

Sa sortie, ainsi que celle de la porte 72 sont appliquées à une porte 74 d'accès à la bascule de sortie 76 précitée. Le signal de sortie de la porte 68, sert également, après inversion au travers d'un inverseur 70, de signal d'horloge pour la bascule 60 de comptage de un.

Le signal de sortie 5 de la porte 62 de détection est appliquée ici directement sur l'une des deux entrées d'une porte NON-ET 66A, dite de rétablissement, dont la sortie est connectée à l'entrée K de la bascule 56 de comptage de zéro. L'autre entrée de la porte 66A est reliée à la sortie Q non inversée de la bascule de décalage 52, sans intervention directe d'impulsions d'horloge $\emptyset 1$. En outre, selon l'invention le signal \overline{D}_0 de la sortie Q de la bascule de décalage 52 est appliquée à la seule borne d'entrée J de la bascule de comptage 56. Les formes d'ondes représentées par les figures 2A à 2J correspondant aux signaux désignés sur la figure 1 par les

lettres correspondantes A à J placées dans des cercles.

En fonctionnement, en conditions normales de codage, lorsque il n'y a pas lieu à suppression d'une transition représentative de l'état 1, la borne K de la bascule 56 est maintenue à un niveau haut (1) ainsi qu'il apparaîtra plus loin. Dans ces conditions, lors de chaque impulsion d'horloge Ø2 la bascule 56 change d'état lorsque D_0 est 0 mais reste dans le même état lors d'une impulsion d'horloge lorsque D_0 est 1 ; la bascule 56 est en outre remise en son état initial sous l'effet de tout signal de rétablissement appliqué en sa borne K par la porte 66A. Il s'avère ainsi que la bascule 56 est bien en mesure d'assurer le comptage des états "0" détectés depuis la dernière transition de "1" supprimée. Il est à noter que la borne J de cette bascule est nécessairement au niveau bas (0) lors de la suppression d'une transition associée à un bit 1 ; de la sorte, la bascule 56 est rétablie lors de l'avènement d'une impulsion d'horloge Ø2 suivant l'application dudit signal de rétablissement.

Lorsque la porte de détection 62 indique qu'une transition doit être supprimée, la porte de rétablissement 66A fournit un signal de remise en état à la bascule de comptage 56 qui est ainsi remise à zéro si l'entrée $\overline{D_0}$ est au niveau bas, indiquant ainsi qu'il devrait y avoir une transition. Lorsque D_0 est au niveau haut, l'entrée D_0 de la porte de rétablissement 66A assure à sa sortie un niveau haut (1), appliquée à la borne d'entrée K de la bascule de comptage 56, maintenant ainsi cette borne à un niveau haut pour le comptage des "0", ainsi que cela à été indiqué plus haut. Il est à noter (figure 2J) que le signal de suppression \overline{S} à la sortie de la porte de détection 62 monte également au niveau haut (1), durant une partie des positions binaires correspondant au dernier 1 et au 0 qui le suit lors d'une séquence de type (b), ceci amène également la borne K au niveau haut (1), mais comme la borne J est également au niveau haut (1) lors de l'impulsion d'horloge Ø2 suivante, la bascule de comptage 56 n'est pas rétablie ou remise à zéro mais plus exactement change d'état, c'est-à-dire qu'elle compte un "0".

Il s'avère ainsi que le codeur décrit à titre d'exemple dans la figure 1 de la présente demande est exempte des insuf-

fisances précédemment signalées à propos du codeur décrit du brevet principal quant à la détection de séquences non génératrices de composante de courant continu.

Le codeur perfectionné selon la présente invention suppose à cet égard toute ambiguïté.

Il va de soi que de nombreuses variations peuvent être apportées aux détails de câblage du codeur sans sortir du cadre de celles-ci, lequel est défini dans la revendication annexée.

REVENDEICATION

Appareil codeur pour la mise en oeuvre du procédé auto-rythmique du Brevet Principal, pour suppression de la transition associée au dernier d'une série d'un nombre pair d'
5 états (1) entre deux états (0) du genre, comportant une pluralité de portes logiques NON-ET et de bascules de type (JK), à savoir une bascule de décalage (52) commandée par des impulsions d'horloge précoces et alimentant une porte (72) de transitions précoces, une bascule (56) de comptage de zéro
10 commandée par des impulsions d'horloge tardives et alimentant une porte (68) de transitions tardives, une bascule (60) de comptage de un commandée par ladite porte de transitions tardives et les impulsions d'horloge tardives, une porte (62) de détection de transitions à supprimer, intercalée entre la
15 bascule de comptage de zéro et ladite porte de transition tardives, alimentée en outre par la bascule de décalage (52) et la bascule de comptage de un (60), ainsi qu'une porte de rétablissement de la bascule (56) de comptage de zéro, alimentée par la bascule de décalage (52) et la porte de détection
29 (62), appareil caractérisé en ce que la borne d'entrée (K) de la bascule de comptage de zéro est reliée seule à une porte de rétablissement (66A) à deux entrées respectivement et directement commandées par la bascule de décalage (52) et la porte de détection (62).

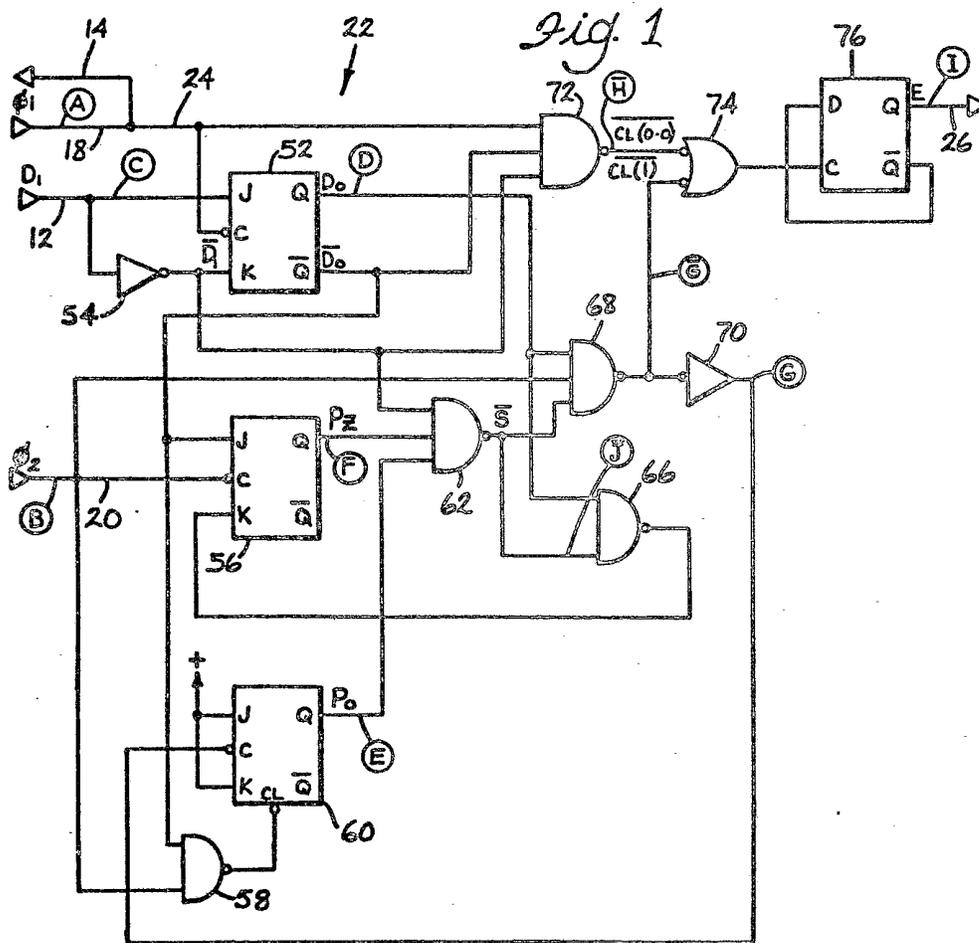


Fig. 2

