

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4514753号
(P4514753)

(45) 発行日 平成22年7月28日 (2010. 7. 28)

(24) 登録日 平成22年5月21日 (2010. 5. 21)

(51) Int. Cl.

F I

H O 2 M 3/155 (2006. 01)

H O 2 M 3/155

S

H O 2 M 1/08 (2006. 01)

H O 2 M 1/08

A

請求項の数 3 (全 8 頁)

(21) 出願番号 特願2006-514436 (P2006-514436)
 (86) (22) 出願日 平成17年5月19日 (2005. 5. 19)
 (86) 国際出願番号 PCT/JP2005/009122
 (87) 国際公開番号 W02005/122373
 (87) 国際公開日 平成17年12月22日 (2005. 12. 22)
 審査請求日 平成18年11月15日 (2006. 11. 15)
 (31) 優先権主張番号 特願2004-171038 (P2004-171038)
 (32) 優先日 平成16年6月9日 (2004. 6. 9)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町 2 1 番地
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (72) 発明者 酒井 優
 日本国京都府京都市右京区西院溝崎町 2 1
 番地 ローム株式会社内
 審査官 櫻田 正紀

最終頁に続く

(54) 【発明の名称】 レベルシフト回路及びこれを備えたスイッチングレギュレータ

(57) 【特許請求の範囲】

【請求項 1】

スイッチングに伴って電位の立ち上がりおよび立ち下がりが生じる高電圧側電源電圧供給ラインおよび低電圧側電源電圧供給ラインを有するブートストラップスイッチング回路のためのレベルシフト回路であって、

前記高電圧側電源電圧供給ラインと前記低電圧側電源電圧供給ラインとの間の電圧を電源電圧として動作し前記ブートストラップスイッチング回路のための制御パルス信号を発生するインバータ回路と、

前記インバータ回路の入力端にアノードが接続され、前記高電圧側電源電圧供給ラインにカソードが接続される第 1 のダイオードと、

前記インバータ回路の入力端にカソードが接続され、前記低電圧側電源電圧供給ラインにアノードが接続される第 2 のダイオードと、

を備えることによって前記高電圧側電源電圧供給ラインおよび前記低電圧側電源電圧供給ラインの電位の立ち上がり時および立ち下がり時における前記インバータ回路の入力端の電位の波形なまりを防止することを特徴とするレベルシフト回路。

【請求項 2】

前記第 1 のダイオード及び前記第 2 のダイオードそれぞれに M O S トランジスタのボディダイオードを用いる請求項 1 に記載のレベルシフト回路。

【請求項 3】

ブートストラップスイッチング回路を有するスイッチングレギュレータにおいて、前記

10

20

スイッチングレギュレータが、請求項 1 または請求項 2 に記載のレベルシフト回路を備えることを特徴とするスイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レベルシフト回路と、高い入力電源電圧と低い制御用電源電圧を有し、出力トランジスタのスイッチングを入力電源電圧よりも高い駆動電圧で行うブートストラップ方式の DC - DC コンバータを有するスイッチングレギュレータとに関する。

【背景技術】

【0002】

10

従来のスイッチングレギュレータの一構成例を図 3 に示す。図 3 のスイッチングレギュレータは、ブートストラップ方式の DC / DC コンバータを有するスイッチングレギュレータであって、PWM 信号生成回路 1 と、レベルシフト回路 2' と、ブートストラップスイッチング回路 3 と、平滑回路 4 と、遅延回路 5a 及び 5b とによって構成されている。なお、入力電源電圧 V_{IN} は制御用電源電圧 V_{DD} より大きい値であり、ここでは入力電源電圧 V_{IN} を +25V とし、制御用電圧 V_{DD} を +5V とする。

【0003】

PWM 信号生成回路 1 は出力電圧 V_o に応じて PWM 信号を生成し、その PWM 信号を遅延回路 5a 及び 5b に供給する。遅延回路 5a は、PWM 信号生成回路 1 から出力される PWM 信号を遅延した PWM 信号 P1 をレベルシフト回路 2' に供給する。遅延回路 5b は、PWM 信号生成回路 1 から出力される PWM 信号を遅延した制御パルス信号 P2 をブートストラップスイッチング回路 3 に供給する。なお、PWM 信号生成回路 1 並びに遅延回路 5a 及び 5b の電源電圧は、制御用電源電圧 V_{DD} である。また、制御パルス信号 P2 は、PWM 信号 P1 と比較して、立ち上がりタイミングが所定時間早く、立ち下がりタイミングが所定時間遅い信号である。

20

【0004】

レベルシフト回路 2' は、PWM 信号 P1 を高い電圧の制御パルス信号 PH に変換してブートストラップスイッチング回路 3 に供給する。

【0005】

ブートストラップスイッチング回路 3 では、高い制御パルス信号 PH に応じてドライバ回路 Dr1 が NMOS トランジスタ Tr1 をオン/オフし、制御パルス信号 P2 がインバータ回路 3a によって反転され、その反転信号に応じてドライバ回路 Dr2 が NMOS トランジスタ Tr2 をオン/オフする。

30

【0006】

NMOS トランジスタ Tr1 がオフされて NMOS トランジスタ Tr2 がオンされると、制御用電源電圧 V_{DD} が印加されている端子 7 からショットキーダイオード SD1 を介してコンデンサ C1 に充電電流が流れ込み、コンデンサ C1 の両端電圧は約 +5V になる。その後、NMOS トランジスタ Tr1 と NMOS トランジスタ Tr2 がともにオフされる期間を経て、NMOS トランジスタ Tr1 がオンされて NMOS トランジスタ Tr2 がオフされると、コンデンサ C1 と NMOS トランジスタ Tr1 との接続点の電圧 SW は +25V となり、コンデンサ C1 とショットキーダイオード SD1 との接続点の電圧 BOOT は約 +30V となる。そして、NMOS トランジスタ Tr1 と NMOS トランジスタ Tr2 がともにオフされる期間を経て、再び NMOS トランジスタ Tr1 がオフされて NMOS トランジスタ Tr2 がオンされる。

40

【0007】

なお、コンデンサ C1 とショットキーダイオード SD1 との接続点 - NMOS トランジスタ Tr1 と NMOS トランジスタ Tr2 との接続点間電圧が、レベルシフト回路 2' の後段側回路に電源電圧として供給される。

【0008】

平滑回路 4 は、インダクタ L1 とコンデンサ C2 とから成る平滑フィルタであり、NM

50

OSトランジスタTr1とNMOSトランジスタTr2との接続点の電圧を平滑して出力電圧Voとして出力する。

【0009】

スイッチングレギュレータの動作モードには、出力電流がスイッチングレギュレータから負荷へ向かうモード（順方向モード）と出力電流が負荷からスイッチングレギュレータへ向かうモード（逆方向モード）の2つのモードがある。そして、図3のスイッチングレギュレータのNMOSトランジスタTr1とNMOSトランジスタTr2がともにオフされる期間は、順方向モードではNMOSトランジスタTr2のボディダイオードを通して電流が流れ、逆方向モードではNMOSトランジスタTr1のボディダイオードを通して電流が流れる。したがって、レベルシフト回路2'の各部電圧波形のタイムチャートは図4に示すようになる。なお、図4中のVnは、ゲートにPWM信号P1が供給されるNMOSトランジスタQ0と抵抗R1の接続点nの電圧である。

10

【0010】

PWM信号P1がLowレベルであるときは、NMOSトランジスタQ0がオフであるので、電圧Vnは電圧BOOTと一致する。また、PWM信号P1がHighレベルであるときは、NMOSトランジスタQ0がオンであるので、電圧Vnは電圧SWと一致する。

【特許文献1】特開2002-315311号公報

【特許文献2】特開2003-235251号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0011】

しかしながら、図3のスイッチングレギュレータでは、接続点nを入力端とするPMOSトランジスタQ1及びNMOSトランジスタQ2から成るインバータにおける各トランジスタのゲート-ソース間の寄生容量PCのために、図4に示すように電圧Vnの立ち上がりや立ち下がりにおいて波形がなまってしまっていた。

【0012】

そして、逆方向モードでは、電圧Vnの波形がなまる区間T1及びT2においてPMOSトランジスタQ1及びNMOSトランジスタQ2から成るインバータの出力が誤って反転して誤動作の原因になるおそれがあった。即ち、区間T1において電圧BOOTと電圧Vnとの差が大きくなるためにPMOSトランジスタQ1及びNMOSトランジスタQ2から成るインバータの出力がHighレベルになり、区間T2において電圧SWと電圧Vnとの差が大きくなるためにPMOSトランジスタQ1及びNMOSトランジスタQ2から成るインバータの出力がLowレベルになるおそれがあった。また、区間T1においてPMOSトランジスタQ1のゲート-ソース間が耐圧不良となる可能性もあり、信頼性の低下の原因にもなっていた。なお、このような不具合は、スイッチングレギュレータの大電流化に対応してPMOSトランジスタQ1及びNMOSトランジスタQ2のサイズを大きくしたことに伴って寄生容量PCが大きくなった場合や消費電流を小さくするために抵抗R1の抵抗値を大きくしたことに伴って寄生容量PCと抵抗R1による時定数が大きくなった場合やPWM信号P1のオン期間が短い場合等に顕著になる。

30

40

【0013】

本発明は、上記の問題点に鑑み、誤動作を抑制することができるレベルシフト回路及びこれを備えたスイッチングレギュレータを提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するために本発明に係るレベルシフト回路は、第1のパルス信号を入力し、前記第1のパルス信号に応じてHighレベルが前記第1のパルス信号よりも高い第2のパルス信号を発生するレベルシフト回路であって、高電圧側電源電圧供給ラインと、低電圧側電源電圧供給ラインと、前記高電圧側電源電圧供給ラインと前記低電圧側電源電圧供給ラインとの間の電圧を電源電圧として動作するインバータ回路と、前記インバータ

50

回路の入力端にアノードが接続され、前記高電圧側電源電圧供給ラインにカソードが接続される第１のダイオードと、前記インバータ回路の入力端にカソードが接続され、前記低電圧側電源電圧供給ラインにアノードが接続される第２のダイオードと、を備える構成としている。

【００１５】

このような構成によると、入力端の電位が前記第１のパルス信号に応じて前記高電圧側電源電圧供給ライン電位と略同一であるときに、前記高電圧側電源電圧供給ライン電位の立ち上がりや立ち下がりがあっても、前記第１のダイオードによって前記高電圧側電源電圧供給ライン電位と前記入力端の電位との差が前記第１のダイオードの順方向電圧以上にならないので、前記入力端の電位の波形がなまらない。入力端の電位が前記第１のパルス信号に応じて前記低電圧側電源電圧供給ライン電位と略同一であるときに、前記高電圧側電源電圧供給ライン電位と前記入力端の電位との差が前記第２のダイオードの順方向電圧に固定されるので、前記入力端の電位の波形がなまらない。したがって、前記入力端の電位の波形がなまって前記インバータ回路の出力が誤って反転することによって起こる誤動作を抑制することができる。

10

【００１６】

M O S トランジスタのボディダイオードは素子面積が小さく寄生容量が小さいので、前記第１のダイオード及び前記第２のダイオードそれぞれにM O S トランジスタのボディダイオードを用いると、上述したインバータ回路の入力端電圧の波形のなまりを抑える効果が大きくなる。したがって、前記第１のダイオード及び前記第２のダイオードそれぞれにM O S トランジスタのボディダイオードを用いることが望ましい。

20

【００１７】

また、上記レベルシフト回路は、ブートストラップ方式のD C - D C コンバータを有するスイッチングレギュレータに適用することができる。

【発明の効果】

【００１８】

本発明によると、誤動作を抑制することができるレベルシフト回路及びこれを備えたスイッチングレギュレータを実現することができる。

【図面の簡単な説明】

【００１９】

30

【図１】は、本発明に係るスイッチングレギュレータの一構成例を示す図である。

【図２】は、図１のスイッチングレギュレータが具備するレベルシフト回路の各部電圧波形を示すタイムチャートである。

【図３】は、従来のスイッチングレギュレータの一構成例を示す図である。

【図４】は、図３のスイッチングレギュレータが具備するレベルシフト回路の各部電圧波形を示すタイムチャートである。

【符号の説明】

【００２０】

- １ P W M 信号生成回路
- ２ レベルシフト回路
- ３ ブートストラップスイッチング回路
- ４ 平滑回路
- ６ 同時O N 防止回路
- Q 5、Q 6 N M O S トランジスタ

40

【発明を実施するための最良の形態】

【００２１】

本発明の一実施形態について図面を参照して以下に説明する。本発明に係るスイッチングレギュレータの一構成例を図１に示す。なお、図１において図３と同一の部分には同一の符号を付す。図１のスイッチングレギュレータは、ブートストラップ方式のD C / D C コンバータを有するスイッチングレギュレータであって、P W M 信号生成回路１と、レベ

50

ルシフト回路 2 と、ブートストラップスイッチング回路 3 と、平滑回路 4 と、同時 ON 防止回路 6 とによって構成されている。

【 0 0 2 2 】

図 1 のスイッチングレギュレータにおいて、レベルシフト回路 2 及び同時 ON 防止回路 6 以外の回路は従来技術として既に説明した図 3 のスイッチングレギュレータと同様の回路構成であるので、説明を省略し、以下では本発明の特徴部分であるレベルシフト回路 2 及び同時 ON 防止回路 6 について説明する。

同時 ON 防止回路 6 は、インバータ回路 6 a と、AND ゲート 6 b と、OR ゲート 6 c とによって構成されている。インバータ回路 6 a はドライバ回路 D r 2 の出力 L G を入力する。すなわち、インバータ回路 6 a の入力端子は、ドライバ回路 D r 2 の出力端子と NMOS トランジスタ T r 2 のゲートとの接続ノードに接続される。インバータ回路 6 a の出力端子は AND ゲート 6 b の第 2 入力端子に接続される。また、AND ゲート 6 b の第 1 入力端子及び OR ゲート 6 c の第 1 入力端子は PWM 信号生成回路 1 から出力される PWM 信号 P 1 を入力する。すなわち、AND ゲート 6 b の第 1 入力端子及び OR ゲート 6 c の第 1 入力端子は、PWM 信号生成回路 1 の出力端に接続される。また、OR ゲート 6 c はドライバ回路 D r 1 の出力 H G を第 2 入力端子に入力する。すなわち、OR ゲート 6 c の第 2 入力端子は、ドライバ回路 D r 1 の出力端子と NMOS トランジスタ T r 1 のゲートとの接続ノードに接続される。そして、AND ゲート 6 b の出力端子がレベルシフト回路 2 内の NMOS トランジスタ Q 0 のゲートに接続され、OR ゲート 6 c の出力端子がブートストラップスイッチング回路 3 内のインバータ回路 3 a の入力端子に接続される。

【 0 0 2 3 】

上記構成の同時 ON 防止回路 6 は、PWM 信号 P 1 をレベルシフト回路 2 内の NMOS トランジスタ Q 0 のゲートに出力し、PWM 信号 P 1 と比較して立ち上がりタイミングが所定時間早く立ち下がりタイミングが所定時間遅い信号である制御パルス信号 P 2 をブートストラップスイッチング回路 3 内のインバータ回路 3 a の入力端子に出力する。

【 0 0 2 4 】

レベルシフト回路 2 は、NMOS トランジスタ Q 0 と、抵抗 R 1 と、NPN トランジスタ Q 3 及び Q 4 から成るカレントミラー回路と、前記カレントミラー回路に電流を供給する電流源として機能する抵抗 R 2 と、PMOS トランジスタ Q 1 及び NMOS トランジスタ Q 2 から成るインバータ回路と、インバータ回路 2 a 及び 2 b と、NMOS トランジスタ Q 5 及び Q 6 とによって構成されている。各インバータ回路は、電圧 B O O T が供給されている電源ライン及び電圧 S W が供給されている電源ラインに接続され、この電源ライン間電圧を電源電圧として用いている。

【 0 0 2 5 】

NMOS トランジスタ Q 0 のドレインは、抵抗 R 1 を介して、電圧 B O O T が供給されている電源ラインに接続される。また、NMOS トランジスタ Q 0 のソースは、NPN トランジスタ Q 3 及び Q 4 から成るカレントミラー回路の出力側に接続される。そして、抵抗 R 1 と NMOS トランジスタ Q 0 との接続点 n が、PMOS トランジスタ Q 1 及び NMOS トランジスタ Q 2 から成るインバータ回路の入力端となる。PMOS トランジスタ Q 1 及び NMOS トランジスタ Q 2 から成るインバータ回路の出力がインバータ回路 2 a によって反転され、インバータ回路 2 a の出力がインバータ回路 2 b によって反転されてパルス制御信号 P H となる。

【 0 0 2 6 】

さらに、接続点 n と電圧 B O O T が供給されている電源ラインとの間にゲート - ソース間が短絡された NMOS トランジスタ Q 5 が設けられ、接続点 n と電圧 S W が供給されている電源ラインとの間にゲート - ソース間が短絡された NMOS トランジスタ Q 6 が設けられる。

【 0 0 2 7 】

ここで、レベルシフト回路 2 の各部電圧波形のタイムチャートを図 2 に示す。なお、図 2 中の V n はゲートに PWM 信号 P 1 が供給される NMOS トランジスタ Q 0 と抵抗 R 1

10

20

30

40

50

の接続点 n の電圧であり、図 2 中の V_s はショットキーダイオード $SD1$ の順方向電圧である。また、図 2 中の V_{F2} は NMOS トランジスタ $Q2$ のボディダイオードの順方向電圧であり、図 2 中の V_{F6} は NMOS トランジスタ $Q6$ のボディダイオードの順方向電圧である。

【0028】

まず、順方向モードについて説明する。PWM 信号 $P1$ 及び制御パルス信号 $P2$ がともに Low レベル ($= 0V$) である区間及び制御パルス信号 $P2$ が立ち上がった後 PWM 信号 $P1$ が Low レベル ($= 0V$) であり制御パルス信号 $P2$ が High レベルである区間 $T1$ において、電圧 V_n は電圧 $BOOT$ と同一になる。また、PWM 信号 $P1$ 及び制御パルス信号 $P2$ がともに High レベルである区間において、NMOS トランジスタ $Q6$ のボディダイオードによって電圧 SW と電圧 V_n との差が NMOS トランジスタ $Q6$ のボディダイオードの順方向電圧 V_{F6} に固定されるので、電圧 V_n の波形がなまらない。そして、PWM 信号 $P1$ が立ち下がると、電圧 V_n は一旦電圧 $BOOT$ の High レベル値 (PWM 信号 $P1$ 及び制御パルス信号 $P2$ がともに High レベルである区間における値) まで持ち上がったのち、電圧 $BOOT$ の Low レベル値 (PWM 信号 $P1$ 及び制御パルス信号 $P2$ がともに Low レベルである区間における値) と同一の値になる。

10

【0029】

次に、逆方向モードについて説明する。区間 $T1$ において、NMOS トランジスタ $Q5$ のボディダイオードによって電圧 $BOOT$ と電圧 V_n との差が NMOS トランジスタ $Q5$ のボディダイオードの順方向電圧以上にならないので、電圧 V_n が電圧 $BOOT$ の立ち上がりに伴って立ち上がる際に電圧 V_n の波形がなまらなると共に、PMOS トランジスタ $Q1$ のゲート - ソース間が耐圧不良となることがなくなり信頼性が向上する。

20

【0030】

また、区間 $T2$ (従来、電圧 V_n が電圧 SW よりも高くなっていた区間) において、NMOS トランジスタ $Q6$ のボディダイオードによって電圧 SW と電圧 V_n との差が NMOS トランジスタ $Q6$ のボディダイオードの順方向電圧 V_{F6} に固定されるので、電圧 V_n の波形がなまらない。したがって、PMOS トランジスタ $Q1$ 及び NMOS トランジスタ $Q2$ から成るインバータの出力が誤って反転して誤動作の原因になるおそれなくなる。また、区間 $T1$ において PMOS トランジスタ $Q1$ のゲート - ソース間が耐圧不良となる可能性もなくなり、信頼性が向上する。

30

【0031】

なお、NMOS トランジスタ $Q5$ に代えて接続点 n がアノードに接続され電圧 $BOOT$ が供給されている電源ラインがカソードに接続されるダイオード素子を設け、NMOS トランジスタ $Q6$ に代えて接続点 n がカソードに接続され電圧 SW が供給されている電源ラインがアノードに接続されるダイオード素子を設けても、電圧 V_n の波形のなまりを抑えることができるが、ダイオード素子は NMOS トランジスタのボディダイオードに比べて素子面積が大きいため寄生容量が大きくなるので、電圧 V_n の波形のなまりを抑える効果は小さくなる。

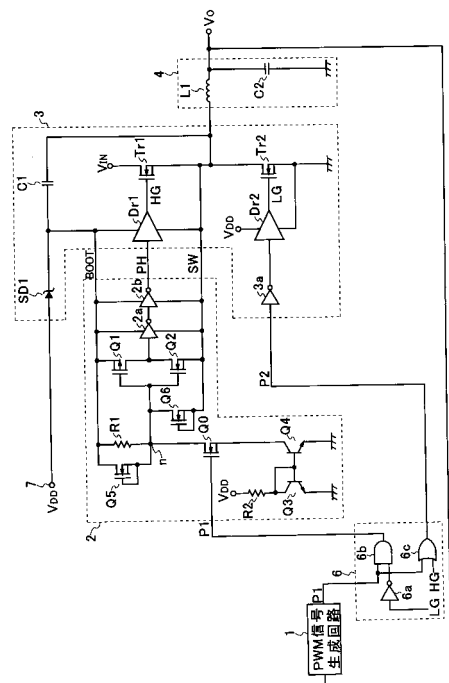
【産業上の利用可能性】

【0032】

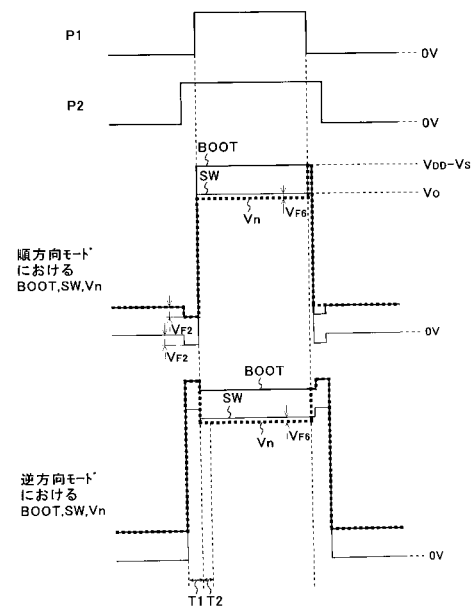
本発明のレベルシフト回路は、スイッチングレギュレータ等に適用することができる。また、前記スイッチングレギュレータは電気機器全般の電源として用いることができる。

40

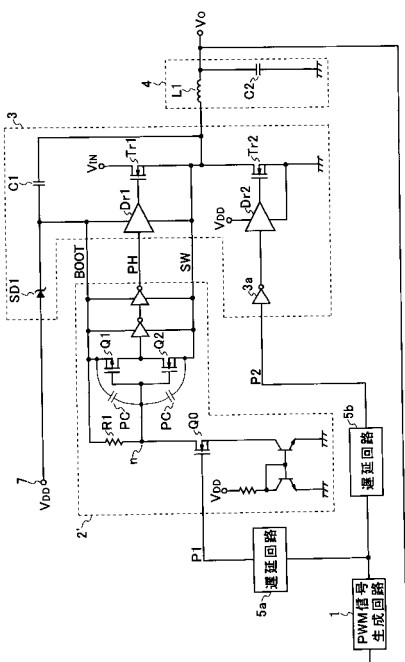
【図 1】



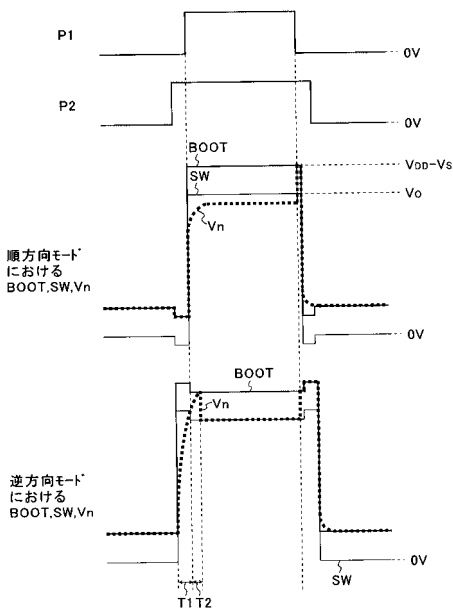
【図 2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開 2 0 0 3 - 2 3 5 2 5 1 (J P , A)
特開 2 0 0 0 - 0 1 3 2 1 2 (J P , A)
特開平 0 6 - 3 2 6 3 0 7 (J P , A)
特開平 0 8 - 0 4 6 0 5 6 (J P , A)
特開平 0 8 - 1 6 2 9 3 0 (J P , A)
特開 2 0 0 1 - 3 0 8 2 0 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H02M 3/00-3/44

H02M 1/00-1/44