(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3751833号
(P3751833)
(45)発行日　平成18年3月1日(2006.3.1)　(24)登録日　平成17年12月16日(2005.12.16)

(51)Int.Cl.　F I
H04L 12/40 (2006.01)　H04L 12/40　Z

請求項の数 19　(全 13 頁)

(21)出願番号　特願2001-26682(P2001-26682)
(22)出願日　平成13年2月2日(2001.2.2)
(65)公開番号　特開2001-251328(P2001-251328A)
(43)公開日　平成13年9月14日(2001.9.14)
審査請求日　平成15年2月7日(2003.2.7)
(31)優先権主張番号　09/496609
(32)優先日　平成12年2月3日(2000.2.3)
(33)優先権主張国　米国(US)

(73)特許権者　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．０７９７４－０６３６　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100106703
弁理士　産形　和央
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】多重ポートイーサネット装置と外部ピン最小化方法及び装置

(57)【特許請求の範囲】
【請求項１】
多重ポートイーサネット装置において、
複数のステータス信号バスの各々に対応する、複数のイーサネットポートと、前記複数のステータス信号バスを入力し、かつ、前記イーサネット装置の外部ピンで利用される共通ステータス信号バスを出力する内部マルチプレクサと、
前記内部マルチプレクサが、前記複数のステータス信号バスのいずれの信号バスを出力しているかを示すポート有効信号と
を有することを特徴とする多重ポートイーサネット装置。
【請求項２】
前記ポート有効信号が、それぞれ前記複数のイーサネットポートの各々に対する個別ポート有効ストローブ信号である
ことを特徴とする請求項１記載の装置。
【請求項３】
さらに、前記内部マルチプレクサを制御するポートセレクタを有する
ことを特徴とする請求項１記載の装置。
【請求項４】
前記複数のステータス信号バスの各々が、ＡＣＴ信号と、ＬＩＮＫ信号と、ＳＰＥＥＤ信号と、ＦＤＵＰ信号と、ＣＳ信号と、ＴＰＪＳ信号と、ＴＰＡＰＳ信号と、ＲＳ信号と、ＸＳ信号とを含む

ことを特徴とする請求項１記載の装置。
【請求項５】
前記複数のステータス信号バスの各々が、前記複数のイーサネットポートの対応する１つに関して、共通ステータス信号バスセットを有することを特徴とする請求項１記載の装置。
【請求項６】
（１）前記イーサネット装置からの外部出力である前記内部マルチプレクサの前記出力と、
（２）前記複数のステータス信号バスとの間の選択を可能にする出力マルチプレクサと
を有することを特徴とする請求項１記載の装置。
【請求項７】
前記複数のイーサネットポートが、少なくとも８個のイーサネットポートである
ことを特徴とする請求項１記載の装置。
【請求項８】
多重ポートイーサネット装置の外部ピン最小化方法において、
（Ａ）前記イーサネット装置の複数のイーサネットポートの各々からのステータス信号を、共通ステータス信号バス中に多重化するステップと、
（Ｂ）前記多重化されたステータス信号を、前記イーサネット装置の共通外部ピンセットを介して出力するステップと
を含むことを特徴とする多重ポートイーサネット装置の外部ピン最少化方法。
【請求項９】
前記共通ステータス信号バスが、前記複数のイーサネットポートの各々に関して、少なくとも９個のステータス信号を含む
ことを特徴とする請求項８記載の方法。
【請求項１０】
前記複数のイーサネットポートが、少なくとも８個のイーサネットポートである
ことを特徴とする請求項８記載の方法。
【請求項１１】
多重ポートイーサネット装置の外部ピン最少化方法において、
複数のイーサネットポートの各々のステータスの並列表現を、前記イーサネット装置の共通外部ピンセットを介して逐次出力するステップを含む
ことを特徴とする多重ポートイーサネット装置の外部ピン最少化方法。
【請求項１２】
前記並列表現が、前記複数のイーサネットポートの各々に関して、少なくとも９ビット信号を含む
ことを特徴とする請求項１１記載の方法。
【請求項１３】
前記複数のイーサネットポートが、少なくとも８個のイーサネットポートである
ことを特徴とする請求項１１記載の方法。
【請求項１４】
多重ポートイーサネット装置の外部ピン最少化装置において、
前記イーサネット装置の複数のイーサネットポートの各々からのステータス信号を、共通ステータス信号バス中に多重化する手段と、
前記多重化されたステータス信号を、前記イーサネット装置の共通外部ピンセットを介して出力する手段と
を有することを特徴とする多重ポートイーサネット装置の外部ピン最少化装置。
【請求項１５】
前記共通ステータス信号バスが、前記複数のイーサネットポートの各々に関して、少なくとも９個のステータス信号を含む
ことを特徴とする請求項１４記載の装置。

【請求項１６】
前記複数のイーサネットポートが、少なくとも８個のイーサネットポートである
ことを特徴とする請求項１４記載の装置。
【請求項１７】
多重ポートイーサネット装置の外部ピン最少化装置において、
複数のイーサネットポートの各々のステータスの並列表現を、前記イーサネット装置の共通外部ピンセットを介して逐次出力する手段を有する
ことを特徴とする多重ポートイーサネット装置の外部ピン最少化装置。
【請求項１８】
前記並列表現が、前記複数のイーサネットポートの各々に関して、少なくとも９ビット信号を含む
ことを特徴とする請求項１７記載の装置。
【請求項１９】
前記複数のイーサネットポートが、少なくとも８個のイーサネットポートである
ことを特徴とする請求項１７記載の装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、一般的にはイーサネット装置に関し、特に、内部イーサネットフラグへの外部アクセスを可能にする、効果的かつ費用効果の大きい方式に関する。
【０００２】
【従来の技術】
イーサネットは、広く導入されているローカルエリアネットワーク（ＬＡＮ）技術である。イーサネットインタフェースを用いることにより、多くのコンピュータ装置が、ＬＡＮを介して互いに通信することができる。イーサネットは良く知られている規格、ＩＥＥＥ８０２．３に規定されている。
【０００３】
通常、イーサネットＬＡＮは、より対線または同軸ケーブルを使用している。最も広く導入されているイーサネットシステムは、伝送速度毎秒１０メガビット（Ｍｂｐｓ）までの、１０Ｂａｓｅ－Ｔと呼ばれているシステムである。高速イーサネット、すなわち１００Ｂａｓｅ－Ｔは、１００Ｍｂｐｓまでの伝送速度を提供している。通常、高速イーサネットは、ＬＡＮ中枢システム用として使用され、１０Ｂａｓｅ－Ｔインタフェースを使用しているワークステーションをサポートしている。ギガビットイーサネットは、１，０００Ｍｂｐｓの伝送速度で、さらに高速レベルの中枢システムをサポートしている。
【０００４】
イーサネット装置はイーサネットＬＡＮに接続され、キャリア検知多重アクセス衝突検出（ＣＳＭＡ／ＣＤ）型プロトコルを用いたアクセスをめざしている。
【０００５】
イーサネットＬＡＮに接続されるコンピュータ装置は、イーサネットインタフェース(ポート)を含んでいる。元々、コンピュータ装置は単一イーサネットＬＡＮインタフェース(ポート)を含んでいるが、現代社会におけるコンピュータネットワーク化の重要性が高まるにつれ、また、イーサネットが好評を得るにつれ、現在のコンピュータには、複数のイーサネットポートが必要になっている。
【０００６】
図６は、複数のイーサネットポート６０２、６０４および６０６を含む従来のイーサネット装置（例えば、イーサネット集積回路）６００を示したものである。各イーサネットポート６０２、６０４および６０６は、データ／アドレス、ＬＡＮ接続バス６１０、６１２、６１４、および、イーサネットプロトコル用物理層トランシーバのステータスラインバス（ＰＨＹ）６１６、６１８、６２０を、それぞれ備えている。通常、各ステータスラインバス６１６、６１８および６２０は、個別ステータス信号を９個まで含んでいる。

【０００７】
図７は、従来のイーサネットポートステータスバス上に個別に含まれる従来の信号をさらに詳細に示したものである。
【０００８】
特に、図７に示すように、ＰＨＹステータスバス７００は、ＡＣＴ信号７０１、ＬＩＮＫ信号７０２、ＳＰＥＥＤ信号７０３、ＦＤＵＰ信号７０４、ＣＳ信号７０５、ＴＰＪＳ信号７０６、ＴＰＡＰＳ信号７０７、ＲＳ信号７０８およびＸＳ信号７０９を含んでいる。
【０００９】
ＡＣＴ信号７０１は、各イーサネットポート上のアクティビティを表している。ＬＩＮＫ信号７０２は、当該イーサネットポートがアップであるか、あるいはダウンであるかを表している。ＳＰＥＥＤ信号７０３は、イーサネットリンクの速度、例えば１０Ｍｂあるいは１００Ｍｂを表している。ＦＤＵＰ信号７０４は、イーサネットリンクが全二重であるか、あるいは半二重であるかを表している。ＣＳ信号７０５は、当該イーサネットリンクに対するキャリア検知信号である。ＴＰＪＳ信号７０６は、レシーバが超過送信状態を検出中であることを示す、より対超過送信検知信号である。ＴＰＡＰＳ信号７０７は、より対自動極性検知信号である。ＲＳ信号７０８は、当該イーサネットポートが受信中であるか否かを表す受信検知信号である。ＸＳ信号７０９は、イーサネットポートが送信中であるか否かを表している。
【００１０】
典型的なイーサネットトランシーバ６００では、通常ＰＨＹと呼ばれる上記ステータス信号（内部フラグとも呼ばれる）７０１ないし７０９の各々が、イーサネット装置６００から出力され、イーサネットトランシーバ装置６００の状態観察を可能にしている。例えば、各ステータス信号７０１ないし７０９を用いて個別ＬＥＤを駆動し、イーサネットトランシーバ装置６００の状態を目視検査することができる。別法として、あるいは追加として、各ステータス信号７０１ないし７０９を外部レジスタに入力し、処理装置または他の装置によってリードバックすることができる。
【００１１】
しかし、特定イーサネットトランシーバ装置（特に、複数のイーサネットポートを有するイーサネットトランシーバ装置）の外部ピンの所望最大数における典型的な設計上の限界のため、設計者は、多数のステータス信号を使用することができず、イーサネットトランシーバ装置６００の完全な状態観察能力を低下させている。
【００１２】
別法としては、内部ステータス信号７０１ないし７０９を、外部の多重ポートイーサネットトランシーバ装置へもたらすために、ステータス信号の幾つかを排除する技法ではなく、並列技法および直列技法の２種類の技法が、従来から使用されている。特定の多重ポートイーサネットトランシーバ装置では、この両方の技法を取り入れ、並列モード対応、または直列モード対応のいずれかの動作を可能にしている装置もある。
【００１３】
並列モードでは、ステータス信号７０１ないし７０９のサブセットが、直接、対応する外部ピン番号へ通過していく。仮に、ステータス信号７０１ないし７０９の全てを、各イーサネットポートに対して利用する場合、９個の個別外部ピンが、各イーサネットポートに対して必要になる。当然、全てのステータス信号を利用する必要はないが、この場合、全ステータス信号のサブセットしか提供されないため、全てのイーサネットポートの動作を完全に観察することはできない。
【００１４】
直列モードでは、ステータス信号７０１ないし７０９が直列化され、データピン、クロックピン、および望ましい全ての制御ピンを用いて、外部のイーサネットトランシーバ装置６００に渡される。ステータス信号７０１ないし７０９の直列伝送は、多重ポートイーサネットトランシーバ装置６００における外部ピン数を最少にするが、直列化されたステータス信号７０１ないし７０９を、直列信号から個別の並列信号に再変換しなければならな

いため、コストが増加し、外部基板が複雑になる。したがって、直列伝送技法を用いたステータス信号７０１ないし７０９の外部イーサネットトランシーバ装置への引渡しは、内部ステータス信号を含んだ直列データストリームを捕え、解析するために、複雑な外部論理を必要としている。

【００１５】

【発明が解決しようとする課題】

本発明の目的は、外部ピンの必要数を最少にし、かつ、各イーサネットポートの全ての有効ステータス信号を、外部イーサネットトランシーバ装置に提供する技法および装置を提供することである。

【００１６】

【課題を解決するための手段】

本発明の原理によれば、多重ポートイーサネット装置は、複数のイーサネットポートと内部マルチプレクサとを備えている。複数のイーサネットポートは、それぞれの複数のステータス信号バスに対応しており、該複数のステータス信号バスは、内部マルチプレクサに入力されている。マルチプレクサから出ている共通のステータスバスが、イーサネット装置の外部ピンで利用される。ポート有効信号が、内部マルチプレクサから出力されているステータス信号バスを示している。

【００１７】

本発明の他の態様によれば、イーサネット装置の複数のイーサネットポートの各々のステータス信号を、共通ステータス信号バス中に多重化することによって、多重ポートイーサネット装置の外部ピンの最少化を実現している。多重化されたステータス信号は、イーサネット装置の共通外部ピンセットを介して出力される。

【００１８】

本発明のさらに他の態様によれば、複数のイーサネットポートの各々のステータスの並列表現を、イーサネット装置の共通外部ピンセットを介して逐次出力することによって、多重ポートイーサネット装置の外部ピンの最少化を実現している。

【００１９】

【発明の実施の形態】

本発明の原理によれば、多重ポートイーサネット装置（例えば、集積回路）の内部ステータス信号の全が、多重化（ＭＵＸ）モードで外部のイーサネット集積回路に利用される。各イーサネットポートの内部ステータス信号が、多重化モードでのみ外部イーサネット装置に伝送されるように、イーサネット装置を多重化モードに「固定」することができる。あるいは、イーサネット装置は、従来の出力モード（例えば、並列ステータス信号出力モードおよび／または直列ステータス信号出力モード）の他に、ステータス信号出力用としてＭＵＸモードを提供することができる。

【００２０】

ＭＵＸモードでは、所望の内部ステータス信号の全て（例えば、９個の標準イーサネットステータス信号の全て）が、外部のイーサネット集積回路の共通バス上に、ポート毎に時分割多重化される。また、出力はストローブ信号であり、そのポートのステータス信号が、共通ステータス信号バス上で有効であることを示している。

【００２１】

全ての内部ステータス信号を、共通ステータス信号バスを介して、イーサネット集積回路など外部の多重ポートイーサネットトランシーバ装置に利用させることによって、最少の外部ピン数で、各イーサネットポートの機能に対する完全な見通しを提供している。

【００２２】

図１は、本発明の原理による、３個のイーサネットポート１１０、１１２および１１４を含む多重ポートイーサネットトランシーバ装置１００、および、全てのイーサネットポートのステータス信号を、時分割多重化方式によって、ポート有効信号と共に外部ピンに渡す、ＭＵＸモードを示したものである。

【００２３】

特に、図１では、第１のイーサネットポート１１０は、従来の有効ステータス信号７０１ないし７０９を含む内部イーサネットステータス信号バス１３０の他に、ＬＡＮ接続バス１２０を含んでいる。同様に、第２のイーサネットポート１１２も、別の内部イーサネットステータス信号バス１３２の他に、ＬＡＮ接続バス１２２を含んでおり、第３のイーサネットポート１１４も、ＬＡＮ接続バス１２４と、さらに別の内部イーサネットステータス信号バス１３４を含んでいる。イーサネットポート１１０、１１２および１１４の各々は、適当な処理装置による全てのイーサネットポート１１０、１１２および１１４との通信を可能にする追加信号（例えば、データ／アドレス／制御信号）を有している。

【００２４】

本発明の原理によれば、多重ポートイーサネットトランシーバ装置１００は、ポートセレクタによって制御されるステータス信号マルチプレクサ１０２を含んでいる。

【００２５】

マルチプレクサ１０２は、個別ステータス信号バス１３０、１３２および１３４を入力し、それらの１つを選択して共通ステータス信号バス１４０に出力している。共通ステータス信号バス１４０は、外部のイーサネットトランシーバ装置１００で利用される。

【００２６】

ポートセレクタ１０４は、適当なクロック源１０６からのシステムクロック信号を利用して、イーサネットポート１１０、１１２および１１４のそれぞれに対して、ポート有効信号１４２を周期的に発生している。ポート有効信号１４２は、外部のイーサネットトランシーバ装置１００で利用される。

【００２７】

図に示す3ポートイーサネットトランシーバ装置の場合、全てのイーサネットポートの全てのステータス信号を、外部のイーサネットトランシーバ装置１００に伝送するためのＭＵＸモードの実施態様には、９個の共通ステータス信号バス１４０用外部ピンの他に、３個のポート有効信号１４２用外部ピン、すなわち合計１２個の外部ピンが必要である。

【００２８】

図２は、ＭＵＸモードを用いた８ポート全ての内部ステータス信号の出力を含む、本発明の原理による、８ポートイーサネットトランシーバ装置２００の関連分部の詳細を示したものである。

【００２９】

図２は、本発明の原理によるＭＵＸモードの他に、複数のイーサネットポートの各ステータス信号を全て出力するための、並列モードおよび直列モードを包含していることを示している。しかし、本発明の原理は、各イーサネットポートのステータス信号を出力するＭＵＸモードのみを有するイーサネット装置の実施態様にも等しく関係している。

【００３０】

図２に示す８ポートイーサネットトランシーバ装置２００は、ＭＵＸ動作モード、および従来の並列動作モードおよび直列動作モードを提供する。

【００３１】

特に、図２では、８ポートイーサネットトランシーバ装置２００は、４つの個別８ビットバス２６１ないし２６４に纏められた３２個の外部ピンを含んでいる。図には３２個の外部ピンを示しているが、本発明の原理は、もっと少数の、あるいはもっと多数の外部ピンの使用に関している。さらに、図に示す外部ピンは、８ビットバス２６１ないし２６４に纏められているが、本発明の原理は、もっと多数の、あるいはもっと少数のビットバスにも等しく関係している。

【００３２】

ＭＵＸモードは、ＭＯＤＥ信号２７１（並列モードまたは直列モードと同様に）によってプログラム選択される。ＭＯＤＥ信号２７１は、ハードワイヤードであっても、あるいは適当なビットレジスタまたは他の記憶場所からの発信であっても良い。

【００３３】

ＭＵＸモードでは、ステータス信号７０１ａないし７０９ａは、ＭＵＸおよび論理モジュ

ール２０６を通過し、出力ＭＵＸ２０４を経て、各イーサネットポートのポート有効信号と共に所要番号の外部ピン２６１ないし２６４に出力される。

【００３４】

例えば、特定の実施形態では、８個のポート有効ストローブ信号（イーサネットトランシーバ装置２００のイーサネットポート毎に１個）が、第１の外部ピンバス２６１に出力されている。さらに、各イーサネットポートの９個の時分割多重化ステータス信号の内の８個７０１ａないし７０８ａが、第２の外部ピンセット２６２に出力され、９番目のステータス信号７０９ａは、第３の外部ピンセット２６３の第１のピンに出力されている。第３の外部ピンセット２６３の残り７個の外部ピン、および、第４の外部ピンセット２６４の8個の外部ピンは、ＭＵＸモードの開示実施態様では未使用になっている。

【００３５】

開示実施形態では、パワーアップ時に、例えば入力ピンＭＯＤＥ［１：０］に指定されたブートストラッピングによって、特定の動作モードが選択されるが、本発明の原理は、ソフトウェア制御および／またはハードウェア制御を介しての動作モード選択、および、パワーアップ時あるいは関連イーサネットトランシーバ装置２００の動作中における任意の時点での動作モード選択にも等しく関係している。

【００３６】

上記ＭＵＸモードに対し、並列モードでは、各イーサネットポートの９個の有効内部ステータス信号の内の僅か４個の信号を出力するために、３２個の外部ピン２６１ないし２６４の全てが使用される（４信号ｘ８ポート＝３２ピン）。したがって、並列モードを使用することはできるが、並列モードでは、内部ステータス信号の全てを外部ピンにもたらすことはできない。

【００３７】

直列モードでは、８個のイーサネットポートの全てのステータス信号７０１ａないし７０９ａが、適当なクロック速度（例えば１．５６ＭＨｚ）で動作する適当なシリアライザに入力され、直列データストリーム２８１として、専用の直列データクロック信号２８２と共に出力される。直列モードでは、例えば第４の外部ピンセット２６４の僅か２個の外部ピンしか必要としないが、８個のポートの各個別ステータス信号を回復するために、外部の多重ポートイーサネットトランシーバ装置２００に、直列／並列変換器が必要である。

【００３８】

外部ピン数の観点からすると、直列モードが最適であるが、直列モードの場合、各ポートのビットストリームを捕え、解釈するための複雑な論理が、外部のイーサネット集積回路に必要になる。

【００３９】

図２に示す多重化モードでは、８個のイーサネットポートのそれぞれ９個の内部ステータス信号の全てを、外部の多重ポートイーサネットトランシーバ装置２００で利用するために、合計１７個の外部ピンしか必要としない。その結果、多重化信号を捕えるために必要な外部論理は、直接的であり、単純かつ安価である。

【００４０】

本発明の原理による多重化モードを使用することにより、９個のステータス信号を外部のイーサネットトランシーバ装置２００に渡すため（例えば、ＬＥＤを駆動するため）の９個の外部ピンと、８個のイーサネットポートの各ステータス信号が、共通外部ステータス信号バス上でアクティブになったことを宣言するための８個の追加外部ピン（イーサネットポート毎に１個）が必要となるだけであり、したがって、８ポートＰＨＹの場合、従来の並列動作モードでは７２個の外部ピンを必要とするのに対し、合計僅か１７個の外部ピンで十分である。

【００４１】

図３Ａおよび３Ｂは、多重化モードの動作原理を説明したタイムチャートである。特に、図３Ａは、各イーサネットポートに対する全体タイムチャートを示し、図３Ｂは、逐次多重化され、共通ステータス信号バス上で外部的に利用される、全イーサネットポートの時

分割多重化の性質を示したものである。

【００４２】

図３Ａの波形（ａ）は内部クロック信号を示し、波形（ｂ）は、波形（ａ）の内部クロック信号に関連したポート有効ストローブ信号（アクティブハイ）を示す。開示実施形態では、ポート有効信号のアクティブ時間は約１ｍＳである。当然、本発明の原理は、ポート有効信号の他のタイミング関係にも関係している。図３Ａの波形（ｃ）で示すように、ポート有効信号に応じて、外部ピンから、関連するステータス信号データを捕えることができる。

【００４３】

図３Ａの例で示すように、ストローブ幅は、例えば１ｍＳにすることができる。ストローブ間の空きサイクルは、例えば図に示すように１．２８μＳにすることができる。ポート有効信号ストローブ速度は、複数のイーサネットポートの各々に対して、例えば８ｍＳにすることができる。多重化ステータス信号は、ポート有効ストローブ信号が立ち上がる約６４０ｎＳ前から有効になり、ポート有効ストローブが立ち下がった後、約６４０ｎＳまで有効である。

【００４４】

図３Ｂの波形（ａ）は、共通外部バス上に逐次出力される、各イーサネットポートのステータス信号の時分割多重化逐次性質を示したものである。図３Ｂの波形（ｂ）ないし（ｉ）は、図２に示す８個のイーサネットポートの各々に対するポート有効信号の相対関係を、それぞれ示したものである。図３Ｂに示すように、隣り合うポート有効信号のアクティブ部分の間の時間周期は、整定のための時間を、共通ステータス信号バス時間に許容することが好ましい。

【００４５】

ポート有効ストローブ信号は、適切であればどのような方法でも使用することができる。図４に、本発明の原理による、各イーサネットポートの専用ラッチまたはレジスタに、ステータス信号をラッチする場合の、ポート有効ストローブ信号の使用例を示す。

【００４６】

特に、図４に示すように、個別ポート有効ストローブ信号を用いて、各イーサネットポートに関連する個別ラッチまたはレジスタに、ステータス信号をラッチすることができる。別法として、あるいは追加として、ポート有効ストローブ信号ｎ－０を用いて、そのイーサネットポートステータス信号（例えば、ＬＥＤ４０２－４０８の信号）の片側に接続する大電力インバータ４２１，４２２を駆動することができる。このような場合、任意のイーサネットポートのステータス信号レベルに対応するＬＥＤは、全体の１／８の時間だけ点灯することになる。図４に示すように、ＬＥＤを点灯させるために、インバータにシンク電流が必要であれば、それに応じて抵抗４１２－４１８の大きさを決めなければならない。

【００４７】

図５は、本発明の原理による、ポート有効ストローブ信号の他の使用例を、多重化ステータス信号情報の出力と共に示したものである。

【００４８】

特に、図５に示すように、ポート有効ストローブ信号を用いて、各イーサネットポートのＬＥＤ５０２をそれぞれ駆動することができ、かつ、各ステータス信号を用いて、ＬＥＤの他のセット５６２、５６４、５６６が駆動される。このアーキテクチャの場合、特定ポートのステータスＬＥＤ５０２は、その特定イーサネットポートのストローブＬＥＤが点灯した時点で点灯する。ＬＥＤ５０２，５６２－５６６を点灯させるために、抵抗５１２、５７２－５７６の大きさを決めなければならない。

【００４９】

本発明は、同一集積回路上に複数のＰＨＹを含むイーサネットシステムに、最大限の利益を提供する。

【００５０】

本発明の重要な利点は、本発明が、外部信号ピン数が最少のイーサネット集積回路の任意の内部フラグ、または全ての内部フラグを調べる能力を実現することにある。本発明の利益は、単一イーサネット集積回路のポート数の増加に伴い、より明らかになるものと思われる。例えば、１２ポートイーサネットチップでは、全ての内部フラグ信号にアクセスするために、２１個の外部ピンしか必要としない（従来の並列動作モードを使用した場合は、１０８個必要である）。２４個のイーサネットポートを有する場合のように、さらに極端なケースでは、全ての内部フラグにアクセスし、表示するために、３３個の外部ピンしか必要としない（従来の並列動作モードを使用した場合は、２１６個必要である）。

【００５１】

本発明の原理は、イーサネット装置内の内部フラグ信号への多重化モード外部アクセスの使用に関するものである。イーサネット装置の内部フラグへのアクセス用として、多重化動作モードを排他的に、あるいは他の動作モードを包含して設けることができる。

【図面の簡単な説明】

【図１】本発明の原理による、３個のイーサネットポートを備えた多重ポートイーサネットトランシーバ装置、および、全てのイーサネットポートのステータス信号を、時分割多重化方式によって、ポート有効信号と共に共通外部ピンに引き渡すＭＵＸモードを示す図である。

【図２】本発明の原理による、ＭＵＸモードを用いた８ポート全ての内部ステータス信号の出力を含む、８ポートイーサネットトランシーバ装置の関連部分の詳細図である。

【図３】Ａ　各イーサネットに対する全体タイミングであり、ＭＵＸモードの動作原理を説明する図である。

Ｂ　逐次多重化され、共通ステータス信号バス上で外部的に利用される、全イーサネットポートの時分割多重化の性質を示し、ＭＵＸモードの動作原理を説明する図である。

【図４】本発明の原理による、各イーサネットポートの専用のラッチまたはレジスタに、ステータス信号をラッチする場合の、ポート有効ストローブ信号の使用例を示す図である。

【図５】本発明の原理による、ポート有効ストローブ信号の他の使用例を、多重化ステータス信号情報の出力と共に示す図である。

【図６】複数のイーサネットポートを含む従来のイーサネット装置（例えば、イーサネット集積回路）を示す図である。各イーサネットポートは、データ／アドレス、ＬＡＮ接続バスおよびステータスラインバス（ＰＨＹステータス）を、それぞれ含んでいる。通常、各ステータスラインバスは、個別ステータス信号を９個まで含んでいる。

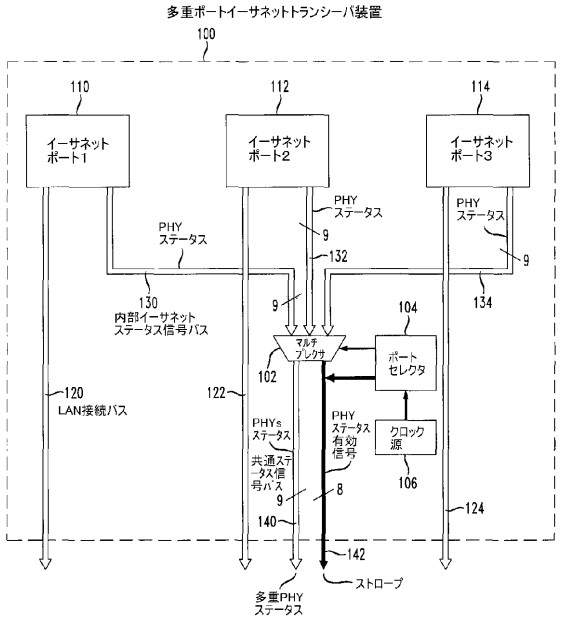
【図７】従来のイーサネットポートステータスバス上に個別に含まれる、従来の信号の詳細を示す図である。

【符号の説明】

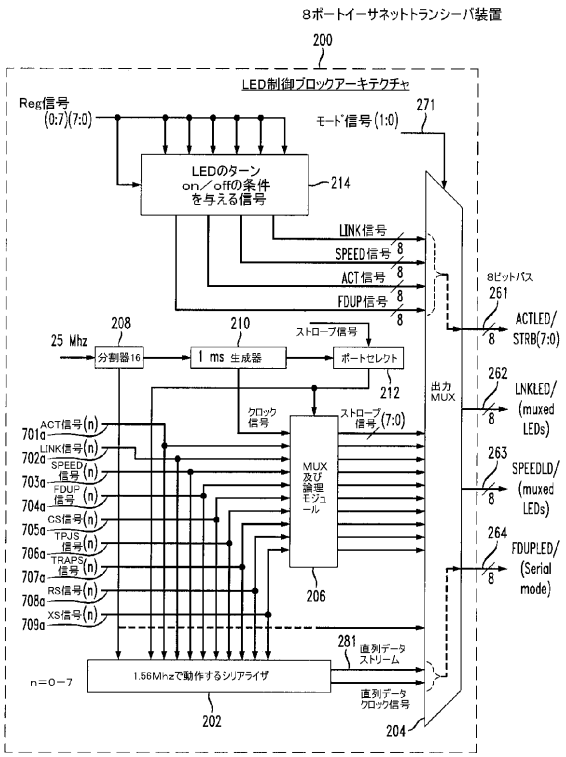
ＬＡＮ　ローカルエリアネットワーク
１００　多重ポートイーサネットトランシーバ装置
１０２　ステータス信号マルチプレクサ
１０４　ポートセレクタ
１０６　クロック源
１１０，１１２，１１４，６０２，６０４，６０６　イーサネットポート
１２０，１２２，１２４，６１０，６１２，６１４　ＬＡＮ接続バス
１３０，１３２，１３４　内部イーサネットステータス信号バス
１４０　共通ステータス信号バス
１４２　周期ポート有効信号
２００　８ポートイーサネットトランシーバ装置
２０４　出力ＭＵＸ
２０６　ＭＵＸおよび論理モジュール
２０８　１６割り算器
２１０　１ｍｓ生成器

２１２　ポートセレクト
２１４　ＬＥＤのターンｏｎ／ｏｆｆの条件を与える信号
２６１，２６２，２６３，２６４　８ビットバス
２７１　ＭＯＤＥ信号
２８１　直列データストリーム
２８２　直列データクロック信号
６００　従来のイーサネット装置
６１６，６１８，６２０　ステータスラインバス
７００　ＰＨＹステータスバス
７０１　ＡＣＴ信号
７０２　ＬＩＮＫ信号
７０３　ＳＰＥＥＤ信号
７０４　ＦＤＵＰ信号
７０５　ＣＳ信号
７０６　ＴＰＪＳ信号
７０７　ＴＰＡＰＳ信号
７０８　ＲＳ信号
７０９　ＸＳ信号

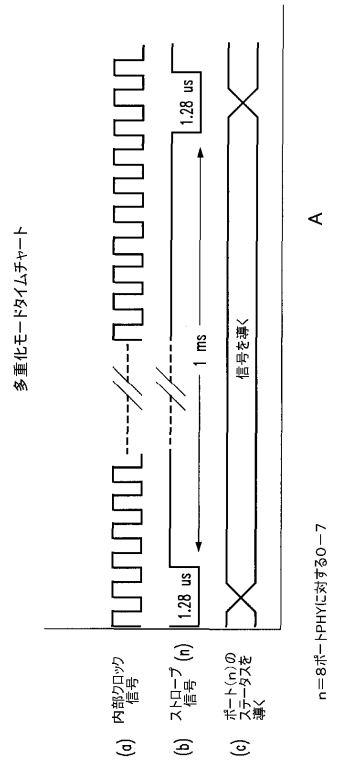
【図１】

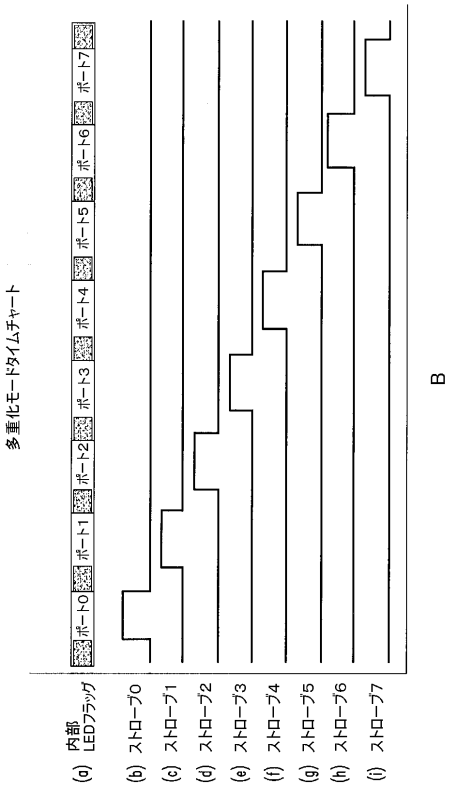


【図２】

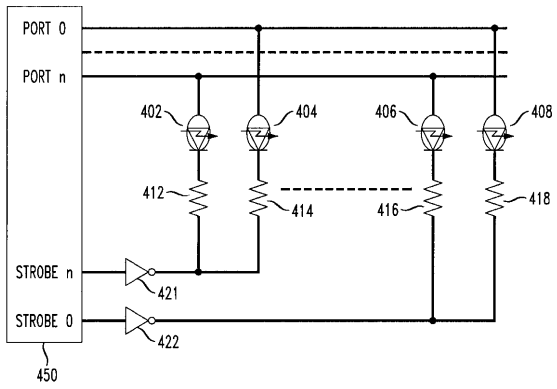


【図３】

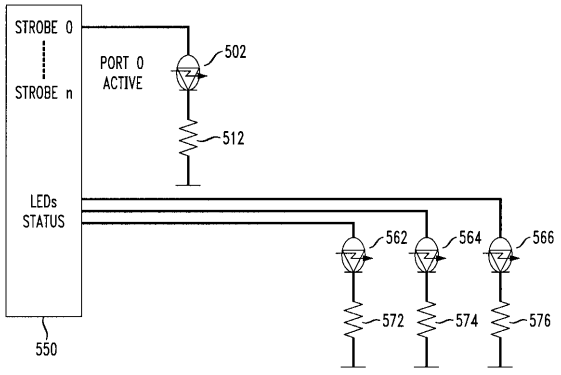

多重化モードタイムチャート
(a) 内部クロック信号
(b) ストローブ信号 (n)
(c) ポート(n)のステータスを運く
1.28 us
1 ms
1.28 us
信号を運く
n=8ポートPHYに対する0−7
A


多重化モードタイムチャート
ポート0
ポート1
ポート2
ポート3
ポート4
ポート5
ポート6
ポート7
(a) 内部LEDブラック
(b) ストローブ0
(c) ストローブ1
(d) ストローブ2
(e) ストローブ3
(f) ストローブ4
(g) ストローブ5
(h) ストローブ6
(i) ストローブ7
B

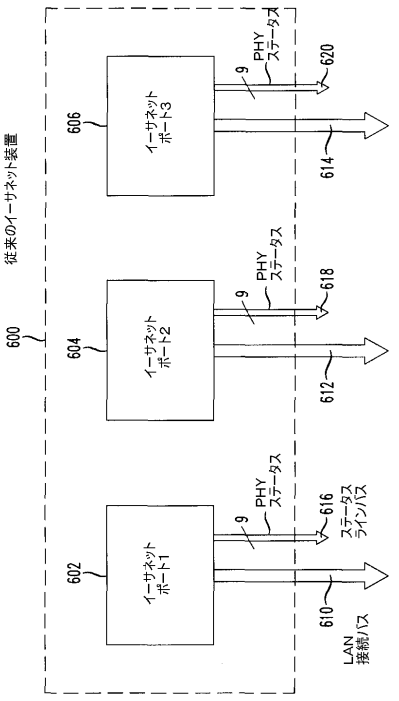
【図４】


PORT 0
PORT n
STROBE n
STROBE 0
402
404
406
408
412
414
416
418
421
422
450

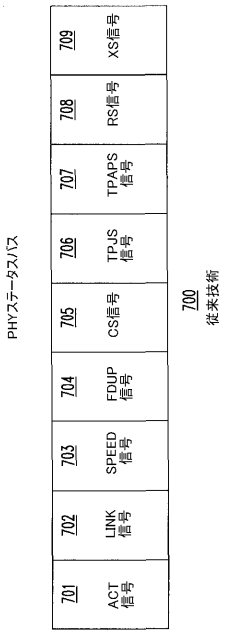
【図５】


STROBE 0
STROBE n
PORT 0 ACTIVE
502
512
LEDs STATUS
562
564
566
572
574
576
550

【図６】


従来のイーサネット装置
600
イーサネットポート3
606
イーサネットポート2
604
イーサネットポート1
602
9
PHY ステータス
620
618
616
ステータスラインバス
614
612
610
LAN接続バス

【図７】


PHYステータスバス
701
ACT信号
702
LINK信号
703
SPEED信号
704
FDUP信号
705
CS信号
706
TPJS信号
707
TPAPS信号
708
RS信号
709
XS信号
700
従来技術

フロントページの続き

(74)代理人 100091889
弁理士 藤野 育男
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100102808
弁理士 高梨 憲通
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100107401
弁理士 高橋 誠一郎
(74)代理人 100106183
弁理士 吉澤 弘司
(74)代理人 100081053
弁理士 三俣 弘文
(72)発明者 エドモンド エイチ、バラカット
アメリカ合衆国、１８１０３ ペンシルベニア、アレンタウン、グリック アベニュー １１１２
(72)発明者 ジョセフ アンソニー マンゼラ
アメリカ合衆国、１８０６２ ペンシルベニア、マカンジー、ランプライター ドライブ １６９５

審査官 矢頭 尚之

(56)参考文献 特表平１０－５０８９９５（ＪＰ，Ａ）
特開平１０－４９４８６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L 12/40