

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01Q 3/38

(45) 공고일자 2005년09월09일
(11) 등록번호 10-0513598
(24) 등록일자 2005년09월01일

(21) 출원번호 10-2002-0074353
(22) 출원일자 2002년11월27일

(65) 공개번호 10-2004-0046425
(43) 공개일자 2004년06월05일

(73) 특허권자 한국전자통신연구원
대전 유성구 가정동 161번지

(72) 발명자 박형일
대전광역시유성구전민동청구나래아파트110동301호

임인기
대전광역시유성구어은동한빛아파트110동1103호

정희범
대전광역시유성구어은동한빛아파트132동506호

김중대
대전광역시서구관저동대자연마을아파트108동2105호

(74) 대리인 리엔목특허법인
이혜영

심사관 : 전기억

(54) 스마트 안테나 수신 시스템에서의 적응 빔형성을 위한정규화 장치

요약

본 발명의 적응 빔형성을 위한 정규화 장치는, 스마트 안테나 수신기의 적응 빔형성 가중치 벡터를 생성시키는 NLMS 알고리즘 내에서 정규화 과정을 수행하기 위한 것이다. 이를 위하여 이 정규화 장치에 있어서, 정규화 과정에서 요구되는 곱셈 연산을 수행하는 곱셈 연산 수단, 및 정규화 과정에서 요구되는 나눗셈 연산을 이진로그화와 감산 연산을 이용하여 수행하는 나눗셈 연산 수단을 구비한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 일반적인 스마트 안테나 수신 시스템을 나타내 보인 블록도이다.

도 2는 본 발명에 따른 적응 빔형성을 위한 정규화 장치를 나타내 보인 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스마트 안테나 수신 시스템에 관한 것으로서, 특히 스마트 안테나 수신 시스템에서의 적응빔 형성을 위한 정규화 장치에 관한 것이다.

이동 통신 시스템, 예컨대 CDMA(Code Division Multiple Access) 시스템 내에서의 사용자 신호 처리 방식에 있어서, 다른 사용자의 신호는 간섭으로 처리된다. 따라서 한 기지국 내에서 동일한 주파수를 공유하는 사용자의 수가 증가할수록 다중 접속 간섭 잡음도 증가되며, 이에 따라 수신 신호의 비트 에러 확률이 증가하고 시스템의 성능도 또한 저하된다. CDMA 시스템에서 시스템의 용량을 증대시키고, 동시에 통화 품질을 향상시키기 위해서는, 자기 신호의 다중 경로 페이딩에 의한 자기 간섭 신호(inter chip interference)와 다중 사용자 신호에 의한 간섭 신호(multiple access interference)를 제거시켜 주어야 한다. 일반적으로 자기 간섭 신호를 줄이기 위한 방법으로서, 서로 지연차가 있는 두 신호를 분리해낼 수 있는 기능을 갖는 레이크(RAKE) 수신기를 이용하는 방법이 채택된다. 그리고 다중 사용자 신호에 의한 간섭 신호를 줄이기 위한 방법으로서, 스마트 안테나 수신 시스템을 사용하는 방법이 채택된다.

스마트 안테나(smart antenna) 기술은, 이와 같이 이동 통신 시스템에서의 한정된 주파수 자원과 폭발적으로 증가하는 가입자 등의 문제점에 대처하기 위하여 제안된 안테나 기술이다. 이 스마트 안테나 기술은, 복수개의 배열 안테나(array antenna)를 이용하여 각각의 안테나에서 수신되는 신호들의 이득 및 위상을 조절함으로써, 기지국에서 원하는 사용자의 방향으로부터 전파되어 오는 신호만을 수신하고 그 이외의 방향에서 전파되어 오는 다중 접속 간섭에 의한 잡음 신호 레벨을 크게 감소시켜, 시스템의 성능을 향상시키고 기지국의 채널 용량을 증가시키는 기술이다.

스마트 안테나 수신 시스템은 빔형성 방법에 따라 크게 두 가지 방식으로 구별될 수 있다. 하나는 안테나의 패턴이 고정되어 있는 고정빔 선택 방식(switched beam smart antenna)이고, 다른 하나는 안테나의 패턴이 시간 또는 주위 환경에 따라 변화할 수 있는 적응빔 방식(Adaptive beam smart antenna)이다. 고정빔 선택 방식의 경우, 빔이 고정되어 있으므로 안테나 패턴과 패턴 사이에 사용자가 위치하게 되면 성능이 감소하는 결과가 초래된다. 그러나 적응빔 방식은 사용자에게 직접 빔을 형성할 수 있으므로, 보다 더 지능적으로 환경에 적응 할 수 있는 장점을 제공한다.

스마트 안테나 수신 시스템에서의 핵심 기술인 적응빔 형성 알고리즘은, 배열 안테나들을 통해 수신되는 신호들에 대해 적절한 가중치 벡터를 곱함으로써 송신 신호에 대한 예측이 가능하도록 하는 것이며, 특히 가중치 벡터를 구하는 대표적인 방식으로 NLMS(Normalized Least Mean Square) 알고리즘 방식이 있다. 그런데 이 NLMS 알고리즘에 따른 연산을 수행하기 위한 정규화 장치를 하드웨어적으로 구현할 경우, 요구되는 곱셈과 나눗셈 연산 장치들이 전체 수신기의 대략 10배 이상이 될 수 있다. 비록 유효 숫자를 낮추고 타이밍을 나누어서 사용한다고 하더라도, 상기 정규화 장치는 전체 수신기와 같은 정도의 크기를 차지한다. 특히 실시간 신호 처리를 요구하는 이동 통신 시스템에 적용하기 위해서는 되도록 간단한 구조로 NLMS 알고리즘을 구현하는 것이 요구된다. 그러나 곱셈 및 나눗셈 연산 장치들로 인하여 간단한 구조의 정규화 장치를 구현하는 것이 어려운 실정이다. 특히 나눗셈기의 경우 피젯수의 비트수 이상의 클럭이 소요되므로, 크기뿐만 아니라 실시간 처리 속도에 있어서도 병목 현상을 초래하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 곱셈 및 나눗셈 연산 장치들을 사용하지 않음으로써 전체 시스템 크기를 감소시키고 실시간 처리 속도를 증가시킬 수 있는 적응 빔형성을 위한 정규화 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 적응 빔형성을 위한 정규화 장치는, 스마트 안테나 수신기의 적응 빔형성 가중치 벡터를 생성시키는 NLMS 알고리즘 내에서 정규화 과정을 수행하는 적응 빔형성을 위한 정규화 장치에 있어서, 상기 정규화 과정에서 요구되는 곱셈 연산을 수행하는 곱셈 연산 수단; 및 상기 정규화 과정에서 요구되는 나눗셈 연산을 이진로그화와 감산 연산을 이용하여 수행하는 나눗셈 연산 수단을 구비하는 것을 특징으로 한다.

본 발명에 있어서, 상기 스마트 안테나 수신기로부터 수신된 신호들을 일정 클락에 동기시켜 직렬로 출력시켜 상기 곱셈 연산 수단으로 입력시키는 다중화기를 더 포함하는 것이 바람직하다.

상기 곱셈 연산 수단은, 이진로그화와 가산 연산을 이용하여 상기 곱셈 연산을 수행하는 것이 바람직하다. 이 경우 상기 곱셈 연산 수단은, 상기 다중화기로부터 순차적으로 입력되는 입력 신호들을 이진로그값으로 변환시켜 출력시키는 이진로그 발생기; 상기 이진로그 발생기의 출력을 2배의 크기로 출력시키는 쉬프트 레프트; 및 상기 쉬프트 레프트의 출력을 이진역로그화시켜 출력시키는 이진역로그 발생기를 포함하는 것이 바람직하다. 또한 상기 이진역로그 발생기로부터의 출력값을 순차적으로 가산하여 놈(NORM) 함수값을 출력시키는 가산부를 더 포함하는 것이 바람직하다.

상기 가산부는, 상기 이진역로그 발생기로부터의 출력 신호와 소정의 입력 신호를 가산하여 출력시키는 가산기; 및 상기 가산기로부터의 출력 신호를 피드백 받아 일정 클락에 동기되어 상기 가산기로 상기 입력 신호를 제공하는 레지스터를 포함하는 것이 바람직하다.

상기 이진로그 발생기로부터의 출력을 임시 저장한 후 순차적으로 출력시키는 쉬프트 레지스터를 더 포함하는 것이 바람직하다.

상기 나눗셈 연산 수단은, 상기 가산부로부터의 놈 함수값을 이진로그값으로 변환시켜 출력시키는 놈 이진로그 발생기; 상기 쉬프트 레지스터로부터의 출력에서 상기 놈 이진로그 발생기로부터의 출력을 감산하여 출력시키는 감산기; 및 상기 감산기로부터의 출력을 이진역로그화시켜 출력시키는 놈 이진역로그 발생기를 포함하는 것이 바람직하다.

상기 이진로그 발생기 및 놈 이진로그 발생기는 LUT 또는 ROM으로 구현되는 것이 바람직하다.

이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

도 1은 일반적인 스마트 안테나 수신 시스템을 나타내 보인 블록도이다.

도 1을 참조하면, 복수개(M)의 배열 안테나들(100-1, 100-2, ..., 100-M)이 상호 일정 간격으로 배치된다. 배열 안테나들(100-1, 100-2, ..., 100-M)은 각각 동일한 특성을 갖는다. 배열 안테나들(100-1, 100-2, ..., 100-M)에 의해 수신되는 심볼 신호들(S_{R1} , S_{R2} , ..., S_{RM})은 아날로그 형태이며, 이 신호들(S_{R1} , S_{R2} , ..., S_{RM})은 모두 각각 I(In-phase) 신호 및 Q(Quadrature-phase) 신호를 포함한다. 따라서 전체 수신 심볼 신호들은 모두 2M개가 된다. 이 2M개의 수신 신호들은 프리-빔형성 블록(pre-beamforming block)(110)으로 입력된다. 프리-빔형성 블록(110)은 입력된 수신 신호들을 아날로그 형태에서 디지털 형태로 변환시키고, N배의 높은 주파수로 오버 샘플링(over sampling)을 수행한 후에 출력시킨다. 따라서 프리-빔형성 블록(110)으로부터 출력되는 심볼 신호의 개수는 모두 $(2M \times N)$ 개가 된다. 프리-빔형성 블록(110)으로부터 출력되는 신호들은 데시메이터(decimator)(120)와 빔형성부(130)에 함께 입력된다. 데시메이터(120)는, 각각의 심볼 신호에 대해, 프리-빔형성 블록(110)으로부터 입력되는 복수개(N)의 오버 샘플링된 심볼들 중에서 가장 최적화된 하나의 샘플만을 선택해서, 모두 2M개의 최적화된 심볼 신호들만을 출력시킨다.

빔형성부(130)는, 빔형성기(131), 가중치 벡터 발생기(132) 및 기준 벡터 발생기(133)를 포함하여 구성된다. 빔형성기(131)는, 프리-빔형성 블록(110)으로부터 입력되는 $(2M \times N)$ 개의 신호들과 가중치 벡터 발생기(132)로부터의 (2M)개의 가중치 벡터들을 입력받아 빔형성을 수행한다. 가중치 벡터 발생기(132)는 기준 벡터 발생기(133)로부터의 기준 벡터와 데시메이터(120)로부터의 출력 신호를 입력받아 가중치 벡터를 발생시키고, 이 가중치 벡터를 빔형성기(131)에 입력시킨다. 상기 가중치 벡터 발생기(132)는, 가중치 벡터를 형성하기 위해서 정규화 과정을 수행하며, 따라서 이 정규화 과정을 수행하는 정규화 장치를 포함한다. 기준 벡터 발생기(133)는 기준 벡터를 발생시켜 가중치 벡터 발생기(132)로 입력시킨다.

빔형성기(131)로부터 출력되는 출력 신호는 레이크 수신기(140)로 입력되며, 레이크 수신기(140)는 입력된 신호를 복조하여 출력시킨다. 레이크 수신기(140)로부터의 최종 출력 신호는 다른 신호 경로를 따라 처리된 심볼 신호를 복조한 다른 레이크 수신기(미도시)로부터의 출력 신호와 결합되어 심볼 신호를 복원시킨다. 한편 레이크 수신기(140)는 데시메이터(120)와 기준 벡터 발생기(133)로 타이밍 정보를 입력시킨다.

도 2는 도 1의 가중치 벡터 발생기 내에서 가중치 벡터를 연산하기 위한 정규화 과정을 수행하는 정규화 장치를 나타내 보인 블록도이다.

도 2를 참조하면, 상기 정규화 장치는, 데시메이터(도 1의 120)로부터 (2M)개의 신호들($X_1, X_2, \dots, X_{2M-1}, X_{2M}$)을 입력 받는 다중화기(210)를 포함한다. 다중화기(210)는 클럭 신호(CLK)의 입력에 동기되어 2M개의 입력 신호들($X_1, X_2, \dots, X_{2M-1}, X_{2M}$)을 하나씩 순차적으로 출력시킨다. 이 다중화기(210)로부터의 출력 신호(X_i)는 이진로그 발생기(220)에 입력된다. 이진로그 발생기(220)는 입력된 신호(X_i)에 대한 이진로그값($\log_2 X_i$)을 계산한 후에 출력시킨다. 이 계산을 위해 이진로그 발생기(220)는 LUT(Look Up Table) 또는 ROM(Read Only Memory)으로 구현될 수 있다. 이진로그 발생기(220)로부터 출력되는 이진로그값($\log_2 X_i$)은 쉬프트 레지스터(230) 및 쉬프트 레프트(240)에 모두 저장된다. 쉬프트 레지스터(230)는 연산 타이밍을 맞추기 위하여 일시 저장하는 역할을 수행한다. 쉬프트 레프트(240)는, 정규화 연산에 필요한 놴(NORM) 함수를 계산하기 위하여 제공 연산을 수행하는 역할을 수행한다. 즉 쉬프트 레프트(240)는 입력값을 순차적으로 왼쪽으로 한 비트씩 이동시키는 동작을 수행하며, 이 동작에 의해 입력되는 이진 로그값이 2배가 되므로 제공 연산이 이루어진 결과($2\log_2 X_i$)가 출력되게 된다.

쉬프트 레프트(240)에서 제공 연산이 이루어진 출력 신호($2\log_2 X_i$)는 이진역로그 발생기(250)에 입력된다. 이진역로그 발생기(250)는 입력된 이진로그 신호($2\log_2 X_i$)를 다시 역로그 처리하여 제공값(X_i^2)을 출력시킨다. 이진역로그 발생기(250)로부터 출력된 제공값(X_i^2)은 적산부(260)로 입력된다.

적산부(260)는 가산기(261), 레지스터(262) 및 멀티플렉서(263)를 포함한다. 가산기(261)는 레지스터(262)로부터의 출력값과 이진역로그 발생기(250)로부터의 출력값을 가산하여 출력시킨다. 레지스터(262)는 멀티플렉서(MUX)(263)로부터 입력된 신호를 저장하고 있다가 클럭 신호(CLK)에 동기되어 가산기(261)에 입력시킨다. 멀티플렉서(263)는 가산기(261)로부터의 출력 신호를 입력받고, 로우 신호(0)의 입력에 의해 입력된 신호를 레지스터(262)에 저장시킨다. 이진역로그 발생기(250)로부터 출력된 값들은 적산기(260)에 의해 모두 더해지며, 이에 따라 적산기(260)에서는 NORM 함수값($\sum_{i=1}^n |x(n)|^2$)이 출력된다.

상기 적산기(260)로부터 출력되는 NORM 함수값($\sum_{i=1}^n |x(n)|^2$)은 NORM 이진로그 발생기(270)에 입력되어 이진로그값으로 변환된다. NORM 이진로그 발생기(170)로부터 출력되는 이진로그값($\sum_{i=1}^n 2\log_2 |x(n)|^2$)은 감산기(280)에 입력된다. 감산기(280)는 쉬프트 레지스터(230)로부터 입력되는 이진로그값($\log_2 X_i$)에서 NORM 이진로그 발생기(270)로부터 입력되는 이진로그값($\sum_{i=1}^n 2\log_2 |x(n)|^2$)을 감산하여 출력시킨다. 감산기(280)로부터의 출력값은 이진역로그 발생기(290)에 입력된다. 이진역로그 발생기(290)는 감산기(280)로부터 입력된 출력값을 이진역로그하여 최종 출력값($\sum_{i=1}^n |x(n)|^2$)을 출력시킨다. 이와 같이, 정규화가 이루어진 최종 출력값($\sum_{i=1}^n |x(n)|^2$)은, 가중치 벡터 발생기(도 1의 132) 내에서 기준 벡터와 함께 가중치 벡터를 생성시키는데 이용된다.

상기 적산기(260)로부터 출력되는 NORM 함수값($\sum_{i=1}^n |x(n)|^2$)은 아래의 수학식 1과 같이 나타낼 수 있다.

수학식 1

$$\sum_{i=1}^n |x(n)|^2 = |x_1|^2 + |x_2|^2 + \dots + |x_M|^2$$

$$\sum_{i=1}^n |x(n)|^2 = (x_{1,re}^2 + x_{1,im}^2) + (x_{2,re}^2 + x_{2,im}^2) + \dots + (x_{M,re}^2 + x_{M,im}^2) \in Z$$

상기 수학적 식 1로부터 정규화가 이루어진 최종 출력값($\frac{x(n)}{\|x(n)\|^2}$)은 아래의 수학적 식 2와 같이 나타낼 수 있다.

수학적 식 2

$$\frac{x(n)}{\|x(n)\|^2} = \begin{bmatrix} x_1 \\ \frac{x_1}{\|x(n)\|^2} \\ x_2 \\ \frac{x_2}{\|x(n)\|^2} \\ \vdots \\ x_M \\ \frac{x_M}{\|x(n)\|^2} \end{bmatrix} = \begin{bmatrix} \frac{(x_{1,real} + jx_{1,im})}{\|x(n)\|^2} \\ \frac{(x_{2,real} + jx_{2,im})}{\|x(n)\|^2} \\ \vdots \\ \frac{(x_{M,real} + jx_{M,im})}{\|x(n)\|^2} \end{bmatrix}$$

상기 수학적 식 1 및 수학적 식 2에 나타낸 바와 같이, NLMS 알고리즘에서 사용되는 정규화 과정에는 여러 차례의 곱셈 및 나눗셈 연산이 포함된다. 예컨대 안테나 수가 8개이고, 입력 데이터 속도가 30.72MHz이고, 입력 비트 해상도가 8비트이고, 그리고 빔형성 동작 주파수가 칩 레이트(chip rate)인 경우, 정규화 과정에서 필요한 연산 유닛에는, 16개의 8×8 곱셈기와, 16개의 16비트 가산기와, 그리고 16개의 22/14 나눗셈기가 포함되어야 한다. 그러나 본 발명에서와 같이, 이진로그화 및 이진역로그화를 이용한 하드웨어 구성의 경우에는, 4개의 메모리와 1개의 16비트 가산기와, 그리고 1개의 16비트 감산기만이 요구된다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

발명의 효과

이상의 설명에서와 같이, 본 발명에 따른 스마트 안테나 수신 시스템에서의 적응 빔형성을 위한 정규화 장치에 따르면, 정규화 과정에서 요구되는 곱셈 연산 및 나눗셈 연산은 이진로그화를 통한 가산 연산 및 감산 연산으로 해결함으로써, 전체 시스템 구성을 위한 하드웨어 크기를 현저하게 감소시킬 수 있고, 실시간 처리 속도 또한 증가시킬 수 있으며, 결국 스마트 안테나 기지국용 수신기의 구현에 있어서 보다 많은 가입자를 지원할 수 있다는 이점들을 제공한다.

(57) 청구의 범위

청구항 1.

스마트 안테나 수신기의 적응 빔형성 가중치 벡터를 생성시키는 NLMS 알고리즘 내에서 정규화 과정을 수행하는 적응 빔형성을 위한 정규화 장치에 있어서,

상기 스마트 안테나 수신기로부터 수신된 신호들을 이용하여 상기 정규화 과정에서 요구되는 곱셈 연산에 대응되는 연산을 수행하여 놉(NORM) 함수값 및 연산 타이밍을 일치시키기 위한 이진로그 값을 출력하는 곱셈 연산 수단; 및

상기 놉 함수값 및 상기 이진로그 값을 이용하여 상기 상기 정규화 과정에서 요구되는 나눗셈 연산에 대응되는 연산을 수행하여 정규화 된 출력 값을 생성시키는 나눗셈 연산 수단을 구비하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 2.

제1항에 있어서, 상기 적응 빔형성을 위한 정규화 장치는,

상기 스마트 안테나 수신기와 상기 곱셈 연산 수단 사이에 위치하며, 소정의 클럭신호에 응답하여 상기 스마트 안테나 수신기로부터 수신된 신호들을 상기 곱셈 연산 수단으로 순차적으로 입력시키는 다중화기를 더 포함하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 3.

제2항에 있어서, 상기 곱셈 연산 수단은,

이진로그화 및 가산 연산을 이용하여 상기 곱셈 연산에 대응되는 연산을 수행하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 4.

제3항에 있어서, 상기 곱셈 연산 수단은,

상기 다중화기로부터 순차적으로 입력되는 입력 신호들을 이진로그값으로 변환시켜 출력시키는 이진로그 발생기;

상기 이진로그 발생기의 출력을 2배의 크기로 출력시키는 쉬프트 레프트; 및

상기 쉬프트 레프트의 출력을 이진역로그화시켜 출력시키는 이진역로그 발생기를 포함하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 5.

제4항에 있어서, 상기 곱셈 연산 수단은,

상기 이진역로그 발생기의 출력값을 순차적으로 가산하여 상기 놈 함수값을 출력시키는 가산부를 더 포함하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 6.

제5항에 있어서, 상기 가산부는,

상기 이진역로그 발생기의 출력 값에 소정의 저장신호를 가산하여 상기 놈 함수값을 출력하는 가산기; 및

상기 놈 함수값을 저장하고, 상기 클럭신호에 응답하여 상기 저장신호를 출력하는 레지스터를 포함하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 7.

제4항에 있어서, 상기 곱셈 연산 수단은,

상기 이진로그 발생기의 출력을 저장한 후, 상기 이진로그 값을 순차적으로 출력하는 쉬프트 레지스터를 더 포함하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

청구항 8.

제7항에 있어서, 상기 나눗셈 연산 수단은,

상기 높 함수값을 이진로그값으로 변환시켜 출력하는 높 이진로그 발생기;

상기 이진로그 값으로부터 상기 높 이진로그 발생기의 출력값을 감산하여 출력하는 감산기; 및

상기 감산기의 출력을 이진역로그화시켜 상기 정규화 된 출력값을 생성시키는 높 이진역로그 발생기를 포함하는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

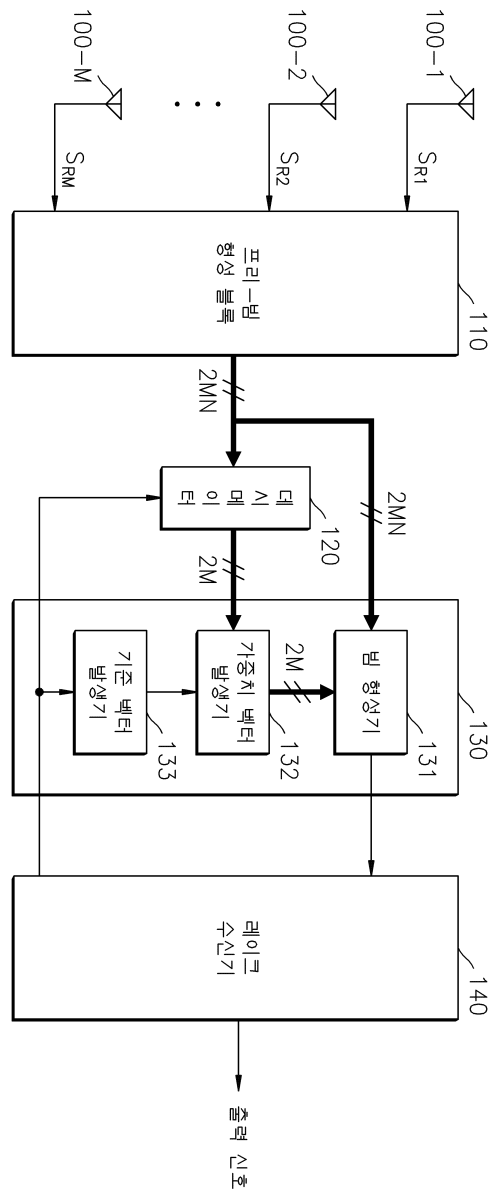
청구항 9.

제4항 또는 제8항에 있어서, 상기 이진로그 발생기 및 상기 높 이진로그 발생기는,

LUT(Look Up Table) 또는 ROM으로 구현되는 것을 특징으로 하는 적응 빔형성을 위한 정규화 장치.

도면

도면1



도면2

