



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월18일  
(11) 등록번호 10-1166580  
(24) 등록일자 2012년07월11일

(51) 국제특허분류(Int. Cl.)  
G02F 1/133 (2006.01)  
(21) 출원번호 10-2004-0118456  
(22) 출원일자 2004년12월31일  
심사청구일자 2009년12월16일  
(65) 공개번호 10-2006-0078492  
(43) 공개일자 2006년07월05일  
(56) 선행기술조사문헌  
JP05191752 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
장용호  
경기도 과천시 별양로 163, 647동 308호 (별양동, 주공아파트)  
김빈  
서울특별시 양천구 목동동로 10, 신시가지11단지 아파트 1107동 1307호 (신정동)  
(뒷면에 계속)

(74) 대리인  
박장원

전체 청구항 수 : 총 13 항

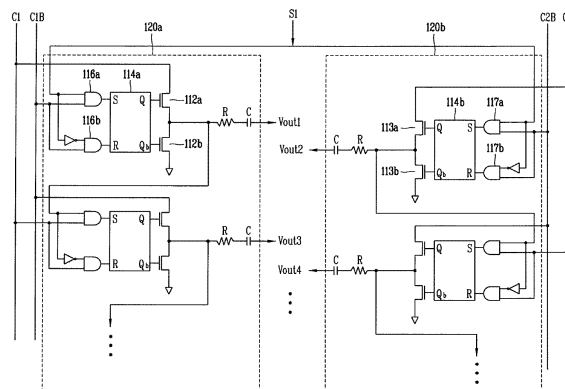
심사관 : 황은택

(54) 발명의 명칭 액정표시소자

**(57) 요약**

본 발명의 액정표시소자는 복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소를 구비하며, 각각의 화소에 박막트랜지스터를 구비하는 화소영역을 포함하는 액정패널과, 상기 액정패널에 형성되어 화소영역의 박막트랜지스터의 턴온시간 보다 긴 펄스폭을 갖는 주사신호를 상기 게이트라인으로 입력하는 게이트구동부와, 상기 데이터라인과 접속되어 데이터라인에 화상신호를 입력하는 데이터구동부로 구성된다.

**대표도**



(72) 발명자

**문수환**

경상북도 칠곡군 북삼읍 인강8길 20, 시티타운  
301동 302호

**조남욱**

경기도 군포시 광정로 25-20, 352동 1704호 (금정  
동, 퇴계주공아파트)

**윤수영**

경기도 군포시 오금로 43, 349동 1604호 (금정동,  
율곡아파트)

(56) 선행기술조사문헌

KR100172874 B1\*

KR1020030016717 A\*

US20040217935 A1\*

KR1020040016029 A\*

\*는 심사관에 의하여 인용된 문헌

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소를 구비하며, 각각의 화소에 박막트랜지스터를 구비하는 화소영역을 포함하는 액정패널;

비정질반도체로 이루어져 상기 액정패널내에 형성되며, 화소영역의 박막트랜지스터의 턴온시간보다 긴 펄스폭을 갖는 주사신호를 상기 게이트라인으로 입력하는 게이트구동부; 및

상기 데이터라인과 접속되어 데이터라인에 화상신호를 입력하는 데이터구동부로 이루어지고,

상기 게이트구동부는,

홀수번째 게이트라인에 주사신호를 인가하는 제1게이트구동부; 및

짝수번째 게이트라인에 주사신호를 인가하는 제2게이트구동부로 이루어지며,

상기 제1 및 제2 게이트구동부는 하나의 스타트신호에 동기하여 상기 주사신호를 인가하는 것을 특징으로 하는 액정표시소자.

**청구항 3**

제2항에 있어서, 상기 제1게이트구동부 및/또는 제2게이트구동부는 각각 순차적으로 동기화된 신호를 출력하는 것을 특징으로 하는 액정표시소자.

**청구항 4**

제2항에 있어서, 상기 제1게이트구동부 및 제2게이트구동부에서 출력되어 인접하는 게이트라인에 인가되는 주사신호는 펄스폭이 중첩되는 것을 특징으로 하는 액정표시소자.

**청구항 5**

제4항에 있어서, 상기 인접하는 게이트라인에 인가되는 주사신호는 펄스폭이 반주기 중첩되는 것을 특징으로 하는 액정표시소자.

**청구항 6**

제2항에 있어서, 상기 제1게이트구동부 및 제2게이트구동부는 각각,

클럭신호를 출력하는 클럭발생부; 및

상기 클럭신호 발생부로부터 입력된 클럭신호에 따라 출력전압을 출력하는 복수의 시프트레지스터를 포함하는 것을 특징으로 하는 액정표시소자.

**청구항 7**

제6항에 있어서, 상기 시프트레지스터에는 상기 스타트신호가 입력되는 것을 특징으로 하는 액정표시소자.

**청구항 8**

제7항에 있어서, 둘째단 이후의 시프트레지스터의 스타트신호는 이전 단의 출력전압인 것을 특징으로 하는 액정표시소자.

**청구항 9**

제6항에 있어서, 상기 제1게이트구동부 및 제2게이트구동부로부터 출력되는 클럭신호는 일부의 펄스가 중첩되는 것을 특징으로 하는 액정표시소자.

**청구항 10**

제2항에 있어서, 상기 제1게이트구동부 및 제2게이트구동부는 액정패널의 좌우 양측면에 배치되어 홀수번째 게이트라인과 짝수번째 게이트라인에 양방향으로 신호를 인가하는 것을 특징으로 하는 액정표시소자.

**청구항 11**

복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소를 구비하며, 각각의 화소에 박막트랜지스터를 구비하는 화소영역을 포함하는 액정패널;

비정질반도체로 이루어져 상기 액정패널내에 형성되며, 인접하는 게이트라인에 각각 서로 중첩하는 주사신호를 인가하는 게이트구동부: 및

상기 데이터라인과 접속되어 데이터라인에 화상신호를 입력하는 데이터구동부로 이루어지고,

상기 게이트구동부는,

홀수번째 게이트라인에 주사신호를 인가하는 제1게이트구동부; 및

짝수번째 게이트라인에 주사신호를 인가하는 제2게이트구동부로 이루어지며,

상기 제1 및 제2 게이트구동부는 하나의 스타트신호에 동기하여 상기 주사신호를 인가하는 것을 특징으로 하는 액정표시소자.

**청구항 12**

제11항에 있어서, 상기 인접하는 게이트라인에 인가되는 주사신호는 펄스폭이 반주기 중첩되는 것을 특징으로 하는 액정표시소자.

**청구항 13**

삭제

**청구항 14**

제11항에 있어서, 상기 제1게이트구동부 및 제2게이트구동부는 각각,

클럭신호를 출력하는 클럭발생부; 및

상기 클럭신호 발생부로부터 입력된 클럭신호에 따라 출력전압을 출력하는 복수의 시프트레지스터를 포함하는 것을 특징으로 하는 액정표시소자.

**청구항 15**

제14항에 있어서, 상기 제1게이트구동부 및 제2게이트구동부는 액정패널의 좌우 양측면에 배치되어 홀수번째 게이트라인과 짝수번째 게이트라인에 양방향으로 신호를 인가하는 것을 특징으로 하는 액정표시소자.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

[0016] 본 발명은 액정표시소자에 관한 것으로, 특히 게이트라인에 인가되는 주사신호를 설정된 펄스폭보다 연장함으로써 신호의 하강에 의한 불량을 방지할 수 있는 액정표시소자 및 그 구동방법에 관한 것이다.

[0017] 액정표시소자(Liquid Crystal Display device)는 투과형 평판표시장치로서, 핸드폰(mobile phone), PDA, 노트북 컴퓨터와 같은 각종 전자기기에 널리 적용되고 있다. 이러한 LCD는 경박단소화가 가능하고 고화질을 구현할 수 있다는 점에서 다른 평판표시장치에 비해 현재 많은 실용화가 이루어지고 있는 실정이다. 더욱이, 디지털 TV나 고화질TV, 벽걸이용 TV에 대한 요구가 증가함에 따라 TV에 적용할 수 있는 대면적 LCD에 대한 연구가 더

욱 활발히 이루어지고 있다.

- [0018] 일반적으로 LCD는 액정분자를 동작시키는 방법에 따라 몇 가지 방식으로 나누어질 수 있지만, 현재에는 반응 속도가 빠르고 잔상이 적다는 점에서 주로 액티브 매트릭스(active matrix) 박막 트랜지스터(Thin Film Transistor) LCD가 주로 사용되고 있다.
- [0019] 도 1에 상기 TFT LCD의 패널(1) 구조가 도시되어 있다. 도면에 도시된 바와 같이, 액정패널(1)에는 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인(3)과 데이터라인(5)이 형성되어 있다. 각 화소 내에는 스위칭소자인 박막 트랜지스터(Thin Film Transistor)가 배치되어 상기 게이트라인(3)을 통해 주사신호가 입력되는 경우 스위칭되어 데이터라인(5)을 통해 입력되는 화상신호를 액정층(9)에 인가한다. 도면에서, 도면부호 11은 축적캐패시터로서, 입력되는 데이터신호를 다음 주사신호의 인가시까지 유지하는 역할을 한다.
- [0020] 주사신호는 게이트구동부(20)로부터 게이트라인(3)으로 인가되고 화상신호는 데이터구동부(34)로부터 데이터라인(5)으로 인가된다. 통상적으로 게이트구동부(20)와 데이터구동부(34)는 구동IC(driver Integrated Circuit)로 이루어져 액정패널(1)의 외부에 배치되지만, 도면에 도시된 바와 같이 근래 게이트구동부(20)를 액정패널에 일체로 형성된 구조의 액정표시소자가 활발히 연구되고 있다. 상기와 같이, 게이트구동부(20)를 액정패널(1)과 일체로 형성함으로써 액정표시소자의 부피를 감소시킬 수 있으며, 제조비용을 절감할 수 있게 되는 것이다.
- [0021] 한편, 데이터구동부(34)는 액정패널(1)과 인쇄회로기판(36)을 연결시키는 PCB(Plexible Circuit Board;30)상에 장착되어 데이터라인(5)을 통해 액정층에 화상신호를 인가한다. 이때, 인쇄회로기판(36)에는 타이밍제어부(timing controller) 등과 같은 부품과 배선이 형성된다.
- [0022] 도 2는 상기 게이트구동부(20)의 구조를 나타내는 간략도이다. 도면에 도시된 바와 같이, 상기 게이트구동부(20)는 복수의 시프트레지스터(22)를 구비하고 있으며, 상기 시프트레지스터(22)로부터 신호가 순차적으로 출력되어 게이트라인(G1~Gn)으로 인가된다. 상기 시프트레지스터(22)에는 클럭발생부(24)와 연결되어 상기 클럭발생부(24)로부터 발생한 클럭신호가 시프트레지스터(22)에 인가된다. 또한, 상기 시프트레지스터(22)에는 스타트신호(start signal)가 입력되는데, 첫단 이후의 시프트레지스터(24)에는 이전 단의 출력신호가 스타트신호로서 입력된다.
- [0023] 도 3은 상기 구조의 시프트레지스터에 입력되는 스타트신호(S)와 클럭신호(C1,C2,C3,C4) 및 상기 시프트레지스터(22)로부터 출력되는 출력전압(Vout1~Voutn)을 나타내는 파형도이다. 도면에 도시된 스타트신호(C1,C2,C3,C4)와 클럭신호(S)가 각각의 단에 입력함에 따라 각단의 시프트레지스터(22)에서는 도면에 도시된 출력신호(Vout1~Voutn)를 출력하여 순차적으로 게이트라인에 인가하게 된다.
- [0024] 한편, 게이트구동부는 액정패널부와 일체로 형성된다. 즉, 시프트레지스터(22)가 액정패널부와 기판상에 일체로 형성된다는 것이다. 따라서, 상기 시프트레지스터(22)를 구성하는 트랜지스터 등은 액정패널부의 화소영역에 형성되는 스위칭소자인 박막 트랜지스터와 같이 사진식각공정을 통해 형성되는 것이다. 따라서, 상기 트랜지스터는 통상적으로 비정질실리콘을 이용하여 제작되는데, 이러한 비정질실리콘을 이용한 트랜지스터가 형성된 시프트레지스터가 채용된 게이트구동부는 다음과 같은 문제가 발생하게 된다.
- [0025] 일반적으로 시프트레지스터(22)로부터 출력된 출력전압이 주사신호로서 게이트라인을 통해 화소영역의 박막 트랜지스터에 인가됨에 따라 상기 박막 트랜지스터가 턴온되며, 동시에 데이터구동부로부터 인가되는 화상신호가 턴온된 박막 트랜지스터의 채널(channel)을 통해 축적캐패시터에 충전된다. 즉, 도 3에 도시된 구형파(rectangular wave)형태의 출력전압의 1주기(1H, 즉 액정패널의 박막 트랜지스터가 턴온되는 온타임 또는 화소에 신호가 인가되는 신호인가시간)에 액정층에 신호가 인가됨과 동시에 축적캐패시터에 신호가 충전되는 것이다.
- [0026] 한편, 비정질실리콘은 전계효과 이동도가 낮은 것으로 알려져 있다. 이러한 낮은 전계효과 이동도는 화소영역의 박막 트랜지스터에 인가되는 주사신호(즉, 시프트레지스터의 출력전압)가 완전한 구형파가 되는 것을 방해한다. 즉, 도 4에 도시된 바와 같이, 신호의 상승시간과 하강신호가 지연되어 이상적인 구형파에 하강된 꼬리(tail)영역이 형성되는 것이다. 이러한 파형은 박막 트랜지스터의 턴온시간을 감소시키기 때문에, 액정패널에 화상신호의 유효충전시간을 감소시키며, 그 결과 액정표시소자의 화질을 저하시키는 중요한 원인이 된다.
- [0027] 특히, 근래 액정표시소자의 해상도가 증가함에 따라 화상신호의 충전시간은 점차 줄어드는 추세이다. 예를 들어, QVGA급 액정표시소자의 경우 한화소에서의 충전시간이 약 60  $\mu$  sec인데 반해, 고해상도인 XGA급 액정표시소자의 경우에는 충전시간이 약 20  $\mu$  sec이다. 이와 같이, 충전시간이 감소함에 따라 낮은 전계효과 이동도에

의한 주사신호에서의 하강은 상대적으로 더욱 큰 유효충전시간의 감소효과를 유발하게 되므로, 고해상도로 갈수록 액정표시소자의 화질이 더욱 저하되는 문제가 있었다.

[0028] 낮은 전계효과 이동도에 의한 문제를 해결하기 위해서는 박막트랜지스터를 아주 크게(예를 들어, 수천  $\mu\text{m}$  정도) 제작해야만 하지만, 이 경우 게이트구동부를 형성하기 위한 영역이 크게 증가하기 때문에, 박막트랜지스터를 크게 형성하여 문제를 해결하는 방법은 실질적으로 불가능하였다.

**발명이 이루고자 하는 기술적 과제**

[0029] 본 발명은 상기한 점을 감안하여 이루어진 것으로, 게이트라인을 통해 화소영역내의 박막트랜지스터에 인가되는 주사신호의 펄스폭을 박막트랜지스터의 턴온시간보다 길게함으로써 신호의 하강에 의한 불량을 방지할 수 있는 액정표시소자를 제공하는 것을 목적으로 한다.

[0030] 본 발명의 다른 목적은 인접하는 게이트라인에 중첩하는 주사신호를 인가함으로써 크기의 증가나 비용의 증가 없이 신호의 하강에 의한 불량을 효율적으로 방지할 수 있는 액정표시소자를 제공하는 것이다.

[0031] 상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시소자는 복수의 게이트라인 및 데이터라인에 의해 정의되는 복수의 화소를 구비하며, 각각의 화소에 박막트랜지스터를 구비하는 화소영역을 포함하는 액정패널과, 상기 액정패널에 형성되어 화소영역의 박막트랜지스터의 턴온시간보다 긴 펄스폭을 갖는 주사신호를 상기 게이트라인으로 입력하는 게이트구동부와, 상기 데이터라인과 접속되어 데이터라인에 화상신호를 입력하는 데이터구동부로 구성된다.

[0032] 상기 게이트구동부는 홀수번째 게이트라인에 주사신호를 인가하는 제1게이트구동부 및 짝수번째 게이트구동부에 주사신호를 인가하는 제2게이트구동부로 이루어지는데, 상기 제1게이트구동부 및/또는 제2게이트구동부는 각각 순차적으로 동기화된 신호를 출력함과 동시에 상기 제1게이트구동부 및 제2게이트구동부에서 출력되어 인접하는 게이트라인에 인가되는 주사신호는 펄스폭이 중첩된다.

[0033] 또한, 상기 제1게이트구동부 및 제2게이트구동부는 각각 클럭신호를 출력하는 클럭발생부와 상기 클럭신호 발생부로부터 입력된 클럭신호에 따라 출력전압을 출력하는 복수의 시프트레지스터를 포함한다. 상기 시프트레지스터는 출력부분에 형성된 제1 및 제2 트랜지스터와, 상기 제1 및 제2트랜지스터의 게이트에 접속된 플립플롭과, 클럭신호 및 스타트신호가 입력되어 상기 플립플롭에 신호를 인가하는 논리게이트로 이루어진다.

**발명의 구성 및 작용**

[0034] 화소영역에 형성된 박막트랜지스터에 인가되는 주사신호의 왜곡(즉, 신호의 하강에 의한 출력파형의 늘어선 현상)을 방지하기 위해서는 다음과 같은 몇가지 방법이 있을 수 있다. 첫번째는 상술한 바와 같이, 트랜지스터의 크기를 크게 하여 낮은 전계효과이동도에 의한 영향을 최소화하는 것이다. 두번째는 트랜지스터를 비정질실리콘이 아닌 다결정실리콘으로 형성하여 전계효과 이동도를 향상시키는 것이다. 첫번째 방법의 경우 이전에 언급한 바와 같이, 트랜지스터의 크기 증가에 따라 액정패널에 일체로 형성되는 게이트구동부의 크기가 증가하기 때문에, 실질적으로 불가능한 방법이다. 두번째 방법은 실질적으로 가능한 방법이지만, 제조비용이 증가하고 제조공정이 복잡해진다는 점에서 효과적이지 못하다는 단점이 있다.

[0035] 본 발명에서는 가장 간단한 방법에 의해 게이트라인에 인가되는 주사신호가 왜곡되는 것을 방지한다. 다시 말해서, 본 발명에서는 다결정실리콘의 사용이나 게이트구동부 크기의 증가 없이도 주사신호가 왜곡되는 것을 실질적으로 방지하는 것이다.

[0036] 주사신호의 왜곡이 중요한 이유는 화소영역내의 스위칭소자인 박막트랜지스터의 턴온시간이 감소하며, 그에 따라 박막트랜지스터의 턴온시간동안 화소내에 충전되는 충전시간이 짧아진다는 것이다. 따라서, 트랜지스터의 턴온시간을 설정된 시간으로 확보할 수 있다면, 반도체층의 결정화나 트랜지스터의 크기 증가가 필요 없을 것이다.

[0037] 본 발명은 이러한 관점에 따라 제안된 것이다. 즉, 본 발명은 트랜지스터의 턴온시간, 즉 화소영역의 스위칭소자인 박막트랜지스터에 인가되는 주사신호의 신호폭을 조정함으로써 설정된 시간동안 박막트랜지스터를 완전히 턴온시킴으로써 불량을 방지하는 것이다.

[0038] 도 5에 본 발명의 시프트레지스터로부터 출력되어 게이트라인을 통해 화소영역의 박막트랜지스터에 인가되는 출력전압(즉, 주사신호, Vout1, Vout2, Vout3, Vout4)이 도시되어 있다. 각각의 출력전압은 각각의 게이트라인에 입력되어 해당 게이트라인에 접속된 박막트랜지스터를 구동시킨다. 도면에 도시된 바와 같이, 본 발명에서는



인접하는 게이트라인으로 입력되는 펄스와 중첩될 정도로 특정 게이트라인에 입력되는 출력전압의 펄스폭이 연장되므로, 비정질반도체의 낮은 전계효과 이동도에 의해 신호가 하강하는 경우에도 해당 게이트라인에 접속된 박막트랜지스터를 설정된 시간 동안 완전히 턴온시킬 수 있게 된다. 이때, 클럭발생부로부터 발생하여 시프트레지스터에 입력되는 클럭신호 역시 설정된 펄스 폭 보다 연장되어 전후의 펄스가 중첩된다.

[0039] 도 6은 액정패널의 데이터라인에 인가되는 소스데이터와 게이트라인에 인가되는 종래 주사신호 및 본 발명의 주사신호를 나타내는 파형도이다. 화소에 소스신호가 완전히 충전되기 위해서는 도면에 도시된 바와 같이 소스신호의 펄스폭(H) 동안 박막트랜지스터가 턴온되어 있어야만 한다. 그러나, 종래의 경우 펄스가 늘어져서 t1의 기간동안 펄스가 강하된 주사신호가 게이트라인을 통해 화소영역의 박막트랜지스터에 인가된다. 따라서, 박막트랜지스터는 H1 동안에는 완전히 턴온되지만 t1 동안에는 부분적으로 턴온되므로(문턱전압 이상의 신호에서만 턴온되므로), 박막트랜지스터를 통해 인가되는 소스데이터의 일부분만이 화소에 입력된다.

[0040] 본 발명에서는 도면에 도시된 바와 같이 게이트라인에 인가되는 주사신호의 펄스폭을 t2시간만큼 연장한다. 상기 t2는 신호가 강하하는 시간으로서, 종래 파형의 강하시간 t1과 실질적으로 동일하므로(즉, t1=t2), H시간 동안에는 완전한 구형파의 펄스가 입력되어 H동안 화소영역의 박막트랜지스터가 턴온된다. 따라서, 화소에는 완전한 소스신호가 충전된다.

[0041] 상기와 같이, 본 발명에서는 비정질반도체를 사용하는 경우, 낮은 전계효과 이동에 의한 신호의 강하를 고려하여 강하되는 신호의 폭 만큼 펄스폭을 크게 함으로써 화소영역의 박막트랜지스터가 원하는 시간동안 턴온되어 소스신호가 완전하게 화소에 충전되도록 한다. 이러한 신호의 인가에 의해 각각의 게이트라인에 인가되는 신호는 도 5에 도시된 바와 같이, 인접하는 게이트라인에 인가되는 신호와는 중첩되어 인가되는 것이다.

[0042] 도 7은 상기와 같은 신호파형이 채택된 본 발명에 따른 액정표시소자의 구조를 나타내는 도면이다. 이때, 도 7에 도시된 본 발명의 액정표시소자는 도 1에 도시된 구조의 액정표시소자와는 게이트구동부(120a, 120b)를 제외하고는 실질적으로 동일하므로, 그 상세한 설명을 생략하고 게이트구동부(120a, 120b)를 위주로 설명한다.

[0043] 도면에 도시된 바와 같이, 액정패널(101)의 외곽영역, 즉 화소영역의 외부에는 2개의 게이트구동부(120a, 120b)가 형성되어 있다. 상기 게이트구동부(120a, 120b)는 화소영역의 박막트랜지스터와 동일한 공정에 의해 일체로 형성된 것으로, 그 내부에는 비정질반도체로 이루어진 박막트랜지스터가 형성되어 있다. 이때, 제1게이트구동부(120a)는 화소영역에 형성되는 게이트라인(103)중 홀수번째 게이트라인에 접속되고 제2게이트구동부(120b)는 짝수번째 게이트라인에 접속된다. 다시 말해서, 게이트라인(103)은 교대로 제1게이트구동부(120a)와 제2게이트구동부(120b)에 접속되어 상기 게이트구동부(120a, 120b)로부터 주사신호가 인가되는 것이다.

[0044] 이때, 제1게이트구동부(120a)와 제2게이트구동부(120b)에서는 각각 순차적인 출력전압(즉, 주사신호)이 출력되지만, 제1게이트구동부(120a)와 제2게이트구동부(120b)에서 출력되는 출력신호는 서로 중첩되어 인접하는 게이트라인(103)에는 중첩되는 주사신호가 인가된다.

[0045] 상기한 바와 같이, 본 발명에서는 게이트라인에 주사신호를 인가하는 제1게이트구동부(120a)와 제2게이트구동부(120b)를 액정패널의 양측면에 배치하여 게이트라인에 신호를 인가하지만, 본 발명에서 상기 게이트구동부(120a, 120b)의 구조나 위치가 특별히 중요한 것은 아니다. 다시 말해서, 연장된 펄스폭을 갖는 신호를 출력하여 화소영역의 박막트랜지스터를 설정된 시간 동안 완전히 턴온시킬 수만 있다면, 게이트구동부가 하나로 형성될 수도 있고 2개로 분리되어 형성될 수도 있을 것이다. 또한, 그 형성위치도 별개의 순차적인 신호를 출력하여 결과적으로 중첩하는 신호를 게이트라인에 인가할 수만 있다면 어떠한 위치에 형성하는 것도 가능할 것이다.

[0046] 상기와 같이, 구성된 게이트구동부(120a, 120b)의 상세한 구조를 도 8을 참조하여 설명하면 다음과 같다.

[0047] 도 8은 상기 게이트구동부(120a, 120b)에 형성되어 신호를 화소영역의 게이트라인에 출력하는 시프트레지스터를 나타내는 도면이다.

[0048] 도면에 도시된 바와 같이, 상기 제1게이트구동부(120a) 및 제2게이트구동부(120b)는 각각 복수의 제1시프트레지스터(122a)와 제2시프트레지스터(122b)를 구비하고 있으며, 상기 제1시프트레지스터(122a) 및 제2시프트레지스터(122b)에서는 신호가 순차적으로 출력되어 각각 홀수번째의 게이트라인(G1 ~ G(2n-1))과 짝수번째 게이트라인(G2 ~ G2n)으로 인가된다.

[0049] 상기 제1시프트레지스터(122a) 및 제2시프트레지스터(122b)는 각각 제1클럭발생부(124a) 및 제2클럭발생부(124b)와 연결되어 상기 제1클럭발생부(124a)와 제2클럭발생부(124b)로부터 발생한 클럭신호가 상기 제1시프

트래지스터(122a) 및 제2시프트래지스터(122b)에 인가된다. 또한, 상기 제1시프트래지스터(122a) 및 제2시프트래지스터(122b)에는 각각 스타트신호(start signal; S1, S2)가 입력되는데, 첫단 이후의 제1시프트래지스터(122a) 및 제2시프트래지스터(122b)에는 이전 단의 출력신호가 스타트신호로서 입력된다.

[0050] 이때, 상기 제1시프트래지스터(122a) 및 제2시프트래지스터(122b)에서 출력되어 게이트라인(G1 ~ G2n)에 인가되는 주사신호는 그 펄스가 화소영역의 박막트랜지스터의 턴온시간만큼 연장되어 전후의 신호와 일부가 중첩된 파형이다. 상기와 같은 신호를 출력하는 게이트구동부의 시프트래지스터의 상세한 회로를 파형도를 참조하여 설명하면 다음과 같다.

[0051] 도 9는 본 발명의 도 8에 도시된 게이트구동부(120a, 120b)의 시프트래지스터를 자세히 도시한 회로도이다. 이때, 도면에서는 플립플롭이 도시되어 있다. 이 플립플롭은 시프트래지스터의 기능을 설명하기 위해 개념적으로 도시한 것이다. 따라서, 이 플립플롭이라는 용어는 특정한 전기소자를 지칭하는 것이 아니라 시프트래지스터를 기능적으로 표현하기 위한 일례로서 나타낸 것이다. 그러므로, 이하의 설명에서 표현된 플립플롭이란 용어는 기능을 표현하는 적절한 용어로 대체되어 사용할 수 있을 것이다.

[0052] 도 9에 도시된 바와 같이, 제1게이트구동부(120a)의 첫번째 시프트래지스터의 출력부분에는 제1트랜지스터(112a) 및 제2트랜지스터(112b)가 연결되어 있고 제2게이트구동부(120b)의 첫번째 시프트래지스터의 출력부분에는 각각 제3트랜지스터(113a) 및 제4트랜지스터(113b)가 연결되어 있다. 상기 제1 및 제2트랜지스터(112a, 112b)와 제3 및 제4트랜지스터(113a, 113b)의 게이트는 각각 제1플립플롭(114a) 및 제2플립플롭(114b)의 Q단자와 Qb단자에 각각 연결되어 있다. 또한, 상기 제1플립플롭(114a)의 S, R입력단자에는 제1논리게이트(116a) 및 제2논리게이트(116b)가 연결되어 있고 제2플립플롭(114b)의 S, R입력단자에는 제3논리게이트(117a) 및 제4논리게이트(117b)가 연결되어 있다.

[0053] 상기 제1트랜지스터(112a) 및 제3트랜지스터(113a)의 소스는 각각 클럭발생부(도면표시하지 않음)에 연결되어 클럭신호(C1, C2)가 입력되며, 제1트랜지스터(112a) 및 제3트랜지스터(113a)의 드레인과 제2트랜지스터(112b) 및 제4트랜지스터(113b)의 소스에는 출력단이 연결된다. 또한, 상기 제2트랜지스터(112b) 및 제4트랜지스터(113b)의 드레인은 접지에 접속된다. 상기 제1플립플롭(114a) 및 제2플립플롭(114b)의 S, R입력단에 각각 연결된 논리게이트(116a, 116b, 117a, 117b)에는 각각 클럭신호(C1B, C2B) 및 스타트신호(S1)가 입력된다.

[0054] 도 10은 상기와 같은 구조의 게이트구동부(120a, 120b)의 스타트신호(S1)와 클럭신호(C1, C1B, C2, C2B) 및 출력단을 통해 출력되어 게이트라인에 인가되는 출력전압(Vout1, Vout2, Vout3, Vout4)을 나타내는 파형도이다. 이때, 도면에서는 파형을 제1게이트구동부와 제2게이트구동부로 나누어 도시하였다.

[0055] 도면에 도시된 바와 같이, 제1클럭발생부(도면표시하지 않음)로부터 출력되는 클럭신호(C1, C1B)는 종래의 클럭신호에 비해 2배로 연장된 신호로서 순차적으로 동기화되어 제1게이트구동부의 시프트래지스터에 인가되며, 제2클럭발생부(도면표시하지 않음)로부터 출력되는 클럭신호(C2, C2B)도 종래의 클럭신호에 비해 2배로 연장된 신호로서 동기화되어 순차적으로 제2게이트구동부(120b)의 시프트래지스터에 인가된다. 이때, 제1게이트구동부(120a) 및 제2게이트구동부(120b)의 첫번째 시프트래지스터에서 각각 출력되는 신호(즉, C1과 C2, C1B와 C2B)는 하이상태의 펄스폭에 대해 반주기가 중첩되는 신호이다(이 중첩되는 정도는 물론 반주기에 한정되지 않는다).

[0056] 상기와 같은 스타트신호(S1) 및 클럭신호(C1, C1B, C2, C2B)에 의한 시프트래지스터의 작동과 그 출력파형을 상세히 설명하면 다음과 같다.

[0057] 우선, 도 9에 도시된 바와 같이, 제1게이트구동부(120a)의 첫번째 시프트래지스터에 로우상태의 스타트신호(S1)가 입력됨과 동시에 로우상태의 클럭신호(C1, C1B)가 입력되면, 제1플립플롭(114a)의 S, R입력단자에는 각각 로우신호가 인가되므로 제1플립플롭(114a)은 이전의 상태를 유지하여 Q단자는 하이신호를 출력하고 Qb단자는 로우신호를 출력한다. 따라서, 제1트랜지스터(112a)는 턴온되고 제2트랜지스터(112b)는 오프상태를 유지하게 되므로, 클럭신호(C1)가 출력전압(Vout1)으로 출력되므로 상기 출력전압(Vout1)은 로우가 된다.

[0058] 이어서, 하이의 스타트신호(S1)와 로우의 클럭신호(C1, C1B)가 입력되면, 플립플롭(114)의 S, R입력단자에는 각각 로우신호가 인가되므로 플립플롭(114)은 역시 이전의 상태를 유지하여 Q단자에서는 하이신호를 출력하고 Qb단자에서는 로우신호를 출력한다. 따라서, 제1트랜지스터(112a)는 턴온상태를 유지하고 제2트랜지스터(112b)는 오프상태를 유지하므로, 출력전압(Vout1)은 클럭신호(C1)인 로우가 된다.

[0059] 그후, 스타트신호(S1)가 하이로 유지한 상태에서 클럭신호(C1)가 하이로 되면, 하이의 클럭신호(C1)가 턴온된 제1트랜지스터(112a)를 통해 출력되므로, 출력전압(Vout1)은 하이로 된다. 이러한 하이의 출력전압(Vout1)은



클럭신호(C1B)가 하이로 될 때까지 유지된다. 즉, 클럭신호(C1B)가 하이로 되면(이때, 스타트신호(S1)는 로우), 제1플립플롭(114a)의 S,R단자에는 각각 로우신호 및 하이신호가 입력되므로, 상기 제1플립플롭(114a)은 리셋되어 Q,Qb출력단자에는 각각 로우신호 및 하이신호가 출력되어 제1트랜지스터(112a)는 턴오프되고 제2트랜지스터(112b)는 턴온된다. 따라서, 출력전압(Vout1)은 로우로 된다.

[0060] 이후, 로우의 스타트신호(S1)가 입력되고 하이의 클럭신호(C1) 및 로우의 클럭신호(C1B)가 입력되면, 플립플롭(114)의 S,R입력단자에는 각각 로우신호가 인가되므로 플립플롭(114)은 이전의 상태를 유지하므로 Q단자 및 Qb단자에는 각각 로우신호 및 하이신호가 출력된다. 따라서, 제1트랜지스터(112a)는 및 제2트랜지스터(112b)는 각각 턴온상태 및 턴오프상태를 유지하여 출력전압(Vout1)은 로우가 된다. 이러한 출력전압(Vout1)의 로우상태는 이후 계속된다.

[0061] 상기와 같이, 스타트신호(S1)가 제1시프트레지스터의 첫단에 입력됨에 따라 첫단 시프트레지스터의 출력단에는 출력전압(Vout1)이 출력되면, 이 전압이 액정표시소자의 제1게이트라인에 인가된다.

[0062] 상기 제1게이트구동부(120a)의 첫번째 단의 시프트레지스터에서 출력된 출력전압(Vout1)은 다음 단의 스타트신호로서 입력되어, 다음 단의 시프트레지스터를 인에이블시킨다. 다음 단의 시프트레지스터에서는 첫번째 단의 시프트레지스터와 같은 동작을 반복하여 제1출력전압(Vout1)과 동기되고 순차적인 제3출력전압(Vout3)을 출력하여 제3게이트라인에 인가한다. 이러한 동작이 반복되어 홀수번째의 게이트라인에는 순차적인 출력전압(Vout1 ~ Vout(2n-1))이 인가된다.

[0063] 한편, 제2게이트구동부(120b)의 첫번째 단 시프트레지스터에는 제1게이트구동부(120a)의 첫번째 단 시프트레지스터에 입력되는 클럭신호(C1,C1B)와 반주기 중첩된 클럭신호(C2,C2B)가 입력된다. 이러한 클럭신호(C2,C2B) 및 스타트신호(S1)의 입력에 따라 제1출력전압(Vout1)과는 반주기 중첩되는 제2출력전압(Vout2)이 출력되어 제2게이트라인에 인가된다. 또한, 상기 제2출력전압(Vout2)이 다음 단의 시프트레지스터에 스타트신호로 입력되어 상기 제2출력전압(Vout2)이 순차적인 제4출력전압(Vout4)가 출력되어 제4게이트라인에 입력되며, 이러한 과정이 반복하여 제2게이트구동부(120b)의 시프트레지스터에는 제1게이트구동부(120a)의 시프트레지스터에서 출력되는 출력전압(Vout1 ~ Vout(2n-1))과는 반주기 중첩된 출력전압(Vout2 ~ Vout(2n))이 짝수의 게이트라인에 인가된다.

[0064] 상술한 바와 같이, 본 발명에 따른 액정표시소자에서는 순차적으로 출력전압을 출력하는 복수의 시프트레지스터를 구비하는 제1 및 제2게이트구동부가 액정패널에 개별적으로 구비되어, 각각의 게이트구동부가 홀수 및 짝수 게이트라인에 별도로 출력전압을 인가한다. 이때, 상기 홀수 및 짝수의 게이트라인에 교대로 주사신호를 인가하는 제1 및 제2게이트구동부의 시프트레지스터로부터 출력되는 출력전압(즉, 주사신호)은 화소영역의 스위칭소자인 박막트랜지스터의 턴온기간 보다 넓은 펄스폭을 가지므로 서로 일정 펄스폭(예를 들면, 반주기)이 중첩된다. 따라서, 시프트레지스터에 형성되는 박막트랜지스터가 비정질반도체로 이루어져 낮은 전계효과 이동도에 의해 주사신호의 펄스의 일부가 하강하는 경우에도 액정패널내의 화소영역의 박막트랜지스터에 인가되는 신호는 상기 박막트랜지스터를 완전히 턴온시킬 수 있게 되므로, 박막트랜지스터 턴온시간의 감소에 의한 불량을 방지할 수 있게 된다.

[0065] 상기한 바와 같은 점을 감안하면, 제1게이트구동부 및 제2게이트구동부의 시프트레지스터에서 각각 출력되는 주사신호의 펄스 연장폭(다시 말해서, 인접하는 신호와의 중첩 폭)은 반주기에만 한정될 필요는 없을 것이다. 즉, 비정질반도체의 낮은 전계효과 이동도에 의한 주사신호의 하강정도에 따라 그 정도를 결정하여 화소내의 박막트랜지스터를 완전히 턴온시킬 수만 있다면, 연장정도는 필요에 따라 조절할 수 있을 것이다.

**발명의 효과**

[0066] 상술한 바와 같이, 본 발명에서는 게이트라인에 인가되는 주사신호의 펄스폭을 화소영역의 박막트랜지스터의 턴온시간보다 길게 연장하므로, 주사신호가 하강하는 경우에도 상기 박막트랜지스터가 설정된 시간동안 항상 턴온상태를 유지한다. 따라서, 게이트구동부에 형성되는 박막트랜지스터의 크기 증가나 고가의 폴리실리콘을 사용하지 않고도 신호하강에 의한 불량을 효과적으로 방지할 수 있게 된다.

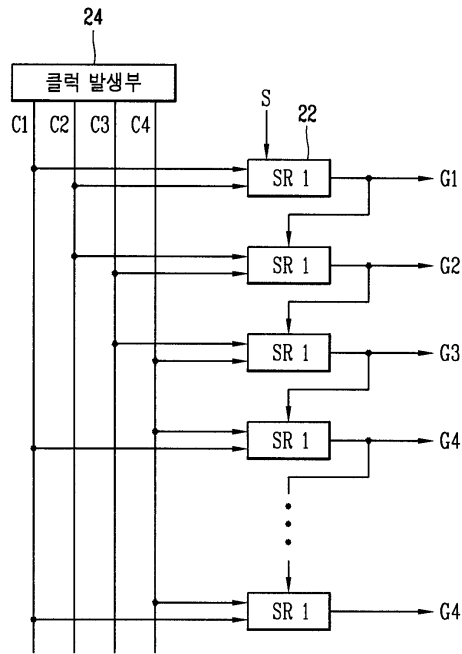
**도면의 간단한 설명**

[0001] 도 1은 일반적인 액정표시소자의 평면도.

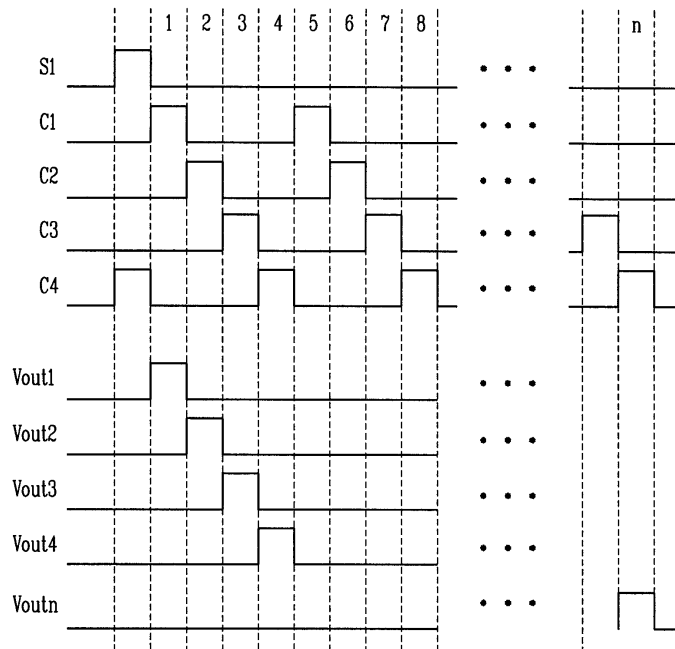
[0002] 도 2는 종래 액정표시소자의 게이트구동부의 구조를 나타내는 블록도.



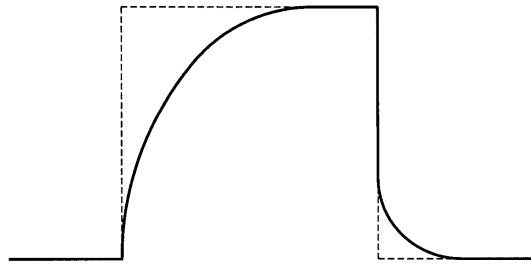
도면2



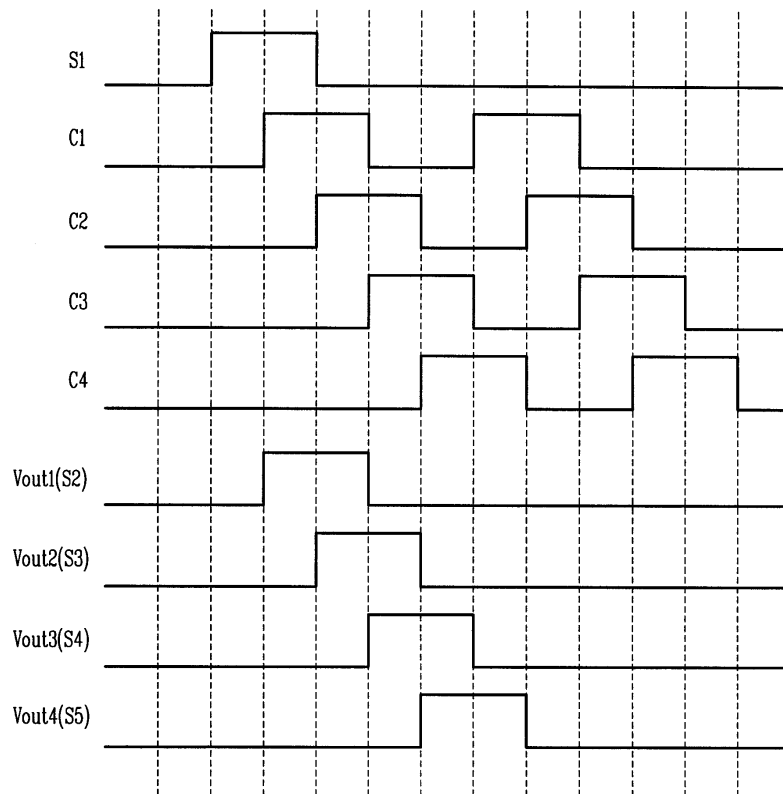
도면3



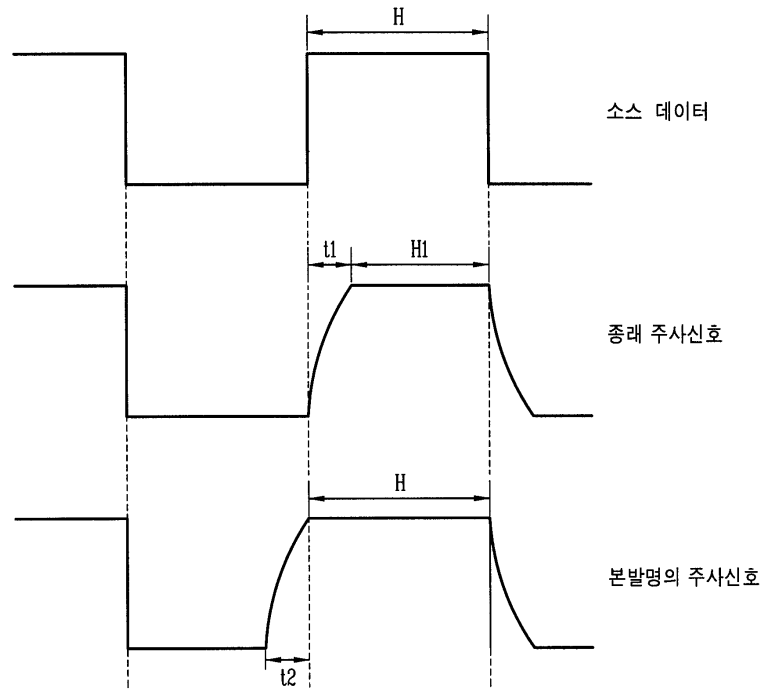
도면4



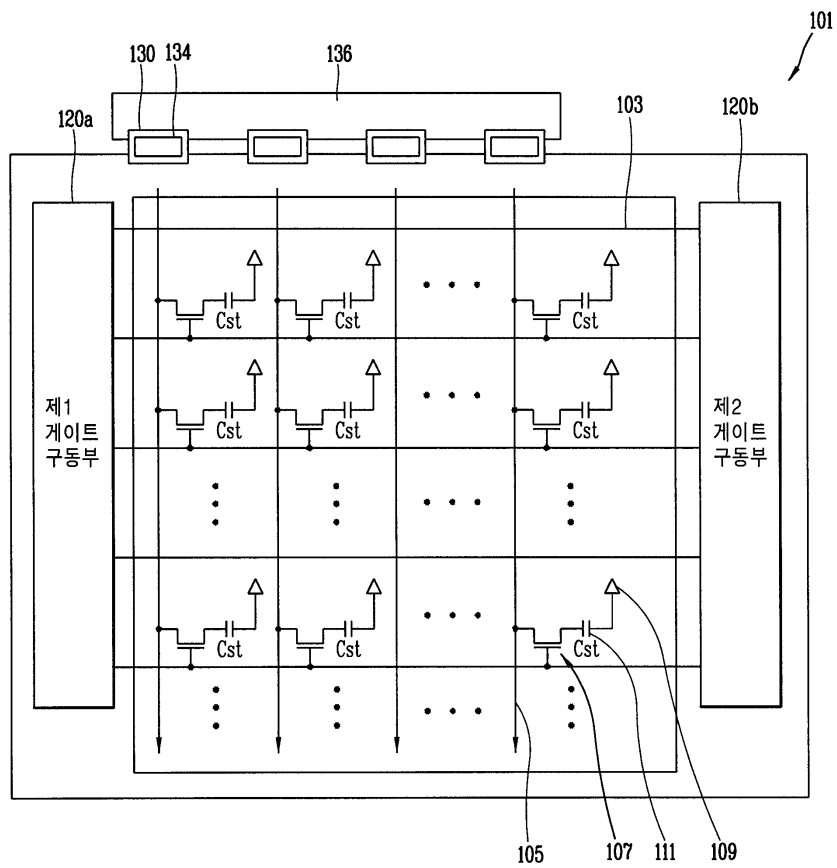
도면5



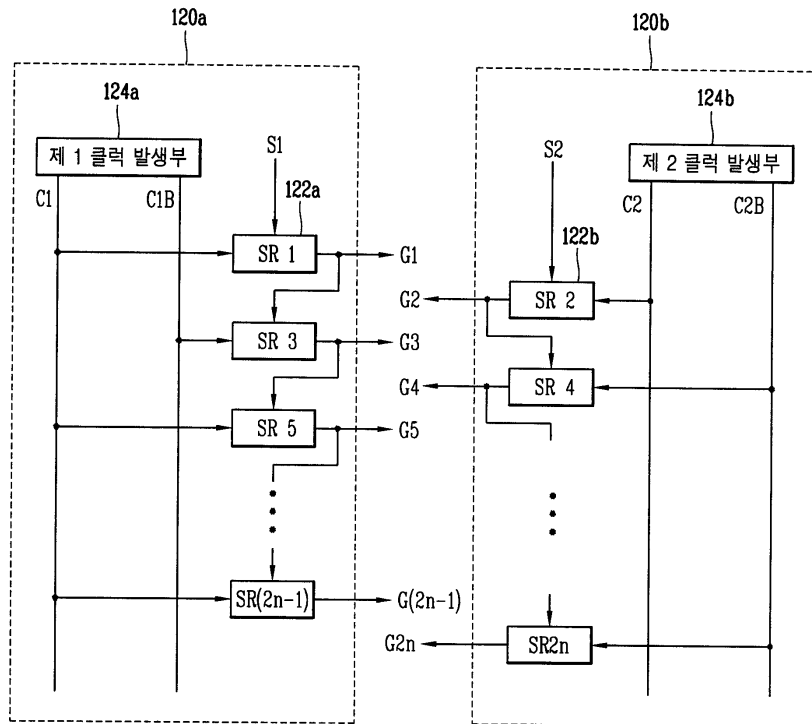
도면6



도면7

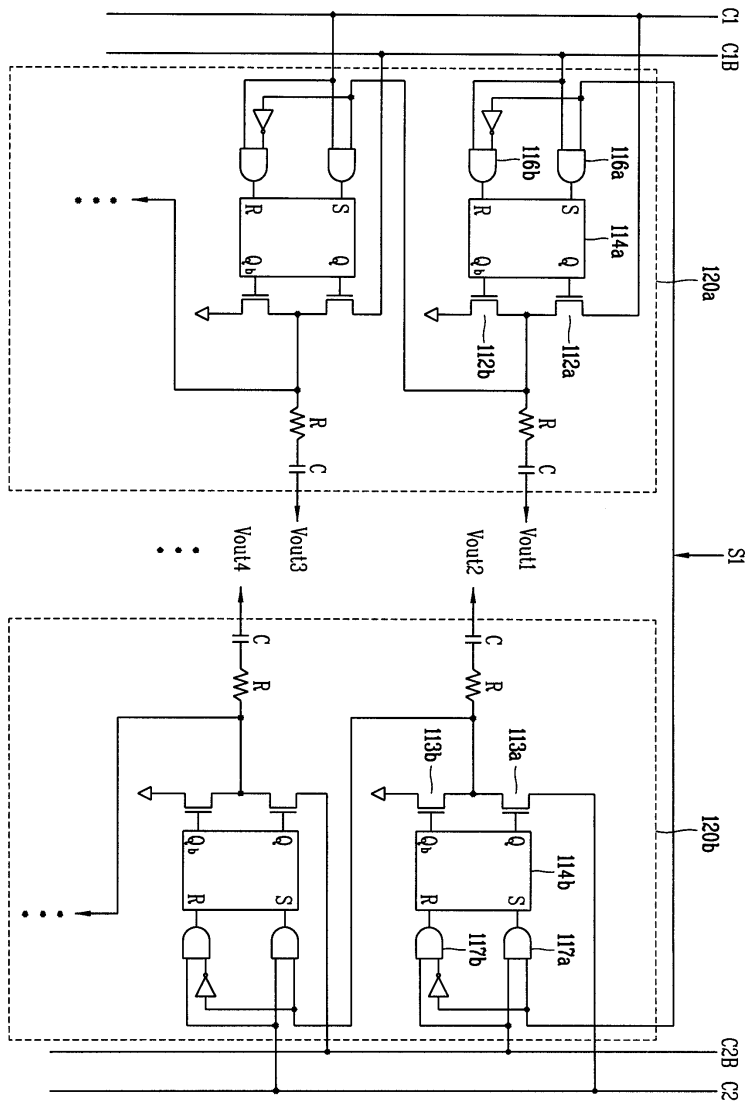


도면8





도면9



도면10

