

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 1 月 15 日(15.01.2015)

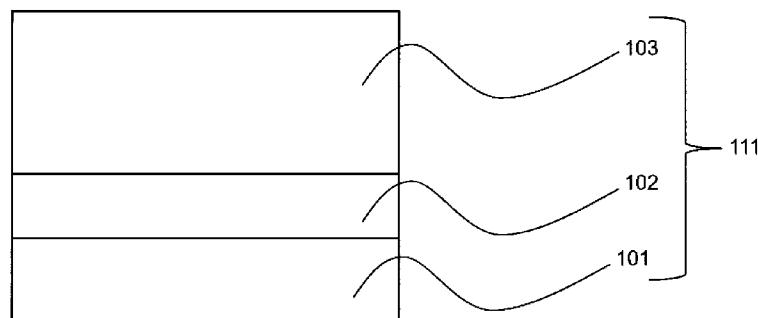


(10) 国際公開番号
WO 2015/005083 A1

- (51) 国際特許分類:
H01L 21/20 (2006.01) H01L 29/778 (2006.01)
H01L 21/205 (2006.01) H01L 29/812 (2006.01)
H01L 21/338 (2006.01) H01L 33/02 (2010.01)
- (21) 国際出願番号: PCT/JP2014/066197
- (22) 国際出願日: 2014 年 6 月 18 日(18.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-146715 2013 年 7 月 12 日(12.07.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 小河 淳(OGAWA, Atsushi). 寺口 信明(TERAGUCHI, Nobuaki). 伊藤 伸之(ITO, Nobuyuki). 井上 雄史(INOUE, Yushi). 岡崎 舞(OKAZAKI, Mai).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: NITRIDE SEMICONDUCTOR MULTILAYER SUBSTRATE, NITRIDE SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING NITRIDE SEMICONDUCTOR MULTILAYER SUBSTRATE

(54) 発明の名称: 窒化物半導体積層基板、窒化物半導体装置および窒化物半導体積層基板の製造方法



(57) Abstract: A nitride semiconductor multilayer substrate (111) includes a Si substrate (101) having, as the principal surface, a surface inclined at an off angle of 0.11-0.50° in the (011) direction from the (111) plane, and at least one nitride semiconductor layer (102, 103) epitaxially grown on the Si substrate (101).

(57) 要約: 窒化物半導体積層基板 (111) は、(111) 面から (011) 方向に、0.11 度以上、0.50 度以下のオフ角で傾斜した面を主面とする Si 基板 (101) と、この Si 基板 (101) の上にエピタキシャル成長した少なくとも 1 つの窒化物半導体層 (102, 103) とを含む。

WO 2015/005083 A1

明 細 書

発明の名称：

窒化物半導体積層基板、窒化物半導体装置および窒化物半導体積層基板の製造方法

技術分野

[0001] この発明は、窒化物半導体積層基板、窒化物半導体装置および窒化物半導体積層基板の製造方法に関する。

背景技術

[0002] 窒化物半導体は、一般式 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x + y \leq 1$) で表される。この窒化物半導体は、その組成によって、バンドギャップを $1.95\text{ eV} \sim 6\text{ eV}$ の範囲で変化させることができることから、紫外域から赤外域に及ぶ広波長範囲の発光デバイスの材料として研究開発され、実用化されている。

[0003] また、窒化物半導体を用いた制御デバイスは、高周波かつ高出力で動作するパワー素子などに用いられており、中でも、高周波帯域での増幅に適した制御デバイスとして、例えば高電子移動度トランジスタ (HEMT) などの FET が知られている。

[0004] 従来、窒化物半導体積層基板としては、特開 2008-166349 号公報 (特許文献 1) に記載のものがある。この従来の窒化物半導体積層基板は、Si 基板上に、バリア層として AlN 層と、Al 組成を層厚方向に変化させたバッファ層としての AlGaIn 層と、GaInN 層を順次エピタキシャル成長している。

[0005] このように、上記従来の窒化物半導体積層基板は、Si 基板を用いているから、サファイア基板や SiC (炭化シリコン) 基板を用いる場合に比べて、安価であり、また、AlN 層と GaInN 層との間に、Al 組成を層厚方向に変化させた AlGaIn 層を挟み込んでいるから、反り、クラックの発生が少ないという利点を有する。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-166349号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記従来の窒化物半導体積層基板には、Si基板上に形成されたAlN層の表面、および、そのAlN直上のAlGaN層の表面にピットが発生しやすいという問題がある。

[0008] このピットは、SiとAlNの格子定数差から生じる貫通転位が発生起源になっていると考えられ、そのピット上にGaN層などの窒化物半導体層を成長させて、窒化物半導体装置を製造した場合、リーク等の要因となるため、発光デバイスならびに制御デバイスともに、その特性に悪い影響を与える。

[0009] そこで、この発明の課題は、窒化物半導体層にピットが発生するのを抑制することが可能な窒化物半導体積層基板、窒化物半導体装置および窒化物半導体積層基板の製造方法を提供することにある。

課題を解決するための手段

[0010] 上記課題を解決するため、この発明の窒化物半導体積層基板は、
(111)面から(011)方向に、0.11度以上、0.50度以下のオフ角で傾斜した面を主面とするSi基板と、
このSi基板の上にエピタキシャル成長した少なくとも1つの窒化物半導体層と
を備えることを特徴としている。

[0011] また、この発明の窒化物半導体装置は、
上述の窒化物半導体積層基板と、
上記窒化物半導体積層基板上に積層された窒化物半導体層と、
上記窒化物半導体層上に設けた電極と

を備えることを特徴としている。

[0012] また、この発明の窒化物半導体積層基板の製造方法は、

(1 1 1) 面から (0 1 1) 方向に、0. 1 1 度以上、0. 5 0 度以下のオフ角で傾斜した面を主面とする S i 基板を準備する工程と、

上記 S i 基板の主面の上に、少なくとも 1 つの窒化物半導体層をエピタキシャル成長する工程と

を備えることを特徴としている。

発明の効果

[0013] この発明によれば、窒化物半導体層のピットを抑制することができて、窒化物半導体装置の特性を大幅に改善することができる。

図面の簡単な説明

[0014] [図1]この発明の第 1 実施形態の窒化物半導体積層基板の断面模式図である。

[図2] S i 基板の主面の (1 1 1) 面から (0 1 1) 方向へのオフ角と、ピット数との関係を示すグラフである。

[図3]この発明の第 2 実施形態の窒化物半導体積層基板の断面模式図である。

[図4] A l 層の層厚とピット数と関係を示すグラフである。

[図5]この発明の第 3 実施形態の窒化物半導体積層基板の断面模式図である。

[図6] A l N 層の (0 0 0 2) 面の X 線回折におけるロッキングカーブの半値幅とピット数との関係を示すグラフである。

[図7]この発明の第 4 実施形態の窒化物半導体積層基板の断面模式図である。

[図8]この発明の第 6 実施形態のヘテロ接合電界効果トランジスタ (H F E T) の要部を示す概略断面図である。

発明を実施するための形態

[0015] (第 1 実施形態) (A l N 層 / S i 基板 オフ角依存性)

図 1 に示すように、第 1 実施形態の窒化物半導体積層基板 1 1 1 は、S i 基板 1 0 1 と、この S i 基板 1 0 1 上にエピタキシャル成長した窒化物半導体層の一例としての A l N 層 1 0 2 と、この A l N 層 1 0 2 上にエピタキシャル成長した窒化物半導体層の一例としての A l G a N 層 1 0 3 とからなる

。

[0016] 上記Si基板101は、(111)面から(011)方向に、0.11度以上、0.50度以下のオフ角で傾斜した面を主面としている。

[0017] 上記AlN層102は、バリア層として機能し、AlGaN層103は、バッファ層として機能する。

[0018] この明細書で、窒化物半導体とは、例えば、GaN、AlN、AlGaN、InGaN等のことを言い、より詳しくは、一般式 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x + y \leq 1$)で表される半導体のことを言う。

。

[0019] 次に、上記窒化物半導体積層基板111の製造工程を、比較例と対比しつつ、説明する。下記のサンプル1, 5は、比較例であり、サンプル2~4は、この第1実施形態に含まれるものである。

[0020] まず、Si基板のサンプルとして、

(111)面から(011)方向に、0.07度のオフ角度で傾斜した面を主面とするサンプル1のSi基板(図示せず)と、

(111)面から(011)方向に、0.11度のオフ角度で傾斜した面を主面とするサンプル2のSi基板101と、

(111)面から(011)方向に、0.20度のオフ角度で傾斜した面を主面とするサンプル3のSi基板101と、

(111)面から(011)方向に、0.50度のオフ角度で傾斜した面を主面とするサンプル4のSi基板101と、

(111)面から(011)方向に、0.60度のオフ角度で傾斜した面を主面とするサンプル5のSi基板(図示せず)と

の5種類のサンプルのSi基板を準備した。

[0021] 比較例のサンプル1, 5のSi基板(図示せず)は、図1に示すSi基板101に相当しなく、一方、サンプル2~4のSi基板101は、図1に示すSi基板101に相当する。

[0022] この5種類のサンプルのSi基板を希釈フッ酸で処理し、Si基板の自然

酸化膜を除去した。その後、Si基板をMOCVD（有機金属気相成長：Metal Organic Chemical Vapor Deposition）装置のリアクタ内に導入した。次に、5種類のサンプルのSi基板の温度を1100℃に昇温した後、NH₃（アンモニア）およびTMA（トリメチルアルミニウム）を供給し、Si基板の主面に、AlN層102を成長速度400nm/hrで、180nm成長した。

[0023] 次に、5種類のサンプルのSi基板の温度を1100℃にしたまま、NH₃、TMAおよびTMG（トリメチルガリウム）を供給し、上記AlN層102上に、厚さ200nmでAl組成比0.6のAlGaInバッファ層103をエピタキシャル成長した。

[0024] 以上の製造工程により、Si基板101の主面上に、AlN層102、AlGaInバッファ層103が設けられた窒化物半導体積層基板が得られた。

[0025] 上記製造方法により製造した

上述の0.07度のオフ角度のサンプル1のSi基板を用いた窒化物半導体積層基板（サンプル1-1：比較例）と、

上述の0.11度のオフ角度のサンプル2のSi基板101を用いた窒化物半導体積層基板111（サンプル1-2）と、

上述の0.20度オフ角度のサンプル3のSi基板101を用いた窒化物半導体積層基板111（サンプル1-3）と、

上述の0.50度のオフ角度のサンプル4のSi基板を用いた窒化物半導体積層基板111（サンプル1-4）と、

上述の0.60度のオフ角度のサンプル5のSi基板を用いた窒化物半導体積層基板111（サンプル1-5：比較例）と

の5種類の窒化物半導体積層基板夫々に対して、AlGaIn層103の表面状態をSEM（走査型電子顕微鏡）で観察した。

[0026] その結果、AlGaIn層103の表面において、直径10nm以上、50nm以下のサイズのピットの数について、20μm²エリア（5箇所）内の平均数は、

サンプル 1-1 は 15.5 個、
サンプル 1-2 は 0.9 個、
サンプル 1-3 は 0.5 個、
サンプル 1-4 は 0.8 個、
サンプル 1-5 は 11.3 個
であった。

[0027] この状態を、図 2 に片対数グラフで示している。

[0028] この図 2 から、この第 1 実施形態のように、Si 基板 101 が、(111) 面から (011) 方向に、0.11 度以上、0.50 度以下のオフ角を有すると、窒化物半導体積層基板 111 の表面において、直径 10 nm 以上、50 nm 以下のサイズのピットの数著しく低減できることが分かる。この第 1 実施形態のように、窒化物半導体積層基板 111 の表面のピット数が少ないと、この窒化物半導体積層基板 111 を用いた窒化物半導体装置（図示せず）のリーク電流を低減できる。

[0029] 上記の現象に関して、上記オフ角が 0.11 度以上の場合、成長表面のテラス幅が短くなり、AlN と Si の格子定数差から生じる歪を緩和しやすくでき、貫通転位の発生、ひいては貫通転位から生じるピットを抑制することができる。また、上記オフ角が 0.50 度より大きい場合は、AlN が成長表面をマイグレーションする能力が小さいため、テラス上に核が形成されて、マクロ的には 3 次元状に成長し、核同士が会合したエリアで転位が発生すると考えられる。

[0030] この第 1 実施形態では、Si 基板 101 が、(111) 面から (011) 方向に、0.11 度以上、0.50 度以下のオフ角を有するので、エピタキシャル成長表面のテラス幅が短くなって、AlN と Si の格子定数差から生じる歪を緩和しやすくでき、貫通転位の発生を抑制でき、ひいては、貫通転位から生じるピットの発生を抑制することができる。

[0031] （第 2 実施形態）（AlN 層/Si 基板 AlN 層層厚依存性）

図 3 は、第 2 実施形態の窒化物半導体積層基板 211 の断面模式図であり

、この窒化物半導体積層基板 211 は、Si 基板 201 上に、AlN 層 202 と、AlGaIn 層 203 とを積層してなる。

[0032] 上記窒化物半導体積層基板 211 は、第 1 実施形態と同様の方法で作製し、Si 基板 201 上に、バリア層として機能する AlN 層 202 と、バッファ層として機能する AlGaIn 層 203 とを順次エピタキシャル成長している。

[0033] 詳細は、以下の通りである。上記 Si 基板 201 は、(111) 面から (011) 方向に、0.20 度のオフ角で傾斜した面を主面としている。

[0034] 上記 Si 基板 201 上の AlN 層 202 は、層厚が
40 nm (サンプル 2-1) と、
50 nm (サンプル 2-2) と、
100 nm (サンプル 2-3) と、
180 nm (サンプル 2-4) と、
400 nm (サンプル 2-5) と、
450 nm (サンプル 2-6) と、
500 nm (サンプル 2-7) と
の 7 種類のものを作成し、それらの AlN 層 202 上に、同じ AlGaIn 層 203 を積層して、7 種類の半導体積層基板 211 を製造した。

[0035] 上述の 7 種類の半導体積層基板 211 の夫々に対して、AlGaIn 層 203 の表面状態を SEM (走査型電子顕微鏡) で観察した。

[0036] その結果、上記 AlGaIn 層 203 の表面において、直径 10 nm 以上、50 nm 以下のサイズのピットの数について、20 μ m² エリア (5 箇所) 内の平均数は、
サンプル 2-1 は 25.6 個、
サンプル 2-2 は 1.3 個、
サンプル 2-3 は 0.8 個、
サンプル 2-4 は 0.5 個、
サンプル 2-5 は 1.4 個

サンプル 2-6 は 13.8 個、
サンプル 2-7 は 21.7 個
であった。

[0037] この状態を、図 4 に片対数グラフで示している。

[0038] この図 4 から、AlN 層 203 の層厚が 50 nm 以上、400 nm 以下であると、AlGaIn 層 203 の表面において、直径 10 nm 以上、50 nm 以下のサイズのピットの数が著しく減少することが分かる。この第 2 実施形態では、AlN 層 202 の層厚を、50 nm 以上、400 nm 以下にしている。

[0039] なお、ここでは、上記 Si 基板 201 は、(111) 面から (011) 方向に、0.20 度のオフ角で傾斜した面を主面としているが、Si 基板 201 が、(111) 面から (011) 方向に、0.11 から 0.50 度のオフ角で傾斜した面を主面としていても、図 4 と同じ傾向が得られた。

[0040] この第 2 実施形態のように、窒化物半導体積層基板 21 の表面のピット数が少ないと、この窒化物半導体積層基板 21 を用いた窒化物半導体装置（図示せず）は、リーク電流の低減等の電氣的な特性が改善できる。

[0041] 上記の現象に関して、AlN 層 202 の層厚が 50 nm より薄い場合、AlN 層 202 がバリア層つまりカバー層として十分に機能せず、AlGaIn 層 203 の成長時に使用する TMG の Ga と Si 基板が反応して、基板表面を荒らして、ピット等の発生要因となる貫通転位が発生しやすくなったと推定される。

[0042] また、AlN 層 202 の層厚が 400 nm よりも厚い場合、AlN 層 202 および AlGaIn 層 203 の成長中に、Si と AlN の格子定数差が要因となる基板の反りが大きくなって、AlN 層 202、AlGaIn 層 203 に歪応力が加わって、ピットが発生しやすくなったと考えられる。

[0043] （第 3 実施形態）（AlN 層／Si 基板 結晶性依存性）

図 5 は、第 3 実施形態の窒化物半導体積層基板 311 の断面模式図であり、この窒化物半導体積層基板 311 は、Si 基板 301 上に、AlN 層 30

2、AlGaIn層303をエピタキシャル成長してなる。

[0044] 上記窒化物半導体積層基板311は、第1および第2実施形態と同様の方法で作製し、Si基板301上に、バリア層として機能するAlN層302と、バッファ層として機能するAlGaIn層303とを順次エピタキシャル成長している。

[0045] 詳細は、以下の通りである。上記Si基板301は、(111)面から(011)方向に、0.20度のオフ角で傾斜した面を主面としている。上記AlN層302は、層厚が180nmであり、そのAlN層302の成長速度を変化させて、(0002)面のX線回折におけるロッキングカーブの半値幅が異なるサンプルを製造した。AlN層302の(0002)面のX線回折におけるロッキングカーブの半値幅の調整は、Si基板301上に、各AlN層302を成長させるときの成長速度を変化させて行った。

[0046] そして、AlN層302の(0002)面のX線回折におけるロッキングカーブの半値幅が

1900arcsec (サンプル3-1) と、

2200arcsec (サンプル3-2) と、

2500arcsec (サンプル3-3) と、

2650arcsec (サンプル3-4) と

の4種類の窒化物半導体積層基板311を製造した。

[0047] この4種類の窒化物半導体積層基板311の夫々に対して、AlGaIn層303の表面状態をSEM（走査型電子顕微鏡）で観察した。

[0048] その結果、上記AlGaIn層303の表面において、直径10nm以上、50nm以下のサイズのピットの数について、20μm²エリア（5箇所）内の平均数は、

サンプル3-1は0.5個、

サンプル3-2は0.8個、

サンプル3-3は1.8個、

サンプル3-4は12.3個、

であった。

[0049] この状態を、図6に片対数グラフで示している。

[0050] この図6から、Si基板301上のAlN層302の(0002)面のX線回折におけるロッキングカーブの半値幅は、2500arcsec以下が好ましいことが分かる。

[0051] この現象に関して、AlN層302の(0002)面のX線回折におけるロッキングカーブの半値幅が2500arcsecよりも大きくなると、結晶性が悪い場合に、ピットの要因となる貫通転位等が入り易くなったと考えられる。

[0052] 逆に、上記AlN層302の(0002)面のX線回折におけるロッキングカーブの半値幅が2500arcsec以下であると貫通転位が比較的少なくなると、AlGaIn層30を積層する際に、SiとGaの反応を抑制し、また結晶性が良好なため貫通転位の発生、ひいてはピットの発生を抑制することが可能となったと考えられる。

[0053] なお、ここでは、上記Si基板301は、(111)面から(011)方向に、0.20度のオフ角で傾斜した面を主面としているが、Si基板201が、(111)面から(011)方向に、0.11から0.50度のオフ角で傾斜した面を主面としていても、図6と同じ傾向が得られる。また、上記AlN層302は、層厚が180nmであったが、AlN層302の層厚が50nm以上、400nm以下であっても、層厚が180nmの場合と同様の結果が得られた。

[0054] (第4実施形態) (GaIn層／AlGaIn層／AlN層／Si基板 AlN層混晶比、GaIn層の層厚)

図7は、第4実施形態の窒化物半導体積層基板411の断面模式図である。この窒化物半導体積層基板411は、Si基板101上に、AlN層102とAlGaIn層403とGaIn層404とを順次エピタキシャル成長してなる。

[0055] 上記Si基板101およびAlN層102は、第1実施形態のSi基板1

01およびAlN層102と同じ構成を有するので、第1実施形態と同じ参照番号を付して、詳しい説明は省略する。

[0056] 上記AlGaIn層403は、 $Al_xGa_{1-x}In$ 層 ($0.3 \leq x \leq 0.8$) である。つまり、上記AlGaIn層403のAl組成は、30%以上、80%以下である。また、上記GaIn層404は、100nm以上の層厚を有する。

[0057] 上記構成の窒化物半導体積層基板411によれば、その窒化物半導体積層基板411全体の反りを抑えることができ、窒化物半導体層、つまり、AlN層102、AlGaIn層403、GaIn層404に与える歪応力を低減して、転位およびピットの発生を抑制することができる。

[0058] (第5実施形態) (AlN層/Si基板 Si基板を凹凸加工)

この第5実施形態の窒化物半導体積層基板は、図示しないが、図1の第1実施形態の窒化物半導体積層基板111とは、Si基板の表面を除いて同じ構成を有する。したがって、第1実施形態の構成要素と同じ構成要素については、第1実施形態の図1を援用する。

[0059] この第5実施形態の窒化物半導体積層基板のSi基板は、(111)面から(011)方向に、0.11度以上、0.50度以下のオフ角で傾斜した面が上記Si基板の表面の30%以上となるように、上記Si基板の表面に凹凸を有する。

[0060] こうした場合でも、第1実施形態で検証した結果と略同じ結果が得られた。また、この第5実施形態のSi基板に、第2および第3実施形態と同じ窒化物半導体層を積層しても、第2および第3実施形態と略同じ効果が得られた。

[0061] この第5実施形態の窒化物半導体積層基板によれば、上記Si基板の表面の30%以上の領域で、成長表面のテラス幅が短くなって、AlNとSiの格子定数差から生じる歪を緩和しやすくなり、貫通転位の発生を少なくでき、ひいては貫通転位から生じるピットを抑制することができる。したがって、この窒化物半導体積層基板を用いて、窒化物半導体装置を作れば、リーク電流の減少等ができて、電気的特性を改善できる。

[0062] (第6実施形態) (窒化物半導体装置)

図8は、この発明の窒化物半導体装置の一例としての第6実施形態のヘテロ接合電界効果トランジスタ(HFET)の要部を示す断面図である。図8において、Si基板101、AlN層102、AlGaIn層103および窒化物半導体積層基板111は、図1に示す第1実施形態のSi基板101、AlN層102、AlGaIn層103および窒化物半導体積層基板111と全く同じ構成を有するので、第1実施形態と同じ参照番号を付して、その詳しい説明は省略する。

[0063] 図8に示すように、この第6実施形態のHFETは、上記AlGaIn層103上に、アンドープGaIn層2、アンドープAlGaIn層3をエピタキシャル成長により形成している。このアンドープGaIn層2とアンドープAlGaIn層3とがヘテロ接合を有するGaIn系積層体5を構成している。上記アンドープGaIn層2とアンドープAlGaIn層3との界面に2DEG(2次元電子ガス)6が発生する。

[0064] また、上記GaIn系積層体5には、アンドープGaIn層2に達するリセスを形成し、このリセスにドレイン電極11とソース電極12とをオーミック電極として形成している。このドレイン電極11とソース電極12は、例えば、一例として、Ti層、Al層、TiN層が順に積層されたTi/Al/TiN電極である。また、上記アンドープAlGaIn層3上に、ゲート電極13を形成している。このゲート電極13は、例えば、アンドープAlGaIn層3とショットキー接合するショットキー電極であり、例えば、TiNで作製している。尤も、ゲート電極は、絶縁膜上に形成して、絶縁ゲート電極構造としてもよい。

[0065] 上記アンドープAlGaIn層3、ドレイン電極11、ソース電極12およびゲート電極13上に、図示しない層間絶縁膜を形成し、この層間絶縁膜上に図示しないドレイン電極パッド、ソース電極パッドおよびゲート電極パッドを設けている。そして、上記ドレイン電極11、ソース電極12およびゲート電極13を、夫々、図示しないビアホールを介して、ドレイン電極パッド

ド、ソース電極パッドおよびゲート電極パッドに電気接続している。

[0066] この第6実施形態のH F E Tは、第1実施形態の窒化物半導体積層基板111を有するので、貫通転位に起因するピットの発生を抑制することができ、したがって、リーク電流等を低減できる。

[0067] なお、第1実施形態の窒化物半導体積層基板111に代えて、第2～第5実施形態の窒化物半導体積層基板211, 311, 411を用いても、同様の効果が得られる。

[0068] この第6実施形態では、G a N系積層体5は、アンドープG a N層2とアンドープA l G a N層3を積層して構成していたが、G a N系積層体は、 $A l_x I n_y G a_{1-x-y} N$ ($x \geq 0, y \geq 0, 0 \leq x+y < 1$)で表されるG a N系半導体層を積層したものであればよい。例えば、G a N系積層体は、A l G a N、G a N、I n G a N等を含むものであってもよい。

[0069] また、この第6実施形態では、A l G a N層3に、アンドープG a N層2に達するリセスを形成し、このリセスにドレイン電極11とソース電極12をオーミック電極として形成したが、上記リセスを形成しないで、上記アンドープG a N層上のアンドープA l G a N層上にドレイン電極とソース電極を形成し、アンドープA l G a N層の層厚を薄くすることによってドレイン電極とソース電極がオーミック電極になるようにしてもよい。

[0070] この第6実施形態では、窒化物半導体装置の一例として、H F E Tについて説明したが、この発明の窒化物半導体装置は、第1～第5実施形態等の窒化物半導体積層基板111, 211, 311, 411等を用いるものであればどのようなものであってもよく、例えば、H E M T（高電子移動度トランジスタ：High Electron Mobility Transistor）、M I S F E T（金属－絶縁体－半導体 電界効果トランジスタ：Metal Insulator Semiconductor Field Effect Transistor）、接合型F E T、L E D（発光ダイオード）、半導体レーザ等であってもよい。

[0071] また、窒化物半導体装置の種類に応じて、電極は、ドレイン電極、ソース電極、ゲート電極、エミッタ電極、コレクタ電極、ベース電極、アノード電

極、カソード電極等となることは勿論である。

[0072] また、上記第1～第6実施形態では、バリア層としてAlN層102, 202, 302を用いていたが、それに代えて、例えば、p-GaN、p-AlGaN等からなる層を用いることができる。また、バッファ層としてのAlGaN層は、特許文献1のように、Al組成を層厚方向に変化させてもよい。

[0073] この発明および実施形態を纏めると、次のようになる。

[0074] この発明の窒化物半導体積層基板111, 211, 311, 411は、
(111)面から(011)方向に、0.11度以上、0.50度以下のオフ角で傾斜した面を主面とするSi基板101, 201, 301と、
このSi基板101, 201, 301の上にエピタキシャル成長した少なくとも1つの窒化物半導体層102, 103, 202, 203, 302, 303, 403, 404と
を備えることを特徴としている。

[0075] 上記構成の窒化物半導体積層基板によれば、Si基板101, 201, 301が、(111)面から(011)方向に、0.11度以上、0.50度以下のオフ角を有するので、エピタキシャル成長表面のテラス幅が短くなって、例えばAlNとSiの格子定数差から生じる歪を緩和しやすくでき、貫通転位の発生を抑制でき、ひいては、貫通転位から生じるピットを抑制することができる。

[0076] このように、上記窒化物半導体積層基板111, 211, 311, 411の表面のピット数が少ないので、この窒化物半導体積層基板111, 211, 311, 411を用いた窒化物半導体装置のリーク電流等を低減できる。

[0077] 1実施形態では、
上記Si基板201上に、層厚が50nm以上、400nm以下のAlN層202を積層している。

[0078] 上記実施形態によれば、AlN層203の層厚が50nm以上、400nm以下であるので、SiとGaとの反応を抑制して、例えば、AlGaN層

203の表面において、直径10nm以上、50nm以下のサイズのピット
の数を著しく減少することができる。

[0079] 1実施形態では、

上記AlN層302は、(0002)面のX線回折におけるロッキングカーブの半値幅が2500arcsec以下である。

[0080] 上記実施形態によれば、上記AlN層302の(0002)面のX線回折におけるロッキングカーブの半値幅が2500arcsec以下であるので、貫通転位の発生、ひいてはピットの発生を抑制することが可能となる。

[0081] 1実施形態の窒化物半導体積層基板411は、

上記AlN層102上に、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層403 ($0.3 \leq x \leq 0.8$)
を積層し、

この $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層403の上に、100nm以上の厚さのGaN層404を積層している。

[0082] 上記実施形態によれば、窒化物半導体積層基板411全体の反りを抑えることができ、窒化物半導体層、つまり、AlN層102、AlGaN層403、GaN層404に与える歪応力を低減して、転位およびピットの発生を抑制することができる。

[0083] 1実施形態では、

(111)面から(011)方向に、0.11度以上、0.50度以下のオフ角で傾斜した上記面が上記Si基板の表面の30%以上となるように、上記Si基板の表面が凹凸を有する。

[0084] 上記実施形態によれば、上記Si基板の表面の30%以上の領域で、成長表面のテラス幅が短くなって、AlNとSiの格子定数差から生じる歪を緩和しやすくでき、貫通転位の発生を少なくでき、ひいては貫通転位から生じるピットを抑制することができる。したがって、リーク電流の減少等ができる。また、オフ角が大きくなると、表面粗さが大きくなるため、プロセス工程において好ましくない。また、オフ角が小さくなり過ぎると、基板面内にわずかなオフ角のずれから生じるステップ間隔、ステップ方向等の表面状態

の差異が基板の面内に生じる。このため、オフ角は、ピットの観点からは、 0.11 度以上、 0.50 度以下が好適であるが、さらには、上記の観点から、 0.2 度以上、 0.4 度以下が好ましい。

[0085] この発明の窒化物半導体装置は、
上述の窒化物半導体積層基板 111 と、
上記窒化物半導体積層基板 111 上に積層された窒化物半導体層 2、3 と、
上記窒化物半導体層 2、3 上に設けた電極 11、12、13 と
を備えることを特徴としている。

[0086] この発明の窒化物半導体装置によれば、貫通転位に起因するピットの発生を抑制して、リーク電流を少なくすることができる。

[0087] この発明の窒化物半導体積層基板の製造方法は、
(111) 面から (011) 方向に、 0.11 度以上、 0.50 度以下のオフ角で傾斜した面を主面とする Si 基板 101、201、301 を準備する工程と、
上記 Si 基板 101、201、301 の主面の上に、少なくとも 1 つの窒化物半導体層 102、202、302、103、203、303、403、404 をエピタキシャル成長する工程と
を備えることを特徴としている。

[0088] この発明の窒化物半導体積層基板の製造方法によれば、貫通転位に起因するピットを低減できて、リーク電流等の少ない電気的特性が改善された窒化物半導体積層基板を得ることができる。

[0089] 上記第 1 ～ 第 6 実施形態および変形例で述べた構成要素は、適宜、組み合わせてもよく、また、適宜、選択、置換、あるいは、削除してもよいのは、勿論である。

符号の説明

[0090] 2, 404 GaN 層
3, 103, 203, 303, 403 AlGaIn 層

101, 201, 301 Si 基板

102, 202, 302 AlN 層

11 ドレイン電極

12 ソース電極

13 ゲート電極

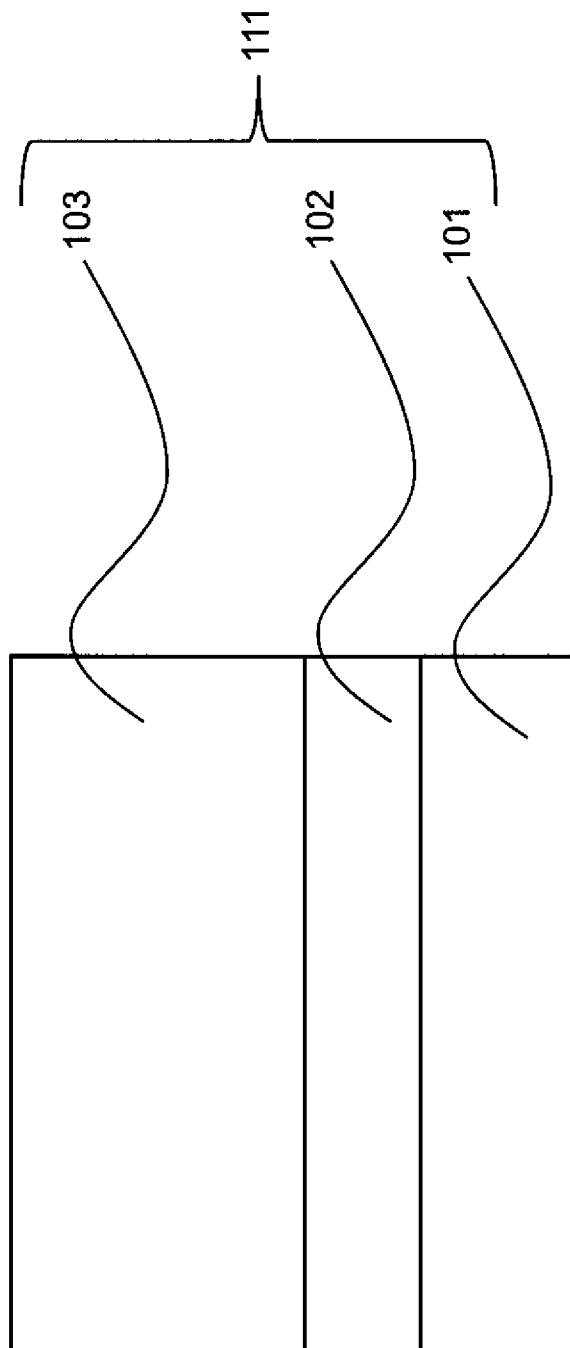
111, 211, 311, 411 窒化物半導体積層基板

請求の範囲

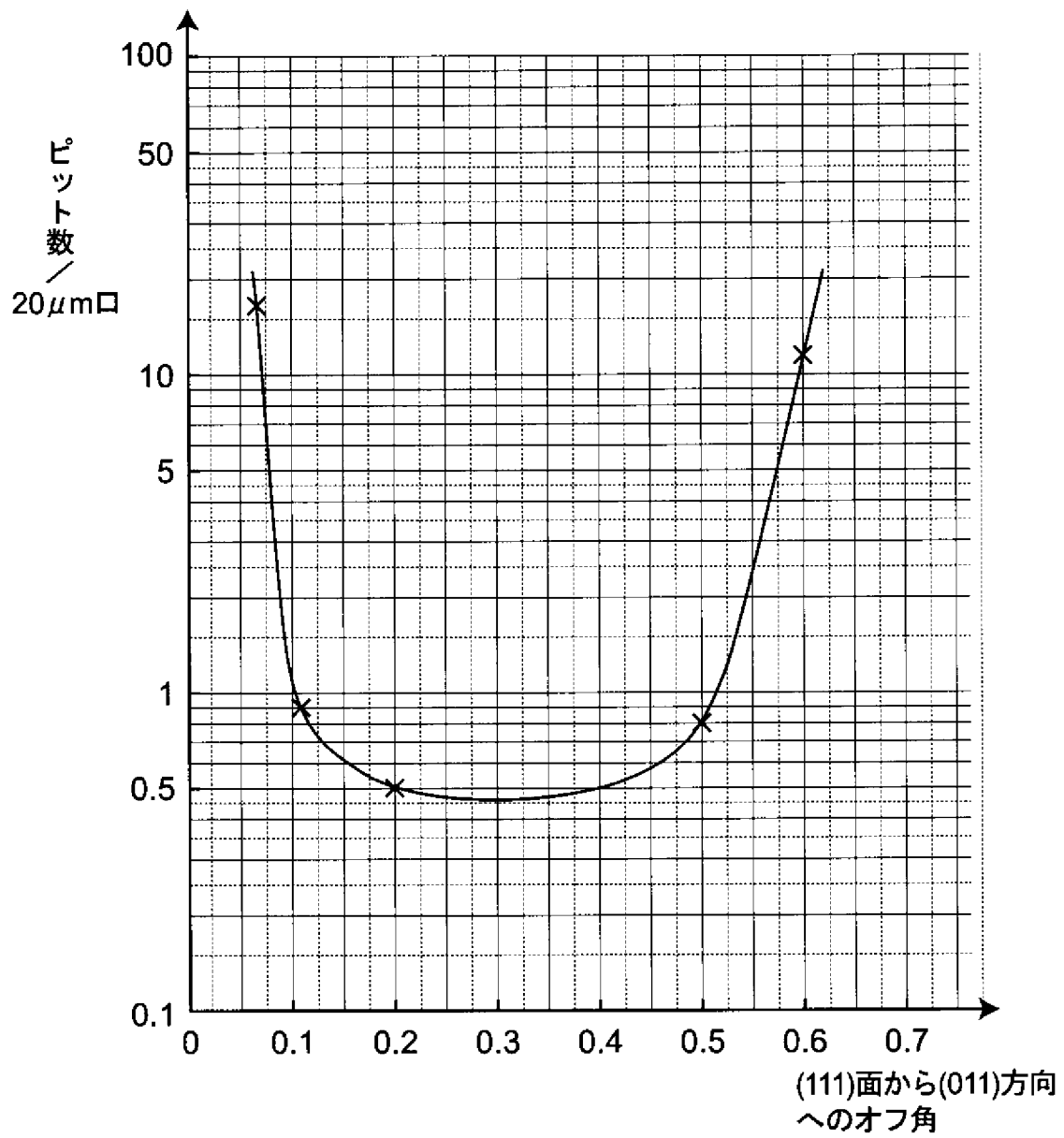
- [請求項1] (1 1 1) 面から (0 1 1) 方向に、0. 1 1 度以上、0. 5 0 度以下のオフ角で傾斜した面を主面とする S i 基板 (1 0 1, 2 0 1, 3 0 1) と、
- この S i 基板 (1 0 1, 2 0 1, 3 0 1) の上にエピタキシャル成長した少なくとも 1 つの窒化物半導体層 (1 0 2, 1 0 3, 2 0 2, 2 0 3, 3 0 2, 3 0 3, 4 0 3, 4 0 4) と
- を備えることを特徴とする窒化物半導体積層基板。
- [請求項2] 請求項 1 に記載の窒化物半導体積層基板において、
- 上記 S i 基板 (2 0 1) 上に、層厚が 5 0 n m 以上、4 0 0 n m 以下の A l N 層 (2 0 2) を積層したことを特徴とする窒化物半導体積層基板。
- [請求項3] 請求項 2 に記載の窒化物半導体積層基板において、
- 上記 A l N 層 (3 0 2) は、(0 0 0 2) 面の X 線回折におけるロッキングカーブの半値幅が 2 5 0 0 arcsec 以下であることを特徴とする窒化物半導体積層基板。
- [請求項4] 請求項 1 から 3 の何れか 1 つに記載の窒化物半導体積層基板 (1 1 1) と、
- 上記窒化物半導体積層基板 (1 1 1) 上に積層された窒化物半導体層 (2, 3) と、
- 上記窒化物半導体層 (2, 3) 上に設けた電極 (1 1, 1 2, 1 3) と
- を備えることを特徴とする窒化物半導体装置。
- [請求項5] (1 1 1) 面から (0 1 1) 方向に、0. 1 1 度以上、0. 5 0 度以下のオフ角で傾斜した面を主面とする S i 基板 (1 0 1, 2 0 1, 3 0 1) を準備する工程と、
- 上記 S i 基板 (1 0 1, 2 0 1, 3 0 1) の主面の上に、少なくとも 1 つの窒化物半導体層 (1 0 2, 2 0 2, 3 0 2, 1 0 3, 2 0 3

， 3 0 3 ， 4 0 3 ， 4 0 4 ） をエピタキシャル成長する工程と
を備えることを特徴とする窒化物半導体積層基板の製造方法。

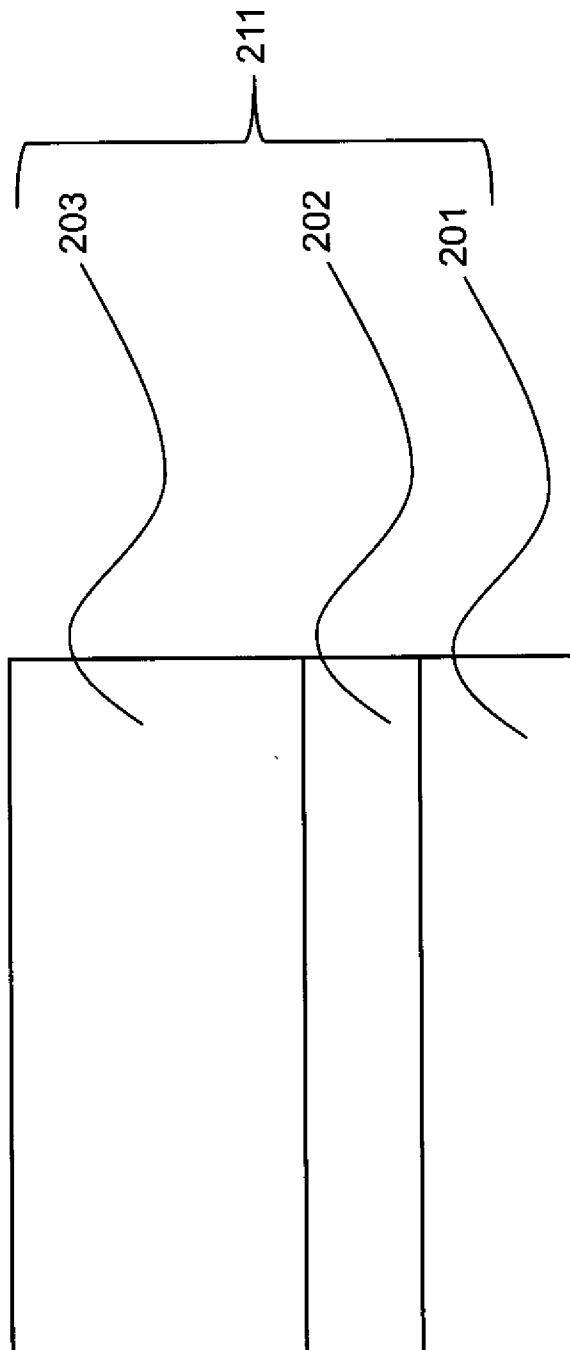
[図1]



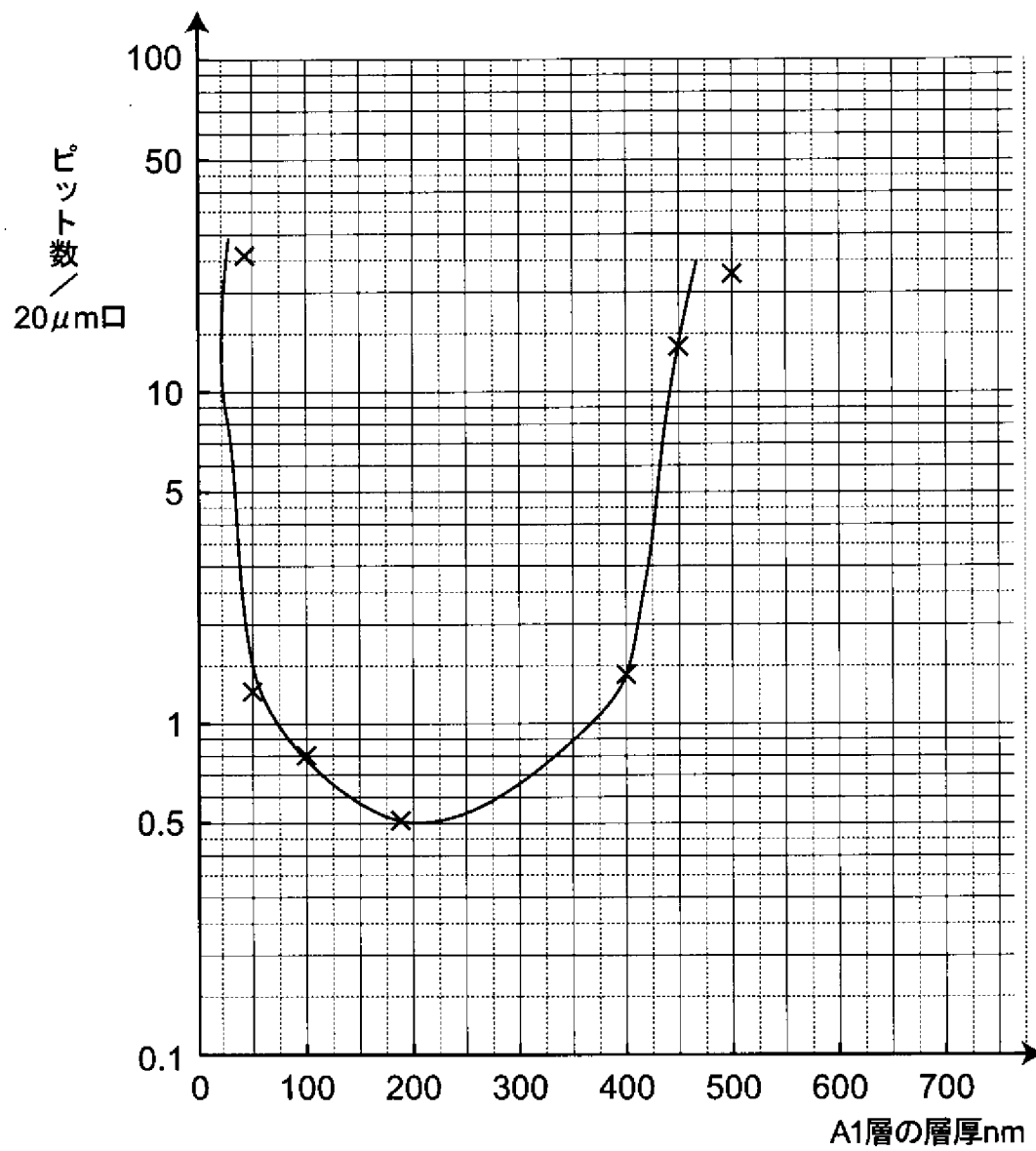
[図2]



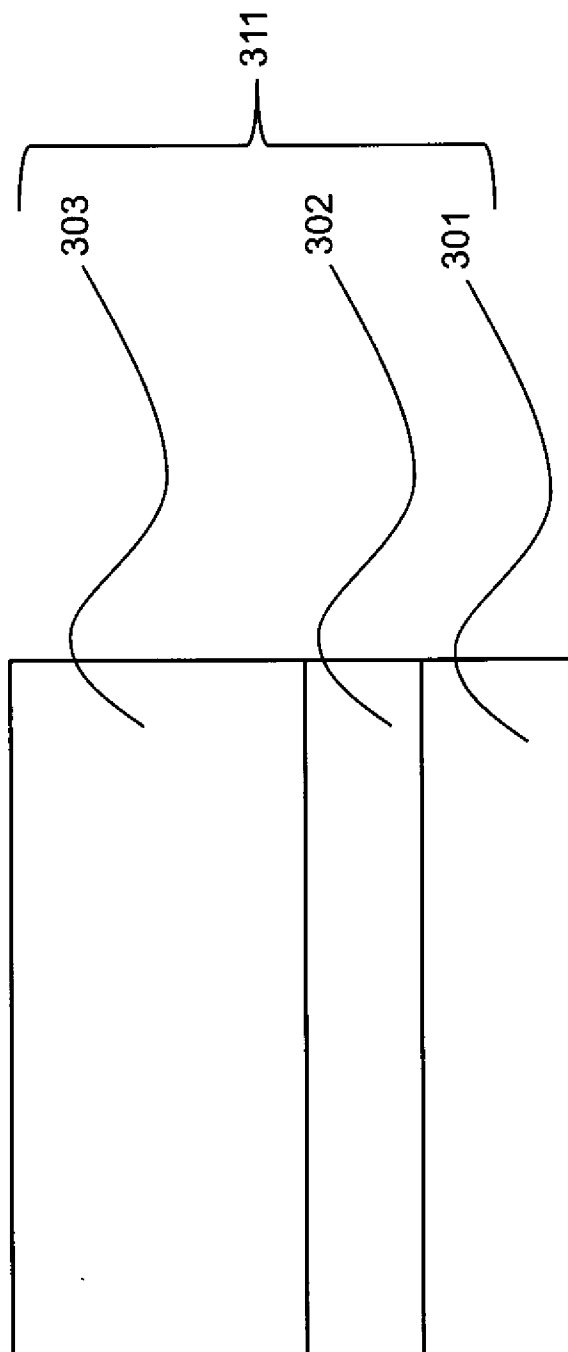
[図3]



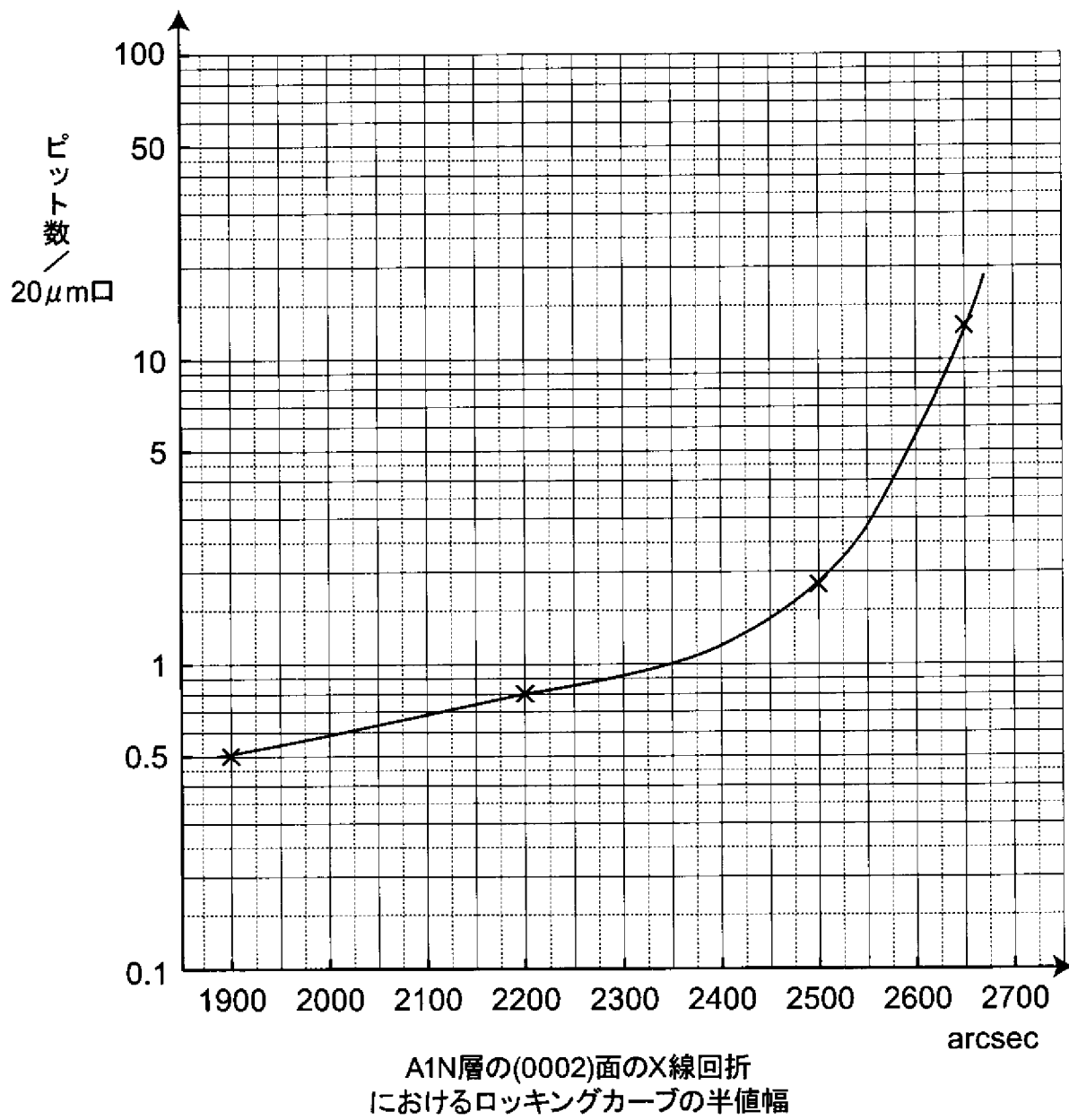
[図4]



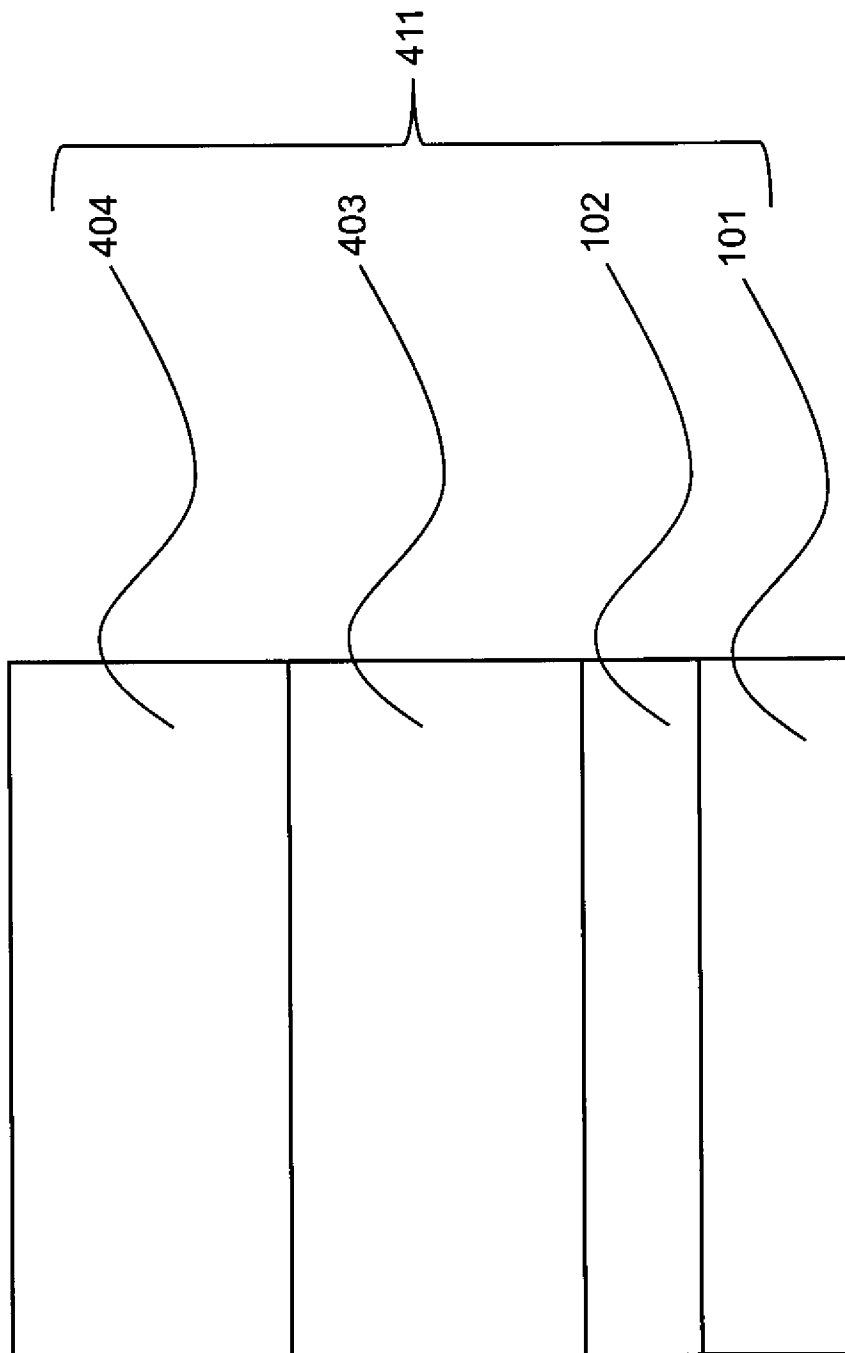
[図5]



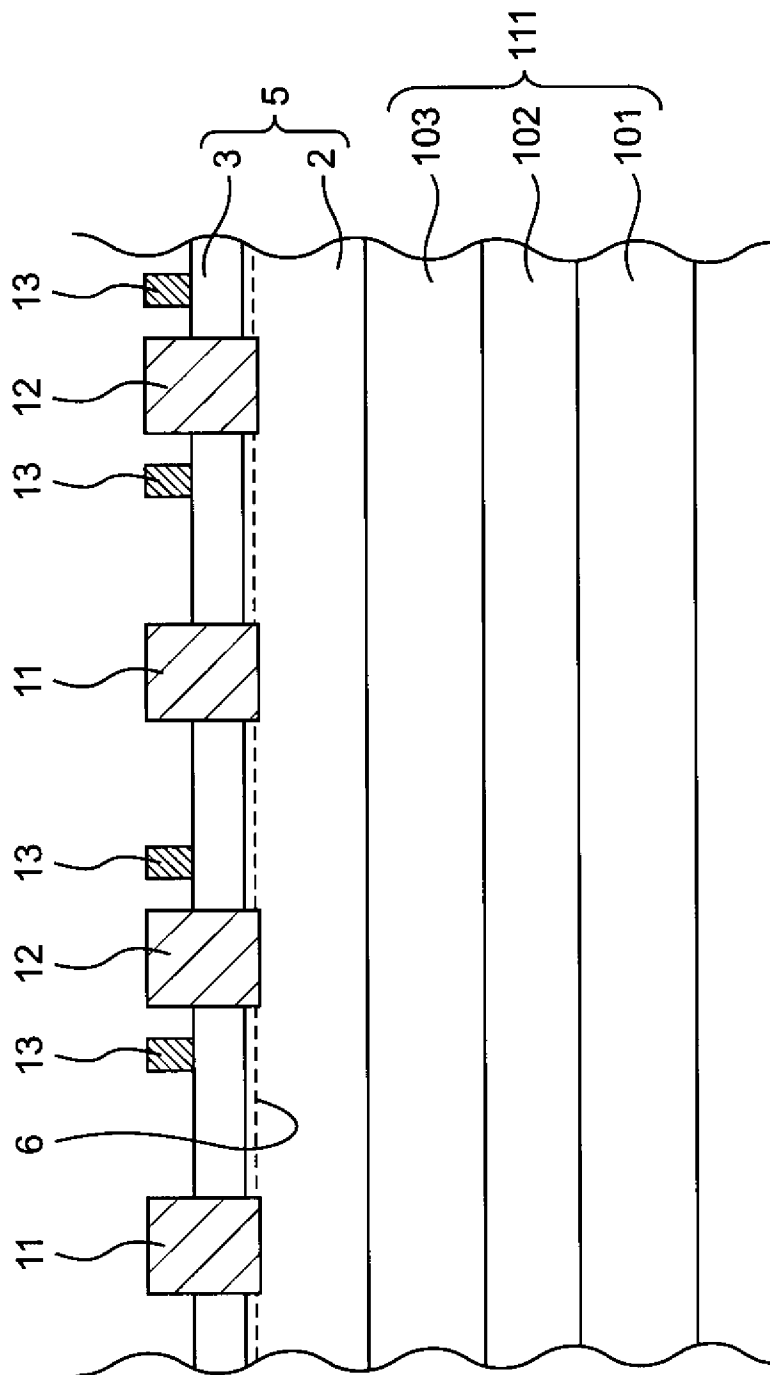
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/066197

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01)i, H01L21/205(2006.01)i, H01L21/338(2006.01)i,
H01L29/778(2006.01)i, H01L29/812(2006.01)i, H01L33/02(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, H01L21/205, H01L21/338, H01L29/778, H01L29/812, H01L33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-015304 A (Sumitomo Electric Industries, Ltd.), 19 January 2012 (19.01.2012), paragraphs [0018] to [0022], [0024] to [0034], [0041]; fig. 1, 3, 7 to 9 & US 2012/0001194 A1	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
11 September, 2014 (11.09.14)

Date of mailing of the international search report
22 September, 2014 (22.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/20(2006.01)i, H01L21/205(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i,
H01L29/812(2006.01)i, H01L33/02(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/20, H01L21/205, H01L21/338, H01L29/778, H01L29/812, H01L33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-015304 A（住友電気工業株式会社） 2012.01.19, 段落【0018】 - 【0022】 , 【0024】 - 【0034】 , 【0041】 , 図 1, 3, 7-9 & US 2012/0001194 A1	1-5

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 9 . 2 0 1 4

国際調査報告の発送日

2 2 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

長谷川 直也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

4 5 4 9