(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年9 月4 日 (04.09.2008)

PCT

(10) 国際公開番号
WO 2008/105372 A1

(51) 国際特許分類:
*H01L 21/8246* (2006.01) *H01L 43/08* (2006.01)
*H01L 27/105* (2006.01) *H01L 43/12* (2006.01)

(21) 国際出願番号: PCT/JP2008/053197

(22) 国際出願日: 2008 年2 月25 日 (25.02.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-046776 2007 年2 月27 日 (27.02.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (Renesas Technology Corp.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 Tokyo (JP). グランディス インコーポレイテッド (Grandis, INC.) [US/US]; 95035 カリフォルニア州ミルピタス キャディラック コート １１２３ California (US).

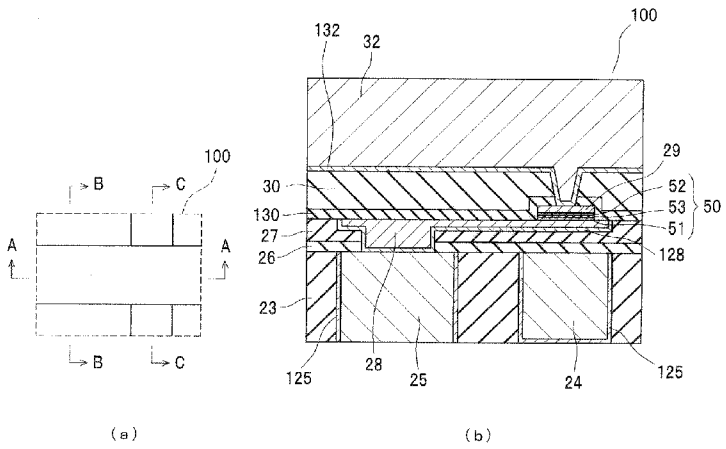
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 古田 陽雄 (FURUTA, Haruo) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 株式会社ルネサステクノロジ内 Tokyo (JP). 上野 修一 (UENO, Shuichi) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 株式会社ルネサステクノロジ内 Tokyo (JP). 松田 亮史 (MATSUDA, Ryoji) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 株式会社ルネサステクノロジ内 Tokyo (JP). 福村 達也 (FUKUMURA, Tatsuya) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 株式会社ルネサステクノロジ内 Tokyo (JP). 黒

[続葉有]

(54) **Title:** METHOD FOR MANUFACTURING MAGNETIC STORAGE DEVICE AND MAGNETIC STORAGE DEVICE

(54) 発明の名称: 磁気記憶装置の製造方法および磁気記憶装置

[図2]




(57) **Abstract:** Disclosed is a method for manufacturing a magnetic storage device comprising a TMR element, which comprises a step for forming an insulting film on an interlayer insulating film provided with a wiring layer, an opening formation step for forming an opening in the insulating film so that the wiring layer is exposed therefrom, a metal layer formation step for forming a metal layer on the insulating layer so that the opening is filled therewith, a CMP step for polishing and removing the metal layer on the insulating layer by a CMP method and forming the metal layer remaining in the opening into a lower electrode, and a step for forming a TMR element on the lower electrode. Also disclosed is a magnetic storage device comprising an interlayer insulating film provided with a wiring layer, an insulating film formed on the interlayer insulating film, an opening formed in the insulating film so that the wiring layer is exposed therefrom, a barrier metal layer provided so as to cover the inner surface of the opening, a lower electrode formed on the barrier metal so as to fill the opening, and a TMR element formed on the lower electrode.

(57) 要約: ＴＭＲ素子を含む磁気記憶装置の製造方法は、配線層が設けられた層間絶縁膜の上に、絶縁膜を形成する工程と、絶縁膜に、配線層が露出するように開口部を形成する開口工程と、開口部を埋めるように、絶縁層上に金属層を形成する金属層形成工程と、ＣＭＰ法を用いて絶縁層上の金属層を研磨除去し、開口部内に残った金属層を下部電極とするＣＭＰ工程と、下部電極上にＴＭＲ素子を形成する工程とを含む。また、磁気記憶装置は、配線層を備えた層間絶縁膜と、層間絶縁膜の上に設けら

[続葉有]

WO 2008/105372 A1

岩 丈晴 (KUROIWA, Takeharu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). ワン リエン－チェン (WANG, Lien-Chang) [US/US]; 95035 カリフォルニア州ミルピタス キャディラック コート １１２３ グランディス インコーポレイテッド内 California (US). チェン ユージン (CHEN, Eugene) [US/US]; 95035 カリフォルニア州ミルピタス キャディラック コート １１２３ グランディス インコーポレイテッド内 California (US). ホワイ イーミン (HUAI, Yiming) [US/US]; 95035 カリフォルニア州ミルピタス キャディラック コート １１２３ グランディス インコーポレイテッド内 California (US).

(74) 代理人: 田中 光雄，外(TANAKA, Mitsuo et al.); 〒5400001 大阪府大阪市中央区城見１丁目３番７号 ＩＭＰビル 青山特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書

れた絶縁膜と、絶縁膜に、配線層が露出するように設けられた開口部と、開口部の内面を覆うように設けられたバリアメタル層と、開口部を埋めるように、バリアメタル層上に設けられた下部電極と、下部電極に設けられたＴＭＲ素子とを含む。

# 明 細 書

## 磁気記憶装置の製造方法および磁気記憶装置

## 技術分野

[0001] 本発明は、磁気記憶装置の製造方法およびその構造に関し、特に、メモリセルの特性のばらつきを低減できる不揮発性磁気記憶装置の製造方法およびその構造に関する。

## 背景技術

[0002] 図42は、全体が500で表される従来構造の不揮発性磁気記憶装置(Magnetoresistive Random Access Memory、以下「MRAM」という。)の断面図であり、(a)は、1つのセルの断面図であり、(b)は、TMR(Tunneling Magneto-Resistance)素子の拡大図である。なお、TMR素子は、MTJ(Magnetic Tunneling Junction)素子と呼ぶ場合もある。

[0003] 層間絶縁膜23の上には、層間絶縁膜27が設けられ、ビアを介して配線層(デジットライン24)25に接続された、TMR素子50の下部電極(引き出し線)28が設けられている。下部電極28上には、TMR素子50、TMR素子50の上部電極29が設けられている。

[0004] 図42(b)に示すように、TMR素子50は、下部磁性膜51、上部磁性膜52、およびこれらに挟まれたトンネル絶縁膜53からなる。

[0005] 上部電極29の上には、層間絶縁膜30が形成されている。層間絶縁膜30には、上部電極29に届く開口部が設けられ、その中に、バリアメタル層132を介して配線層(ビットライン)32が形成されている。

[0006] MRAM500のメモリ動作では、下部磁性膜(ピン層)51の磁性の向きを固定しておき、デジットライン24とビットライン32に流した電流により誘起された合成磁場をTMR素子50に印加することにより、上部磁性膜(フリー層)52の磁性の向きを反転させて、データの書き込みを行う。下部磁性膜51の磁性の向きに対して、上部磁性膜52の磁性の向きが同一(平行)の場合と反対(反平行)の場合で、メモリセル50に電流を流した時の、トンネル絶縁膜53を流れるトンネル電流の抵抗値が異なり、この抵

抗値の違いがメモリの「0」および「1」に対応する。

特許文献1:特開2004－119478号公報

## 発明の開示

### 発明が解決しようとする課題

[0007] MRAM500では、MRAM500を構成する各TMR素子50間で、特性のばらつきが小さいことが求められる。特に、トンネル絶縁膜53は、下部磁性膜51と上部磁性層52との間の絶縁性を維持するとともに、読み出し時に流れるトンネル電流の値を略一定にするために、均一な膜厚にする必要がある。

[0008] しかしながら、従来のMRAM500では、MRAM500を構成する各TMR素子50間で読み出し電流がばらつくという問題があった。特に、MRAM500の小型化、高集積化にともない、この傾向が高かった。

また、TMR素子50の、下部磁性膜51と上部磁性膜52との間が短絡して、製造歩留まりが低下するという問題もあった。

[0009] これに対して、発明者らが検討した結果、TMR素子50を載置する下部電極28の上面の平坦性が、トンネル絶縁膜53の膜厚の均一性に大きく影響することを見出した。

また、従来の製造方法では、TMR素子50を形成した後に下部電極28のエッチングを行うため、下部電極28のエッチング工程でTMR素子50の側壁に異物が付着し、下部磁性膜51と上部磁性膜52との間の短絡が発生していることも見出した。

[0010] そこで、本発明は、TMR素子間の特性のばらつきを低減でき、かつ製造歩留まりの高い不揮発性磁気メモリの製造方法およびその構造を提供することを目的とする。

### 課題を解決するための手段

[0011] 本発明の一の実施例によれば、TMR素子を含む磁気記憶装置の製造方法が提供される。かかる製造方法は、配線層が設けられた層間絶縁膜の上に、絶縁膜を形成する工程と、絶縁膜に、配線層が露出するように開口部を形成する開口工程と、開口部を埋めるように、絶縁層上に金属層を形成する金属層形成工程と、CMP法を用いて絶縁層上の金属層を研磨除去し、開口部内に残った金属層を下部電極とするCMP工程と、下部電極上にTMR素子を形成する工程とを含む。

[0012] また、本発明の他の実施例によれば、TMR素子を含む磁気記憶装置が提供される。かかる磁気記憶装置は、配線層を備えた層間絶縁膜と、層間絶縁膜の上に設けられた絶縁膜と、絶縁膜に、配線層が露出するように設けられた開口部と、開口部の内面を覆うように設けられたバリアメタル層と、開口部を埋めるように、バリアメタル層上に設けられた下部電極と、下部電極に設けられたTMR素子とを含む。

## 発明の効果

[0013] 以上のように、本発明の一実施例では、TMR素子間の特性のばらつきが低減でき、かつ製造歩留まりの高い不揮発性磁気メモリを提供できる。また、本発明の他の実施例では、特性の良好な不揮発性磁気メモリを提供することができる。

## 発明を実施するための最良の形態

[0014] 実施の形態1.

図1は、全体が100で表される、実施の形態1にかかるMRAMであり、(a)に概略図を、(b)に回路図を、それぞれ示す。

図1(a)に示すように、MRAM100は、TMR素子50を含む。TMR素子50は、下部電極(引き出し電極)28の上に形成され、下部電極28と電気的に接続されている。下部電極28は、トランジスタ15に電気的に接続されている。TMR素子50の下方には、デジットライン25が設けられている。

また、TMR素子50は、ビットライン32にも接続されている。ビットライン32とデジットライン50は、略直交する方向に配置され、これらに流した電流による合成磁場により、TMR素子50のフリー層の磁場の方向を変化させる。

[0015] 図2は、図1のメモリセル(Memory Cell)150の拡大図であり、(a)は上面図、(b)はTMR素子近傍の断面図である。また、図3は、MRAM100の断面図であり、(a)は、図2(a)のA－A方向に見た場合の断面図、(b)は、図2(a)のB－B方向に見た場合の断面図、(c)は、図2(a)のC－C方向に見た場合の断面図である。図2、3中、図42と同一符号は、同一又は相当箇所を示す。

[0016] 図3に示すように、本実施の形態1にかかるMRAM100は、n型の半導体基板10を含む。半導体基板10には、素子分離領域2に挟まれてp型ウエル領域1が形成されている。p型ウエル領域1の上には、ゲート酸化膜11を介してゲート電極12が設け

られている。ゲート電極12の側壁には、絶縁膜14を介してサイドウォール13が設けられている。

また、p型ウエル領域1には、ゲート電極12を挟むように、n型のソース／ドレイン領域4が設けられている。ソース／ドレイン領域4に挟まれた、ゲート電極12の下部のウエル領域12は、チャネル領域となる。また、ソース／ドレイン領域4の上には、シリサイド層5が形成されている。以上の部分は、MRAMのスイッチング用トランジスタ15となる。

[0017] トランジスタの上には、層間絶縁膜16が設けられている。層間絶縁膜16には、シリサイド層5に届く開口部が設けられ、その中に、バリアメタル層117を介してコンタクトプラグ17が形成されている。

[0018] 層間絶縁膜16の上には、層間絶縁膜118、18が設けられている。層間絶縁膜11、18には、コンタクトプラグ17に届く開口部が設けられ、その中に、バリアメタル層119を介して1層目の配線層19が形成されている。

[0019] 層間絶縁膜18の上には、層間絶縁膜120、20が設けられている。層間絶縁膜120、20には、配線層19に届く開口部が設けられ、その中に、バリアメタル層122を介して2層目の配線層22が形成されている。

[0020] 層間絶縁膜20の上には、層間絶縁膜123、23が設けられている。層間絶縁膜123、23には、配線層22に届く開口部が設けられ、その中に、バリアメタル層125を介して3層目の配線層（デジットライン24）25が形成されている。

[0021] 図2（b）から明らかなように、本実施の形態1にかかるMRAM100では、3層目の配線層（デジットライン24）25および層間絶縁膜23の上に、例えば窒化シリコンからなる層間絶縁膜26と、例えば酸化シリコンからなる層間絶縁膜27とが積層されている。更に、層間絶縁膜26、27中にビアが設けられ、その中に埋め込まれるようにバリアメタル層128と下部電極28が設けられている。下部電極（引き出し線）28は、例えばタンタルからなり、CMP法を用いて形成されるため、非常に平坦な表面を有する（詳細は、製造方法についての説明中で述べる）。

[0022] 下部電極28の上には、TMR素子50、上部電極29が設けられている。TMR素子50は、下部磁性膜51、上部磁性層52、およびこれらに挟まれるトンネル絶縁膜53

からなる。TMR素子50の上は、ビアを介して、層間絶縁膜30、130上に設けられた4層目の配線層（ビットライン）32に接続されている。

[0023] 次に、図4～25を参照しながら、本実施の形態1にかかるMRAM100の製造方法について説明する。図4～25において、(a)、(b)、および(c)は、それぞれ図2の、A－A方向、B－B方向、およびC－C方向に見た場合の断面図である。図4～25中、図42と同一符号は、同一又は相当箇所を示す。

本実施の形態1にかかるMRAM100の製造方法は、以下の工程1～22を含む。

[0024] 工程1：図4に示すように、例えばシリコンからなる半導体基板10に、例えばSTI（Shallow Trench Isolation）等の素子分離領域2を形成する。

[0025] 工程2：図5に示すように、まず、半導体基板10の表面に熱酸化膜（図示せず）を形成する。続いて、イオン注入法を用いてp型のウエル領域1を形成する。例えばボロンを、加速電圧：200keV～500keV、不純物濃度：$5\times10^{12}$～$1\times10^{14}$／$cm^2$の条件で注入し、更に、加速電圧：15keV～70keV、不純物濃度：$3\times10^{12}$～$5\times10^{13}$／$cm^2$の条件で注入する。

[0026] 工程3：図6に示すように、熱酸化膜を除去した後に、例えば酸化シリコンからなるゲート絶縁膜11を形成する。更に、その上に、例えば多結晶シリコンからなるゲート電極12を形成する。

[0027] 工程4：図7に示すように、ゲート電極12の側壁に絶縁膜14を介してサイドウォール13を形成した後、p型のウエル領域1に、例えば砒素をイオン注入して、n型のソース／ドレイン領域4を形成する。イオン注入は、例えば、加速電圧：3keV～100keV、不純物濃度：$5\times10^{13}$～$5\times10^{15}$／$cm^2$の条件で行う。

[0028] 工程5：図8に示すように、例えば全面にコバルト層を堆積させ、熱処理により、ソース／ドレイン領域4の表面に、コバルトシリサイドからなるシリサイド層5を形成する。シリサイド層5を形成した後、未反応のコバルト層を除去する。

[0029] 工程6：図9に示すように、例えば、酸化シリコンからなる層間絶縁膜16を形成した後に、ソース／ドレイン領域4上のシリサイド層5が露出するように開口部を設け、開口部中に、バリアメタル層117およびプラグ17を埋め込む。バリアメタル層117は、例えば、TiN／Tiからなり、プラグ17は、タングステンからなる。

[0030] 工程7:図10に示すように、例えば窒化シリコンからなる層間絶縁膜118と、例えば酸化シリコンからなる層間絶縁膜18を形成する。続いて、プラグ17の表面が露出するように開口部を設け、バリアメタル層119および配線層19を埋め込む。窒化シリコンからなる層間絶縁膜118のエッチングには、例えば$CHF_3$系ガスを用いたRIEが用いられる。また、酸化シリコンからなる層間絶縁膜18のエッチングには、例えばCF4系ガスを用いたRIEが用いられる。バリアメタル層119は、例えば、TaN／Taからなり、配線層19は、銅からなる。

[0031] 工程8:図11に示すように、例えば窒化シリコンからなる層間絶縁膜120、酸化シリコンからなる層間絶縁膜20を形成し、開口部を設ける。続いてダマシン技術を用いて、開口部内に、バリアメタル層122および配線層22を埋め込む。バリアメタル層122は、例えばTaN／Taからなり、配線層22は、例えば銅からなる。これにより、2層目の配線層22が形成される。なお、配線層22(以下の配線層25等も同じ)には、銅の他にタングステンやタンタルを用いることも可能である。

[0032] 工程9:図12に示すように、例えば窒化シリコンからなる層間絶縁膜123、酸化シリコンからなる層間絶縁膜23を形成し、開口部を設ける。続いてダマシン技術を用いて、開口部内に、バリアメタル層125および配線層24、25を埋め込む。バリアメタル層125は、例えばTaN／Taからなり、配線層24、25は、例えば銅からなる。これにより、3層目の配線層(デジットライン24)25が形成される。

なお、図12中、(d)に示す断面図は、MRAM100の周辺回路部における断面図である。

[0033] 工程10:図13に示すように、配線層24、25や層間絶縁膜23を覆うように、例えば窒化シリコンからなる層間絶縁膜26、例えば酸化シリコンからなる層間絶縁膜27を順次堆積させる。続いて、レジストマスクを用いた異方性エッチングで、配線層25の表面が露出するように、開口部26aを形成する。

[0034] 工程11:図14に示すように、更に、レジストマスクに用いた異方性エッチングで、層間絶縁膜27中に、開口部27aを形成する。

[0035] 工程12:図15に示すように、開口部26a、27aを埋め込むように、例えばTiN／Tiのバリアメタル層128を形成した後、例えばタングステンからなる金属層228をCVD

法等で全面に形成する。

[0036] 工程13:図16に示すように、CMP(Chemical Mechanical Polishing)法を用いたダマシン技術により、金属層228を上方より研磨除去し、開口部26a、27aに埋め込まれるように金属層228を残す。金属層228のCMPには、例えばシリカ系のスラリーが用いられ、CMP工程後は洗浄が行われる。このようにして残された金属層228は、下部電極(引き出し配線)28となる。

[0037] 工程14:図17に示すように、TMR素子を構成する下部磁性膜51、トンネル絶縁膜53、および上部磁性膜52を、順次、スパッタ法等で堆積させる。下部磁性膜51、上部磁性膜52は、例えばパーマロイ系金属等の強磁性体膜からなり、トンネル絶縁膜53は、例えばアルミナやMgOからなる。

更に、上部磁性膜52の上には、例えば、タングステンからなる金属層229を堆積させる。

[0038] 工程15:図18に示すように、レジストマスクを用いたRIE法等により、下部磁性膜51、トンネル絶縁膜53、上部磁性膜52、および金属層229をパターニングし、下部磁性膜51、トンネル絶縁膜53、および上部磁性膜52からなるTMR素子、及び上部電極29を形成する。

[0039] 工程16:図19に示すように、例えば窒化シリコンからなる層間絶縁膜130を堆積させる。

[0040] 工程17:図20に示すように、例えば酸化シリコンからなる層間絶縁膜30を堆積させる。

[0041] 工程18:図21に示すように、表面の段差をなくすために、CMP法を用いて層間絶縁膜30を途中まで、研磨除去する。

[0042] 工程19:図22に示すように、レジストマスク(図示せず)を用いた異方性エッチングにより、上部電極29の表面が露出するようにビア30aを形成する。

[0043] 工程20:図23に示すように、更に、レジストマスク(図示せず)を用いた異方性エッチングにより、配線溝30bを形成する。

[0044] 工程21:図24に示すように、配線溝30bを埋め込むように、例えばTaN/Taからなるバリアメタル層132、および例えば銅からなる配線層(ビットライン)32を形成する

。

[0045] 工程22：図25に示すように、例えばCVD法を用いて、窒化シリコンや酸化シリコンからなるパッシベーション膜33を形成する。

以上の工程で、本実施の形態1にかかるMRAM100が完成する。

[0046] このように、本実施の形態1にかかるMRAM100の製造方法では、工程13（図16）に示すように、TMR素子50を載置する下部電極28を、CMP法を用いて形成するため、下部電極28の表面は非常に平坦になる。このため、下部電極28の上に形成されるTMR素子50、特にトンネル絶縁膜53の膜厚を精度良く制御できる。

この結果、トンネル絶縁膜53の膜厚のばらつきに起因する、TMR素子50間の読み出し電流のばらつきを低減したMRAM100の提供が可能となる。

[0047] また、従来は、下部電極28となる金属層、下部磁性膜51、トンネル絶縁膜53、上部磁性膜52、および上部電極29となる金属層を積層した後に、まず、下部磁性膜51、トンネル絶縁膜53、上部磁性膜52、および上部電極29となる金属層を同時にエッチングして、上部電極29およびTMR素子50を形成し、最後に金属層をRIE等でエッチングして下部電極28を形成していた。このため、下部電極28等のエッチング残渣がTMR素子50の側壁に付着して、下部磁性膜51と上部磁性膜52との間で短絡が発生していた。これに対して、本実施の形態1にかかる製造方法では、下部電極28をCMP法で形成した後に、TMR素子50を作製するため、TMR素子50の側壁にエッチング残渣が付着することはなく、下部磁性膜51と上部磁性膜52との間の短絡を防止でき、製造歩留まりを向上させることができる。

[0048] 図26は、全体が180で表される、本実施の形態にかかる他のメモリセルの断面図であり、本発明をSTT（Spin Torque Transfer）－RAMに適用した構造である。図26中、図2と同一符号は、同一または相当箇所を示す。

[0049] 図26に示されるように、STT－RAMのメモリセル180では、配線層25の直上にTMR素子50が形成されている。

[0050] メモリセル180では、ダマシン技術を用いて、CMP法で下部電極28を形成するため、下部電極28の表面は非常に平坦になる。下部電極28は、例えば、W、Cu、Ta等からなる。この結果、各メモリセル180の間の、磁気特性のばらつきを小さくでき、

高性能のSTT－RAMを得ることができる。下部電極28の直上にTMR素子が形成されるSTT－RAMにおいては、トンネル絶縁膜の平坦性は特に重要であり、下部電極28およびトンネル絶縁膜53の平坦性を向上できる本実施の形態は、STT－RAMに特に効果的である。

[0051] また、従来は、下部電極（引き出し線）28の加工時にTMR膜の側壁に付着物が堆積したが、本実施の形態では、TMR膜の加工前に下部電極28を形成するため、TMR膜の側壁への付着物の堆積を防止し、上部磁性膜（フリー層）52と下部磁性膜（ピン層）51との間でのリークを防止できる。

[0052] 実施の形態2.

図27は、全体が200で表される、実施の形態2にかかるMRAMのメモリセル150（図1参照）の拡大図であり、（a）は上面図、（b）はTMR素子近傍の断面図である。また、図28は、MRAM200の断面図であり、（a）は、図27（a）のA－A方向に見た場合の断面図、（b）は、図27（a）のB－B方向に見た場合の断面図、（c）は、図27（a）のC－C方向に見た場合の断面図である。図27、28中、図42と同一符号は、同一又は相当箇所を示す。

[0053] 本実施の形態2にかかるMRAM200では、3層目の配線層（デジットライン24）25より下部の構造は、上述のMRAM100と同じ構造である。

図27（b）から明らかなように、本実施の形態2にかかるMRAM200では、3層目の配線層（デジットライン24）25および層間絶縁膜23の上に、例えば窒化シリコンからなる層間絶縁膜65と、例えば酸化シリコンかえらなる層間絶縁膜66とが積層され、これらの層に設けられた開口部に、例えばTaN／Taからなるバリアメタル層160、および例えば銅からなる配線層（コンタクトプラグ）60が埋め込まれている。

[0054] 更に、配線層（コンタクトプラグ）60の上に、例えば窒化シリコンからなる層間絶縁膜67と、例えば酸化シリコンからなる層間絶縁膜68が積層され、これらの層に設けられた開口部に、例えばTiN／Tiのバリアメタル層128、例えばタングステンからなる下部電極28が形成されている。

[0055] 下部電極28の上には、TMR素子50等が設けられているが、これらの構造は、上述のMRAM100と同様である。

[0056] 続いて、図29～33を参照しながら、本実施の形態2にかかるMRAM200の製造方法について説明する。図29～33において、(a)、(b)、および(c)は、それぞれ図27の、A－A方向、B－B方向、およびC－C方向に見た場合の断面図である。図29～33中、図42と同一符号は、同一又は相当箇所を示す。

[0057] 本実施の形態2にかかるMRAM200の製造方法は、以下の工程10～22を含むが、これ以前の工程は、上述の実施の形態1に示す工程と同様である。即ち、実施の形態1で説明した工程1～9(図4～12)に続いて、以下の工程が行われる。

[0058] 工程10:図29に示すように、配線層24、25や層間絶縁膜23を覆うように、例えば窒化シリコンからなる層間絶縁膜65、例えば酸化シリコンからなる層間絶縁膜66を順次堆積させる。続いて、レジストマスクを用いた異方性エッチングで、配線層25の表面が露出するように、開口部を形成する。

続いて、例えばTaN／Taからなるバリアメタル層160、および例えば銅からなる配線層(コンタクトプラグ)60を、例えばCMP法を用いて開口部に埋め込むように形成する。

[0059] 工程11:図30に示すように、例えば窒化シリコンからなる層間絶縁膜67、例えば酸化シリコンからなる層間絶縁膜68を順次堆積させる。

[0060] 工程12:図31に示すように、レジストマスクを用いた異方性エッチングで、配線層60の表面が露出するように、層間絶縁膜67、68中に開口部68aを形成する。

[0061] 工程13:図32に示すように、層間絶縁膜68の上に、開口部68aを埋め込むように、例えばTiN／Tiのバリアメタル層128を形成した後、例えばタングステンからなる金属層層228をCVD法等で全面に形成する。

[0062] 工程14:図33に示すように、CMP法を用いたダマシン技術により、金属層228を上方より研磨除去し、開口部68aに埋め込まれるように金属層228を残す。金属層228のCMPには、例えばシリカ系のスラリーが用いられ、CMP工程後は、RCE洗浄が行われる。このようにして残された金属層228は、下部電極(引き出し配線)28となる。

[0063] 以下の工程は、上述の実施の形態1の工程14～19(図17～22)と同様である。以上の工程で、本実施の形態2にかかるMRAM200が完成する。

[0064] このように、本実施の形態2にかかるMRAM200の製造方法では、工程14（図33）に示すように、TMR素子50を載置する下部電極28を、CMP法を用いて形成するため、下部電極28の表面は非常に平坦になる。このため、下部電極28の上に形成されるTMR素子50、特にトンネル絶縁膜53の膜厚を精度良く制御できる。

この結果、トンネル絶縁膜53の膜厚のばらつきに起因する、TMR素子50間の読み出し電流のばらつきを低減したMRAM200の提供が可能となる。

[0065] また、下部電極28をCMP法で形成した後に、TMR素子50を作製するため、TMR素子50の側壁にエッチング残渣が付着することはなく、下部磁性膜51と上部磁性膜52との間の短絡を防止でき、製造歩留まりを向上させることができる。

[0066] 特に、MRAM200では、下部電極28の下の配線層（コンタクトプラグ）60を、下部電極28の材料（タングステン）とは異なる銅から形成するため、配線層（コンタクトプラグ）60の電気抵抗を低くすることができる。

[0067] 図34は、全体が280で表される、本実施の形態にかかる他のメモリセルの断面図であり、本発明をSTT（Spin Torque Transfer）－RAMに適用した構造である。図34中、図27と同一符号は、同一または相当箇所を示す。

[0068] 図34に示されるように、STT－RAMのメモリセル280では、配線層25の直上にTMR素子50が形成されている。

[0069] メモリセル280では、ダマシン技術を用いて、CMP法で下部電極28を形成するため、下部電極28の表面は非常に平坦になる。より具体的には、配線層25と下部電極28とを、シングルダマシン技術を用いて異なる材料から形成する。例えば、配線層25、下部電極28は、W、Cu、Ta等からなる。この結果、各メモリセル280の間の、磁気特性のばらつきを小さくでき、高性能のSTT－RAMを得ることができる。下部電極28の直上にTMR素子が形成されるSTT－RAMにおいては、トンネル絶縁膜の平坦性は特に重要であり、下部電極28およびトンネル絶縁膜53の平坦性を向上できる本実施の形態は、STT－RAMに特に効果的である。

[0070] また、従来は、下部電極（引き出し線）28の加工時にTMR膜の側壁に付着物が堆積したが、本実施の形態では、TMR膜の加工前に下部電極28を形成するため、TMR膜の側壁への付着物の堆積を防止し、上部磁性膜（フリー層）52と下部磁性膜（

ピン層）51との間でのリークを防止できる。

[0071] 実施の形態3.

図35は、全体が300で表される、実施の形態3にかかるMRAMのメモリセル150（図1参照）の拡大図であり、（a）は上面図、（b）はTMR素子近傍の断面図である。また、図36は、MRAM300の断面図であり、（a）は、図35（a）のA－A方向に見た場合の断面図、（b）は、図35（a）のB－B方向に見た場合の断面図、（c）は、図35（a）のC－C方向に見た場合の断面図である。図33、34中、図42と同一符号は、同一又は相当箇所を示す。

[0072] 本実施の形態3にかかるMRAM300では、3層目の配線層（デジットライン）25より下部の構造は、上述のMRAM100と同じ構造である。

図35（b）から明らかなように、本実施の形態3にかかるMRAM300では、3層目の配線層（デジットライン24）25および層間絶縁膜23の上に、例えば窒化シリコンからなる層間絶縁膜26と、例えば酸化シリコンかえらなる層間絶縁膜27とが積層されている。更に、層間絶縁膜26、27中にビアが設けられ、その中に埋め込まれるようにバリアメタル層128と下部電極28が設けられている。下部電極（引き出し線）28は、例えばタンタルからなり、CMP法を用いて形成されるため、非常に平坦な表面を有する（詳細は、製造方法についての説明中で述べる）。

[0073] 下部電極28の上は、TMR素子50が形成される位置に上部が平坦な凸部を有し、その上にTMR素子50が配置されている。その凸部とTMR素子50とは連続するほぼ同一の断面を有する。即ち凸部の側面とTMR素子50の側面がほぼ揃っている。また層間絶縁膜27の表面と、層間絶縁膜27に埋め込まれた下部電極28の表面とが、ほぼ同一平面となっている。

[0074] TMR素子50より上方の構造は、上述のMRAM100と同様である。

[0075] 続いて、図37～39を参照しながら、本実施の形態3にかかるMRAM300の製造方法について説明する。図37～39において、（a）、（b）、および（c）は、それぞれ図27の、A－A方向、B－B方向、およびC－C方向に見た場合の断面図であり、（d）は周辺回路部の断面図である。図37～39中、図42と同一符号は、同一又は相当箇所を示す。

[0076] 本実施の形態3にかかるMRAM300の製造方法は、以下の工程13～15を含むが、これ以前の工程は、上述の実施の形態1に示す工程と同様である。即ち、実施の形態1で説明した工程1～12(図4～15)に続いて、以下の工程が行われる。

[0077] 工程13:図37に示すように、CMP法を用いたダマシン技術により、金属層228を上方より研磨する。金属層228のCMPには、例えばシリカ系のスラリーが用いられ、CMP工程後は洗浄が行われる。工程13が終了した時点では、層間絶縁膜27の開口部内だけでなく、表面上にも金属層228が残っている。

[0078] 工程14:図38に示すように、TMR素子を構成する下部磁性膜51、トンネル絶縁膜53、および上部磁性膜52を、金属層228の上に、順次、スパッタ法等で堆積させる。下部磁性膜51、上部磁性膜52は、例えばパーマロイ系金属等の強磁性体膜からなり、トンネル絶縁膜53は、例えばアルミナやMgOからなる。

更に、上部磁性膜52の上には、例えば、タングステンからなる金属層229を堆積させる。

[0079] 工程15:図39に示すように、レジストマスク(図示せず)を用いたRIE法等のエッチングにより、下部磁性膜51、トンネル絶縁膜53、上部磁性膜52、および金属層229をパターニングし、下部磁性膜51、トンネル絶縁膜53、および上部磁性膜52からなるTMR素子、及び上部電極29を形成する。かかるエッチング工程は、層間絶縁膜27上の金属層228が除去され、層間絶縁膜27の表面が露出するまで行われる。この結果、層間絶縁膜27の表面と、層間絶縁膜27に埋め込まれた下部電極28の表面とが、ほぼ同一平面となる。更に、TMR素子50の下部には、TMR素子50とほぼ同一の断面を有する、下部電極28の一部からなり、上部が平坦な凸部が形成される。かかる凸部は、TMR素子50の下部に、自己整合的に形成される。即ち凸部の側面とTMR素子50の側面は、同一のマスクでエッチングされるばらつきの範囲内で揃っている。

[0080] 以下の工程は、上述の実施の形態1の工程16～19(図19～22)と同様である。以上の工程で、本実施の形態3にかかるMRAM300が完成する。

[0081] このように、本実施の形態3にかかるMRAM300の製造方法では、工程13(図37)に示すように、TMR素子50を載置する下部電極28を、CMP法を用いて形成する

ため、下部電極28の表面は非常に平坦になる。このため、下部電極28の上に形成されるTMR素子50、特にトンネル絶縁膜53の膜厚を精度良く制御できる。

この結果、トンネル絶縁膜53の膜厚のばらつきに起因する、TMR素子50間の読み出し電流のばらつきを低減したMRAM300の提供が可能となる。

[0082] また、下部電極28をCMP法で形成した後に、TMR素子50を作製するため、TMR素子50の側壁にエッチング残渣が付着することはなく、下部磁性膜51と上部磁性膜52との間の短絡を防止でき、製造歩留まりを向上させることができる。

[0083] 更に、本実施の形態3にかかるMRAM300では、下部電極28の一部からなる凸部が、TMR素子50の下部に自己整合的形成される。このため、常に、上面が平坦な下部電極28上にTMR素子50が載置され、トンネル絶縁膜53の膜厚のばらつきに起因する、TMR素子50間の読み出し電流のばらつきを防止することができる。

[0084] 図40は、特に、MRAM300を小型化、集積化した場合の効果を示す断面図である。

(a)は、MRAM300の断面図であり、(b)は、横方向に小型化(集積化)したMRAM300の断面図である。また、(d)は、従来構造のMRAM500の断面図である。

[0085] (d)に示す従来のMRAM500では、小型化した場合でも下部電極28の上にTMR素子50が載置されるように、マージンL2を設ける必要があり、小型化(集積化)の制限となっていた。

これに対して、MRAM300では、TMR素子50の下部に常に下部電極28が形成されているため、従来構造のようなマージンL2を設ける必要がない。

[0086] また、従来構造のMRAMでは、配線層25に接続された領域近傍では、下部電極28の表面は平坦ではない。従って、TMR素子50を形成する場合、マージンL1を設ける必要があった。

これに対して、MRAM300では、TMR素子50の下部に常に下部電極28が形成されているため、従来構造のようなマージンL1を考慮する必要がない。

[0087] 一方、(c)は、下部電極28をCMP法で形成したMRAMの断面図である。かかる断面図からわかるように、下部電極28は、CMP処理によるエロージョンにより、中央部が窪む場合がある。このため、(c)に示すような位置にTMR素子50が形成された

場合、TMR素子50が段差上に位置することになる。よって、トンネル絶縁膜53の膜厚のばらつき、TMR素子50間の読み出し電流のばらつきが問題となる。このため、下部電極28の平坦な領域にTMR素子50を形成するには、マージンL1を設ける必要があり、小型化(集積化)の制限となっていた。

[0088] このように、本実施の形態3にかかるMRAM300では、上面が平坦な、凸部状の下部電極28の上に、自己整合的にTMR素子50が形成されるため、従来構造のようなマージンを設ける必要がなく、MRAM300の小型化、集積化が可能となる

[0089] 図41は、全体が380で表される、本実施の形態にかかる他のメモリセルの断面図であり、本発明をSTT(Spin Torque Transfer)－RAMに適用した構造である。図41中、図35と同一符号は、同一または相当箇所を示す。

[0090] 図41に示されるように、STT－RAMのメモリセル380では、配線層25の直上にTMR素子50が形成されている。

[0091] メモリセル380では、下部電極(引き出し線)28の形成時に、CMP処理(途中止め)を行って表面を平坦化し、TMR膜加工時に下部電極28も同時に加工する。このため、下部電極28の表面は非常に平坦になる。下部電極28は、例えば、W、Cu、Ta等からなる。この結果、各メモリセル380の間の、磁気特性のばらつきを小さくでき、高性能のSTT－RAMを得ることができる。下部電極28の直上にTMR素子が形成されるSTT－RAMにおいては、トンネル絶縁膜の平坦性は特に重要であり、下部電極28およびトンネル絶縁膜53の平坦性を向上できる本実施の形態は、STT－RAMに特に効果的である。

[0092] また、下部電極28のCMP処理を途中で止めるため、ディッシングを防止できる。更に、TMR膜と下部電極28とを同時に加工するため、図40に示すL1、L2を小さくでき、セルサイズの小型化が可能となる。

## 図面の簡単な説明

[0093] [図1]本発明の実施の形態1にかかるMRAMの概略図および回路図である。

[図2]本発明の実施の形態1にかかるMRAMのメモリセルの拡大図である。

[図3]本発明の実施の形態1にかかるMRAMの断面図である。

[図4]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図5]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図6]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図7]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図8]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図9]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図10]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図11]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図12]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図13]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図14]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図15]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図16]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図17]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図18]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図19]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図20]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図21]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図22]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図23]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図24]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図25]本発明の実施の形態1にかかるMRAMの製造工程の断面図である。

[図26]本発明の実施の形態1にかかるSTT－RAMのメモリセルの拡大図である。

[図27]本発明の実施の形態2にかかるMRAMのメモリセルの拡大図である。

[図28]本発明の実施の形態2にかかるMRAMの断面図である。

[図29]本発明の実施の形態2にかかるMRAMの製造工程の断面図である。

[図30]本発明の実施の形態2にかかるMRAMの製造工程の断面図である。

[図31]本発明の実施の形態2にかかるMRAMの製造工程の断面図である。

[図32]本発明の実施の形態2にかかるMRAMの製造工程の断面図である。

[図33]本発明の実施の形態2にかかるMRAMの製造工程の断面図である。

[図34]本発明の実施の形態2にかかるSTT－RAMのメモリセルの拡大図である。

[図35]本発明の実施の形態3にかかるMRAMのメモリセルの拡大図である。

[図36]本発明の実施の形態3にかかるMRAMの断面図である。

[図37]本発明の実施の形態3にかかるMRAMの製造工程の断面図である。

[図38]本発明の実施の形態3にかかるMRAMの製造工程の断面図である。

[図39]本発明の実施の形態3にかかるMRAMの製造工程の断面図である。

[図40]本発明の実施の形態3にかかるMRAMの特徴を説明する断面図である。

[図41]本発明の実施の形態3にかかるSTT－RAMのメモリセルの拡大図である。

[図42]従来のMRAMの断面図である。

符号の説明

[0094] 23 層間絶縁膜、25 配線層（デジットライン）、26、27 層間絶縁膜、28 下部電極、29 上部電極、30 層間絶縁膜、32 配線層（ビットライン）、50 TMR素子、51 下部磁性膜、52 上部磁性膜、53 トンネル絶縁膜、100 MRAM、 125、128、132 バリアメタル層。

# 請求の範囲

[1] TMR素子を含む磁気記憶装置の製造方法であって、

配線層が設けられた層間絶縁膜の上に、絶縁膜を形成する工程と、

該絶縁膜に、該配線層が露出するように開口部を形成する開口工程と、

該開口部を埋めるように、該絶縁層上に金属層を形成する金属層形成工程と、

CMP法を用いて該絶縁層上の該金属層を研磨除去し、該開口部内に残った該金属層を下部電極とするCMP工程と、

該下部電極上にTMR素子を形成する工程とを含むことを特徴とする磁気記憶装置の製造方法。

[2] 上記開口工程と上記金属層形成工程との間に、該開口部の内面と該絶縁層の表面とを覆うように、バリアメタル層を形成する工程を含むことを特徴とする請求項1に記載の磁気記憶装置の製造方法。

[3] 上記開口工程が、上記絶縁層の表面から上記配線層の表面に達する第1開口部を形成した後、該絶縁層の表面から該絶縁層の途中まで、該第1開口部と連通し、該第1開口部より開口面積の大きい第2開口部を形成する工程であることを特徴とする請求項1に記載の磁気記憶装置の製造方法。

[4] TMR素子を含む磁気記憶装置の製造方法であって、

配線層が設けられた層間絶縁膜の上に、第1絶縁膜を形成する工程と、

該第1絶縁膜に、該配線層が露出するように第1開口部を形成する第1開口工程と、

該第1開口部を埋めるように、該第1絶縁層上に第1金属層を形成する第1金属層形成工程と、

CMP法を用いて該第1絶縁層上の該第1金属層を研磨除去し、該第1開口部内に残った該第1金属層をプラグとする工程と、

該プラグが設けられた該第1層間絶縁膜の上に、該第2絶縁膜を形成する工程と、

該第2絶縁膜に、該プラグが露出するように第2開口部を形成する第2開口工程と、

該第2開口部を埋めるように、該第2絶縁層上に第2金属層を形成する第2金属層形成工程と、

CMP法を用いて該第2絶縁層上の該第2金属層を研磨除去し、該第2開口部内に残った該第2金属層を下部電極とする工程と、

該下部電極上にTMR素子を形成する工程とを含むことを特徴とする磁気記憶装置の製造方法。

[5] 上記第1開口工程と上記第1金属層形成工程との間に、上記第1開口部の内面と上記第1絶縁層の表面とを覆うように、第1バリアメタル層を形成する工程を含み、

上記第2開口工程と上記第2金属層形成工程との間に、上記第2開口部の内面と上記第2絶縁層の表面とを覆うように、第2バリアメタル層を形成する工程を含むことを特徴とする請求項4に記載の磁気記憶装置の製造方法。

[6] TMR素子を含む磁気記憶装置の製造方法であって、

配線層が設けられた層間絶縁膜の上に、絶縁膜を形成する工程と、

該絶縁膜に、該配線層が露出するように開口部を形成する開口工程と、

該開口部を埋めるように、該絶縁層上に金属層を形成する金属層形成工程と、

CMP法を用いて該絶縁層上の該金属層を途中まで研磨除去し、該絶縁層上に所定膜厚の該金属層を残す工程と、

該金属層上に、下部磁性膜、トンネル絶縁膜、上部磁性膜を形成する工程と、

エッチングマスクを用いて、該上部磁性膜、該トンネル絶縁膜、該下部磁性膜をエッチングするとともに、該絶縁膜が露出するまで該金属層をエッチングし、該下部磁性膜、該トンネル絶縁膜、および該上部磁性膜からなるTMR素子と、該TMR素子を載置する凸部を有する金属層からなる下部電極とを形成する工程とを含むことを特徴とする磁気記憶装置の製造方法。

[7] 上記開口工程と上記金属層形成工程との間に、上記開口部の内面と上記絶縁層の表面とを覆うように、バリアメタル層を形成する工程を含むことを特徴とする請求項6に記載の磁気記憶装置の製造方法。

[8] TMR素子を含む磁気記憶装置であって、

配線層を備えた層間絶縁膜と、

該層間絶縁膜の上に設けられた絶縁膜と、

該絶縁膜に、該配線層が露出するように設けられた開口部と、

該開口部の内面を覆うように設けられたバリアメタル層と、

該開口部を埋めるように、該バリアメタル層上に設けられた下部電極と、

該下部電極に設けられた該TMR素子とを含むことを特徴とする磁気記憶装置。

[9] TMR素子を含む磁気記憶装置であって、

配線層を備えた層間絶縁膜と、

該層間絶縁膜の上に設けられた絶縁膜と、

該絶縁膜に、該配線層が露出するように設けられた開口部と、

該開口部を埋めるように設けられた、プラグおよび該下部電極と、

該下部電極上に設けられた該TMR素子とを含むことを特徴とする磁気記憶装置。

[10] 上記プラグと上記下部電極が、異なる材料からなることを特徴とする請求項9に記載の磁気記憶装置。

[11] TMR素子を含む磁気記憶装置であって、

配線層を備えた層間絶縁膜と、

該層間絶縁膜の上に設けられた絶縁膜と、

該絶縁膜に、該配線層が露出するように設けられた開口部と、

該開口部を埋めるように設けられ、上面が平坦な凸部を有する下部電極と、

該下部電極の該凸部上に設けられた該TMR素子とを含むことを特徴とする磁気記憶装置。

[12] 上記下部電極の上面、および上記TMR素子を覆うように窒化シリコン膜が設けられたことを特徴とする請求項8～11のいずれかに記載の磁気記憶装置。

# 補正された請求の範囲
## [2008年7月25日（25．07．2008）国際事務局受理]

［１］（補正後）　ＴＭＲ素子を含む磁気記憶装置の製造方法であって、

配線層が設けられた層間絶縁膜の上に、絶縁膜を形成する工程と、

該絶縁膜に、該配線層が露出するように開口部を形成する開口工程と、

該開口部を埋めるように、該絶縁層上に金属層を形成する金属層形成工程と、

ＣＭＰ法を用いて該絶縁層上の該金属層を、該絶縁層の上面が露出するように研磨除去し、該開口部内に残った該金属層を下部電極とするＣＭＰ工程と、

該下部電極上にＴＭＲ素子を形成する工程とを含むことを特徴とする磁気記憶装置の製造方法。

［２］　上記開口工程と上記金属層形成工程との間に、該開口部の内面と該絶縁層の表面とを覆うように、バリアメタル層を形成する工程を含むことを特徴とする請求項１に記載の磁気記憶装置の製造方法。

［３］（補正後）　上記開口工程が、上記絶縁層の表面から上記配線層の表面に達する第１開口部を形成した後、該絶縁層の表面から該絶縁層の途中まで、該第１開口部と連通し、該第１開口部より開口面積の大きい第２開口部を形成する工程であることを特徴とする請求項１または請求項２に記載の磁気記憶装置の製造方法。

［４］（補正後）　ＴＭＲ素子を含む磁気記憶装置の製造方法であって、

配線層が設けられた層間絶縁膜の上に、第１絶縁膜を形成する工程と、

該第１絶縁膜に、該配線層が露出するように第１開口部を形成する第１開口工程と、

該第１開口部を埋めるように、該第１絶縁層上に第１金属層を形成する第１金属層形成工程と、

ＣＭＰ法を用いて該第１絶縁層上の該第１金属層を、該第１絶縁層の上面が露出するように研磨除去し、該第１開口部内に残った該第１金属層をプラグとする工程と、

該プラグが設けられた該第１層間絶縁膜の上に、該第２絶縁膜を形成する工程と、

該第２絶縁膜に、該プラグが露出するように第２開口部を形成する第２開口工

程と、

該第２開口部を埋めるように、該第２絶縁層上に第２金属層を形成する第２金属層形成工程と、

ＣＭＰ法を用いて該第２絶縁層上の該第２金属層を、該第２絶縁膜が露出するように研磨除去し、該第２開口部内に残った該第２金属層を下部電極とする工程と、

該下部電極上にＴＭＲ素子を形成する工程とを含むことを特徴とする磁気記憶装置の製造方法。

［５］　上記第１開口工程と上記第１金属層形成工程との間に、上記第１開口部の内面と上記第１絶縁層の表面とを覆うように、第１バリアメタル層を形成する工程を含み、

上記第２開口工程と上記第２金属層形成工程との間に、上記第２開口部の内面と上記第２絶縁層の表面とを覆うように、第２バリアメタル層を形成する工程を含むことを特徴とする請求項４に記載の磁気記憶装置の製造方法。

［６］　ＴＭＲ素子を含む磁気記憶装置の製造方法であって、

配線層が設けられた層間絶縁膜の上に、絶縁膜を形成する工程と、

該絶縁膜に、該配線層が露出するように開口部を形成する開口工程と、

該開口部を埋めるように、該絶縁層上に金属層を形成する金属層形成工程と、

ＣＭＰ法を用いて該絶縁層上の該金属層を途中まで研磨除去し、該絶縁層上に所定膜厚の該金属層を残す工程と、

該金属層上に、下部磁性膜、トンネル絶縁膜、上部磁性膜を形成する工程と、

エッチングマスクを用いて、該上部磁性膜、該トンネル絶縁膜、該下部磁性膜をエッチングするとともに、該絶縁膜が露出するまで該金属層をエッチングし、該下部磁性膜、該トンネル絶縁膜、および該上部磁性膜からなるＴＭＲ素子と、該ＴＭＲ素子を載置する凸部を有する金属層からなる下部電極とを形成する工程とを含むことを特徴とする磁気記憶装置の製造方法。

［７］　上記開口工程と上記金属層形成工程との間に、上記開口部の内面と上記絶縁層の表面とを覆うように、バリアメタル層を形成する工程を含むことを特徴とする請求項６に記載の磁気記憶装置の製造方法。

［８］　ＴＭＲ素子を含む磁気記憶装置であって、

配線層を備えた層間絶縁膜と、

該層間絶縁膜の上に設けられた絶縁膜と、

該絶縁膜に、該配線層が露出するように設けられた開口部と、

該開口部の内面を覆うように設けられたバリアメタル層と、

該開口部を埋めるように、該バリアメタル層上に設けられた下部電極と、

該下部電極に設けられた該ＴＭＲ素子とを含むことを特徴とする磁気記憶装置。

［９］（補正後）　ＴＭＲ素子を含む磁気記憶装置であって、

配線層を備えた層間絶縁膜と、

該層間絶縁膜の上に設けられた第１絶縁膜と、

該第１絶縁膜に、該配線層が露出するように設けられた第１開口部と、

該第１開口部内を埋めるように設けられたプラグと、

該プラグおよび該第１絶縁膜上に設けられた第２絶縁膜と、

該第２絶縁膜に該プラグが露出するように設けられた第２開口部と、

該第２開口部内を埋めるように設けられた下部電極と、

該第２開口部内に設けられた該下部電極上に設けられた該ＴＭＲ素子とを含むことを特徴とする磁気記憶装置。

［１０］　上記プラグと上記下部電極が、異なる材料からなることを特徴とする請求項９に記載の磁気記憶装置。

［１１］　ＴＭＲ素子を含む磁気記憶装置であって、

配線層を備えた層間絶縁膜と、

該層間絶縁膜の上に設けられた絶縁膜と、

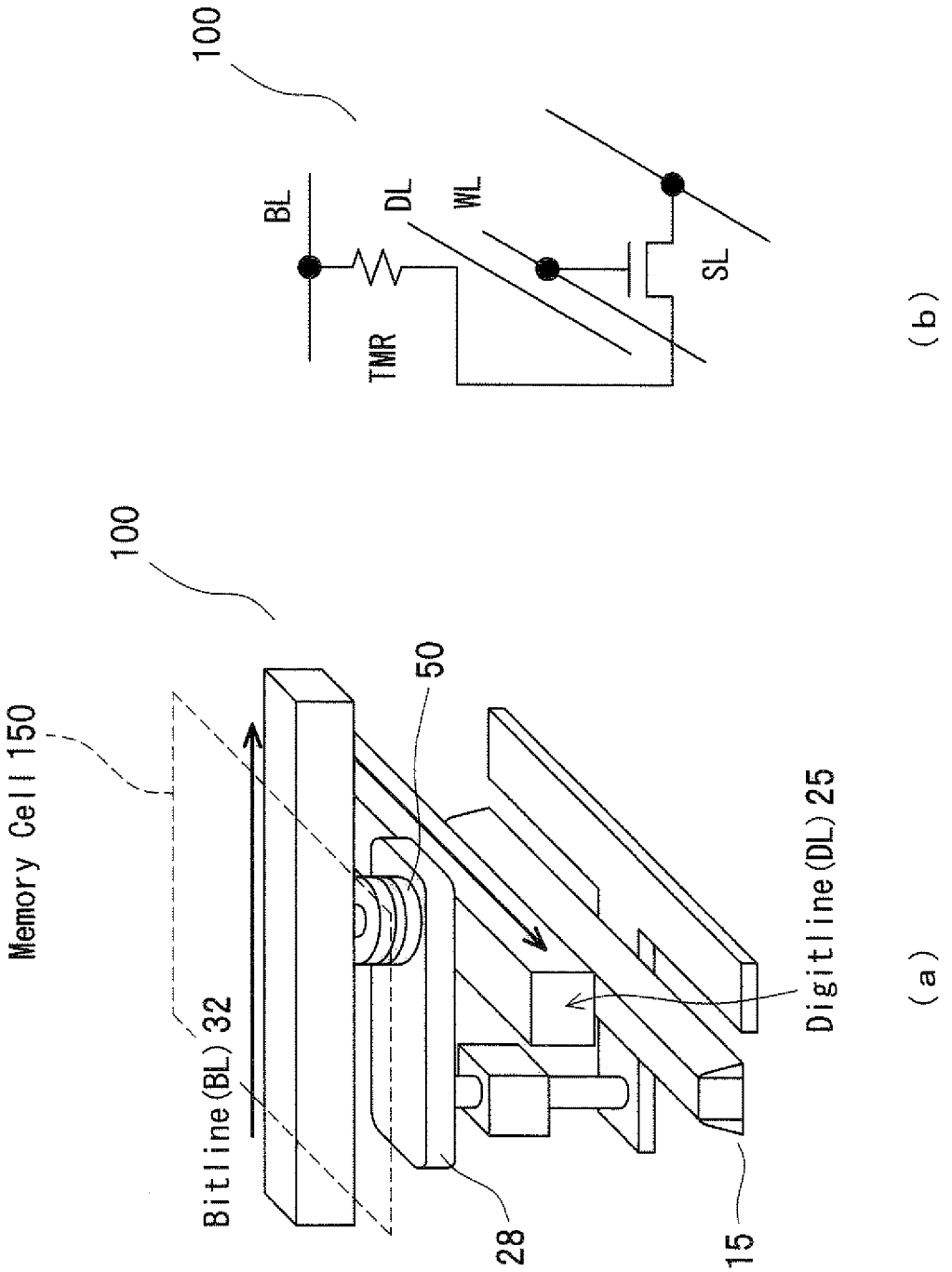
該絶縁膜に、該配線層が露出するように設けられた開口部と、

該開口部を埋めるように設けられ、上面が平坦な凸部を有する下部電極と、

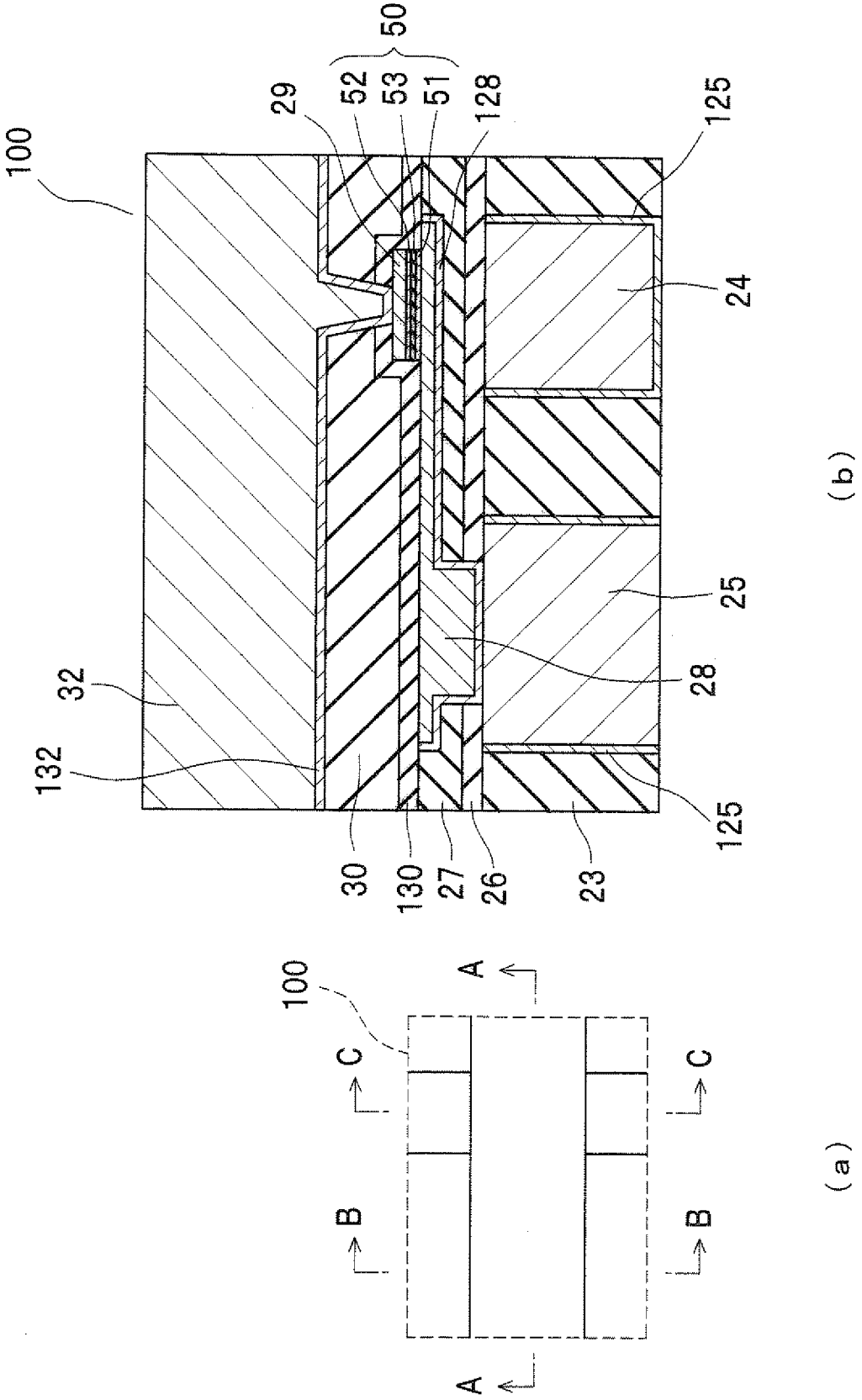
該下部電極の該凸部上に設けられた該ＴＭＲ素子とを含むことを特徴とする磁気記憶装置。

［１２］　上記下部電極の上面、および上記ＴＭＲ素子を覆うように窒化シリコン膜が設けられたことを特徴とする請求項８～１１のいずれかに記載の磁気記憶装置。

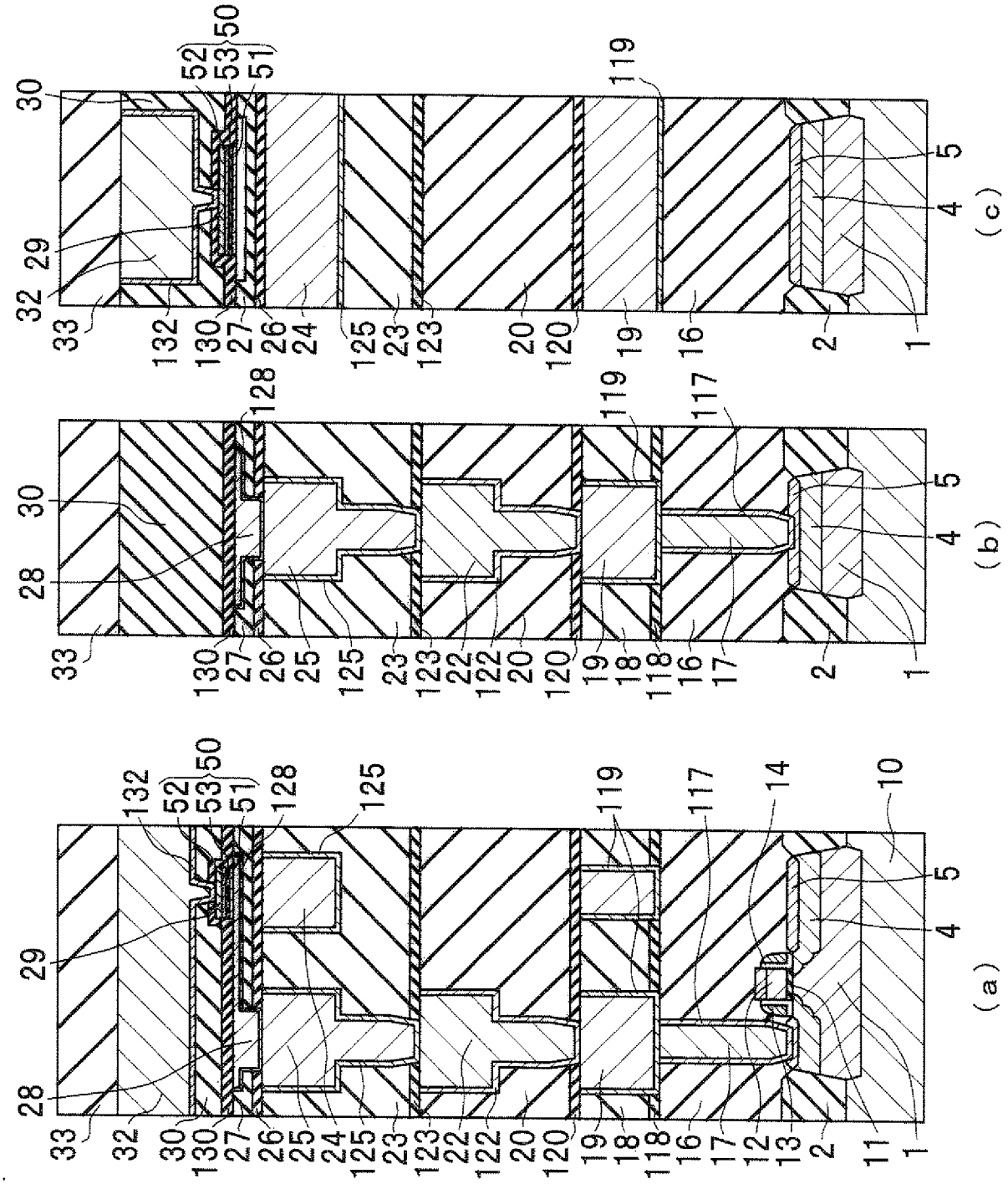
[図1]


100
BL
DL
WL
SL
TMR
(b)
100
50
Memory Cell 150
Bitline(BL) 32
Digitline(DL) 25
28
15
(a)

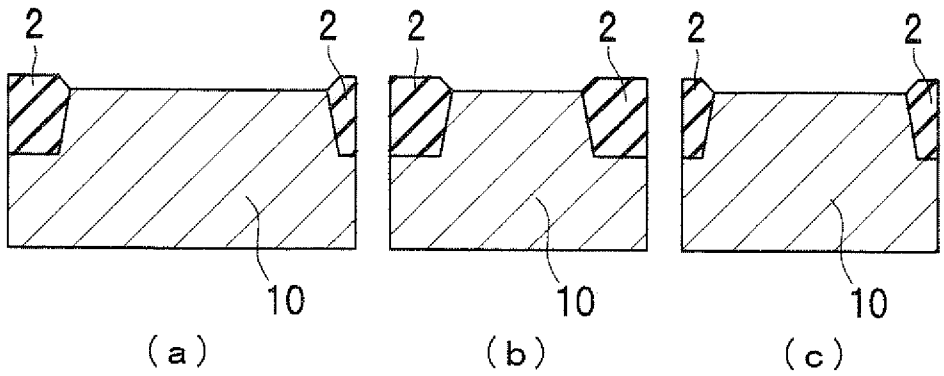
[図2]


50
52
53
51
29
128
125
100
24
25
28
32
132
125
30
130
27
26
23
(b)
100
A
C
C
B
B
A
(a)

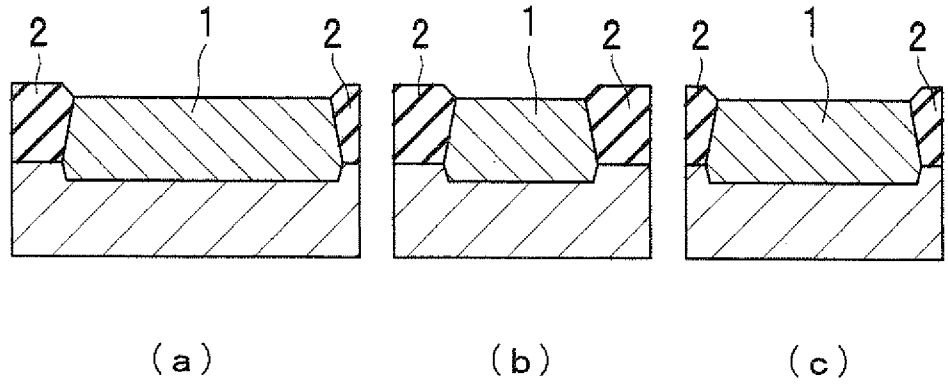
[図3]



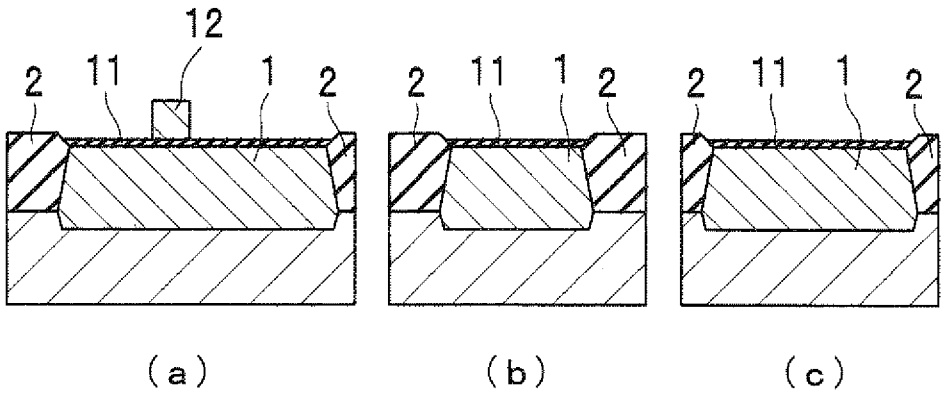
[図4]



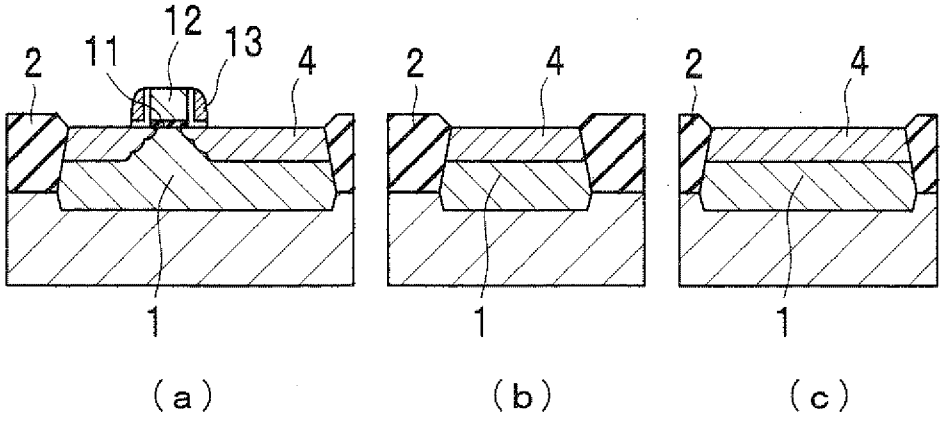

[図5]



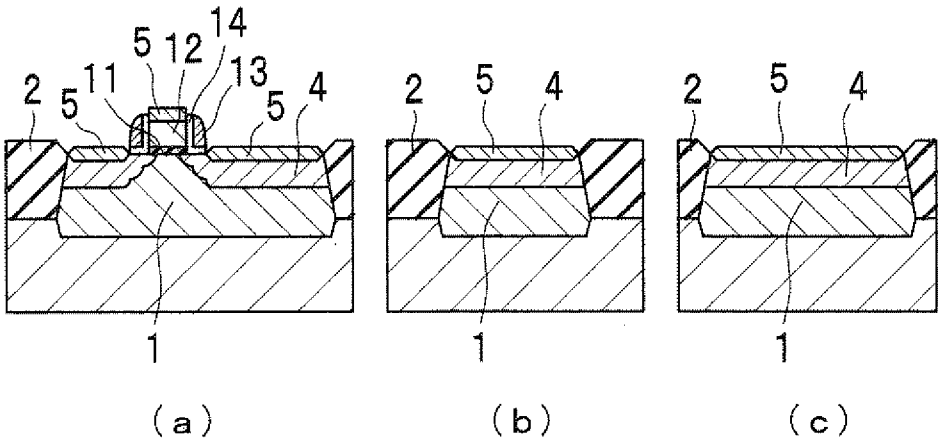

[図6]



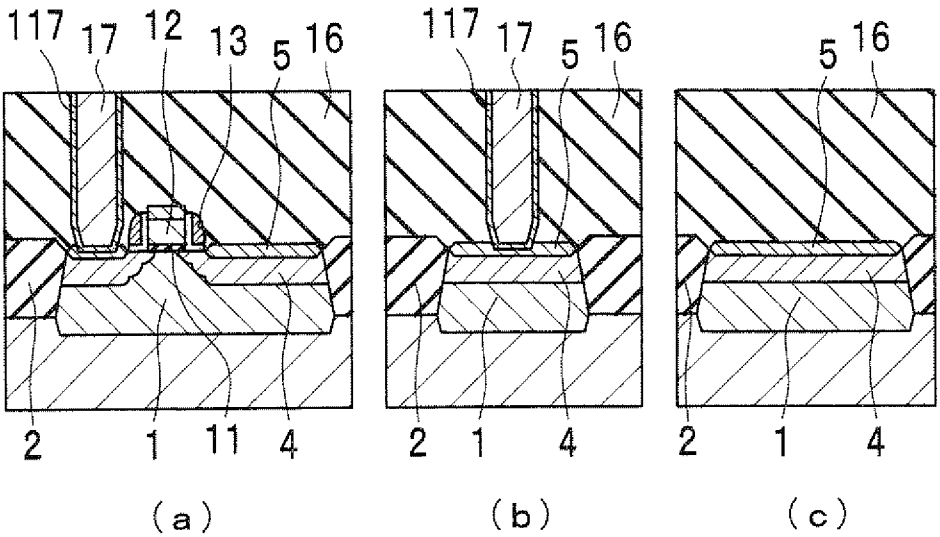
[図7]



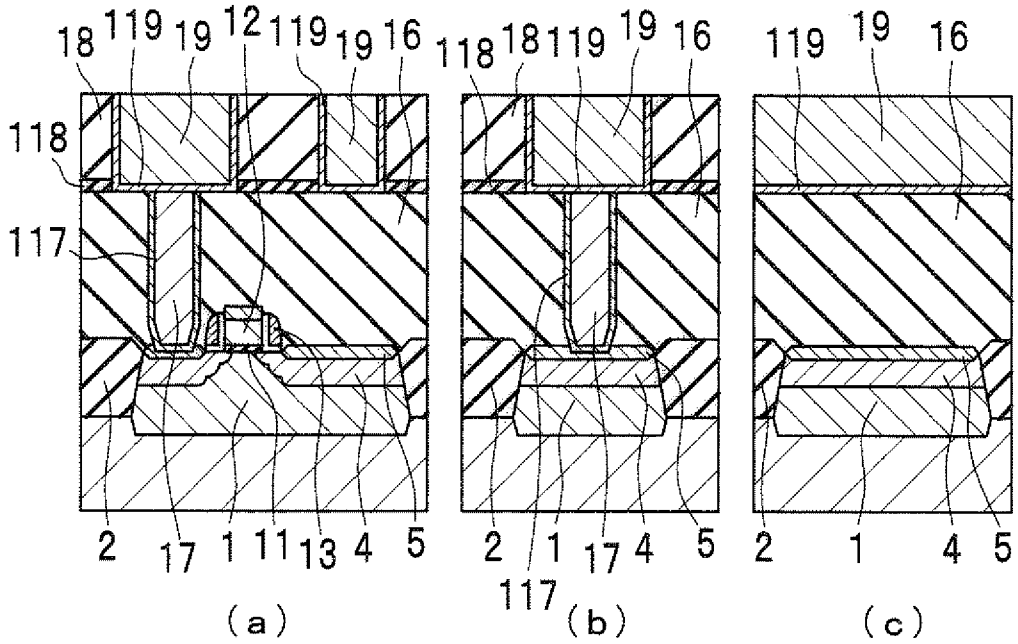

[図8]



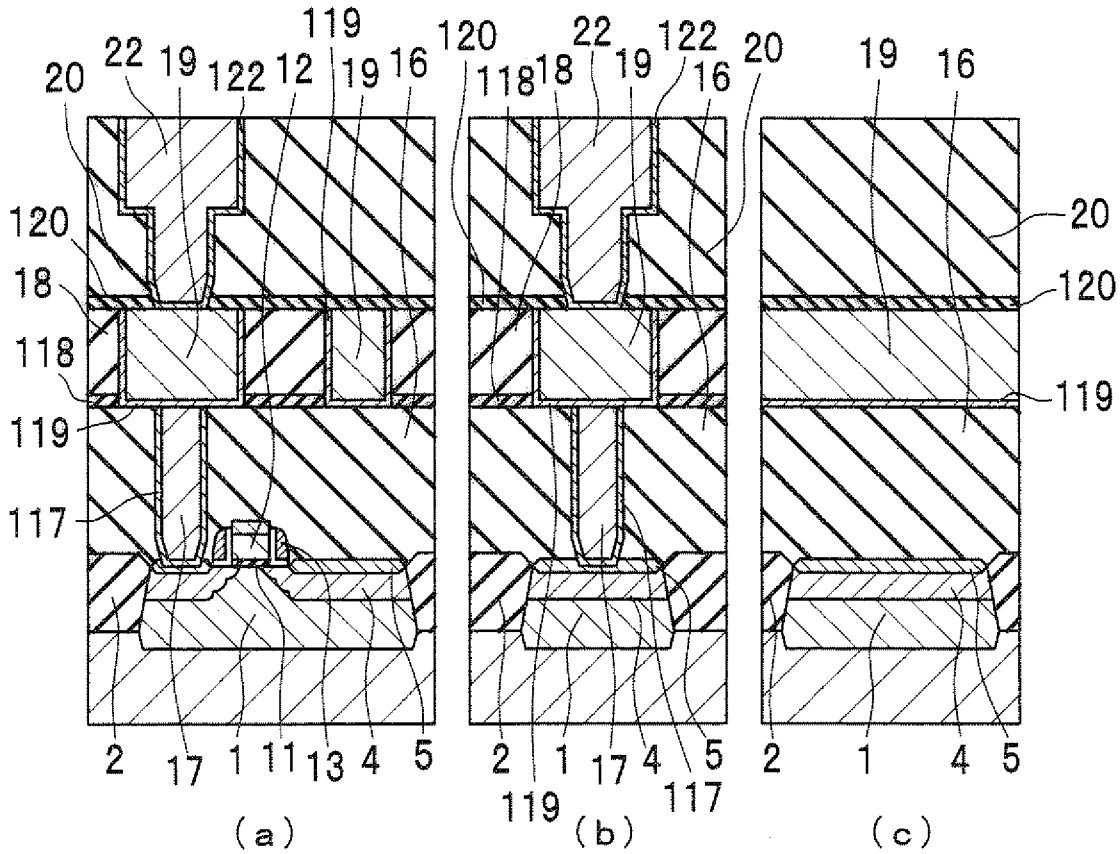

[図9]



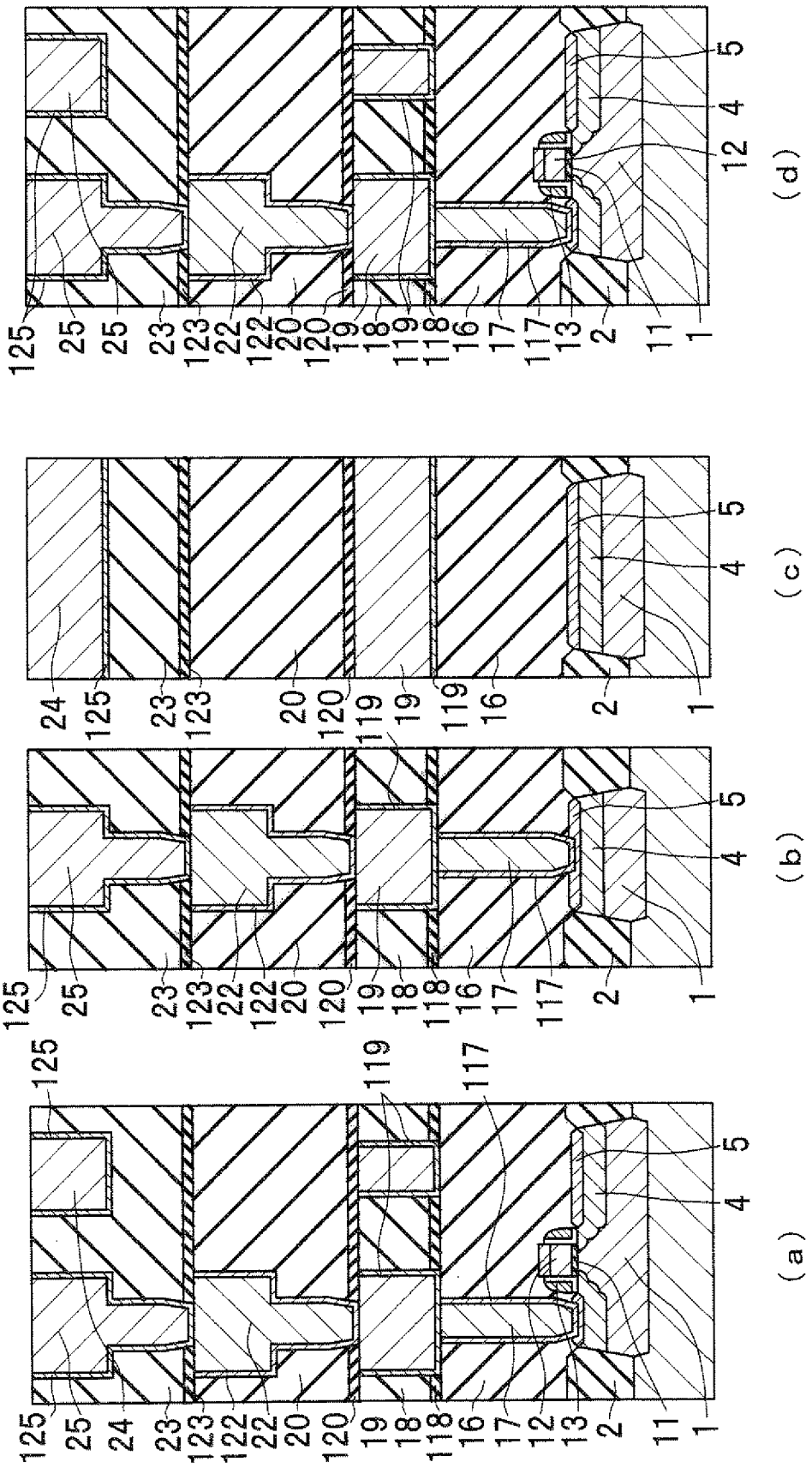
[図10]


18
119
19
12
119
19
16
118
18
119
19
16
119
19
16
118
117
2
17
1
11
13
4
5
2
1
17
4
5
117
2
1
4
5
(a)
(b)
(c)

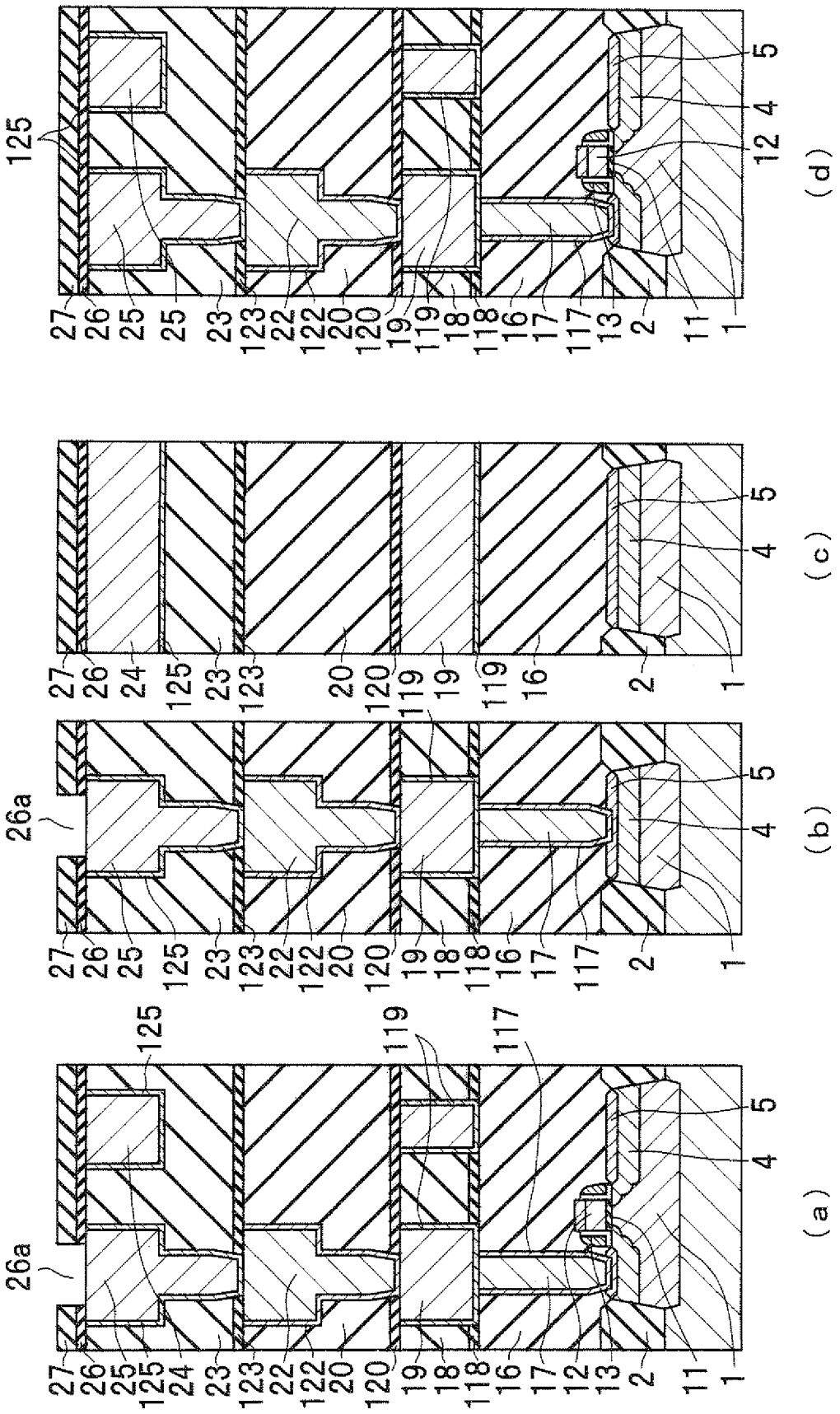
[図11]


119
120
22
19
122
12
19
16
20
118
18
22
19
122
16
20
19
16
120
18
118
119
117
20
120
119
2
17
1
11
13
4
5
2
1
17
4
5
117
119
2
1
4
5
(a)
(b)
(c)

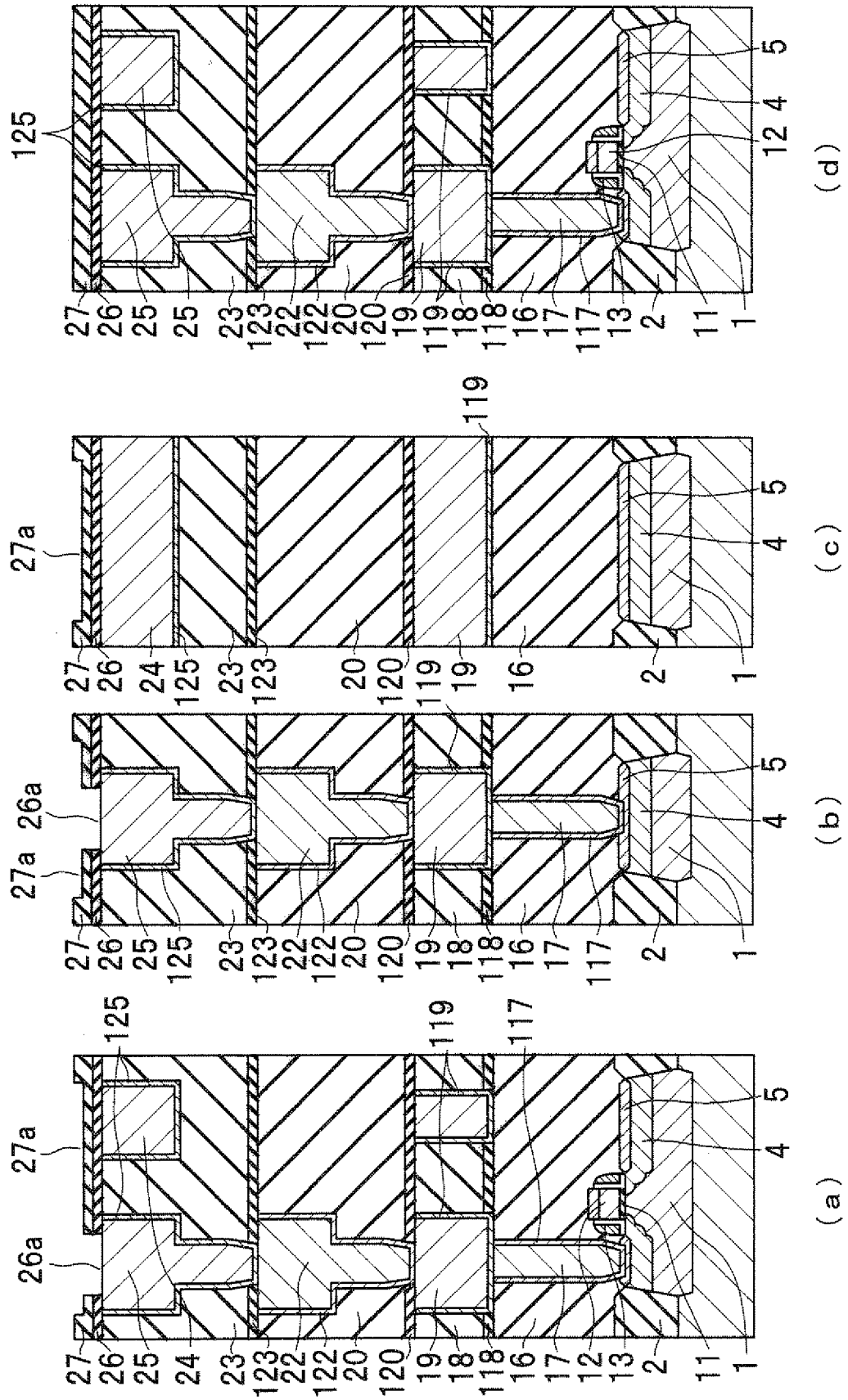
[図12]



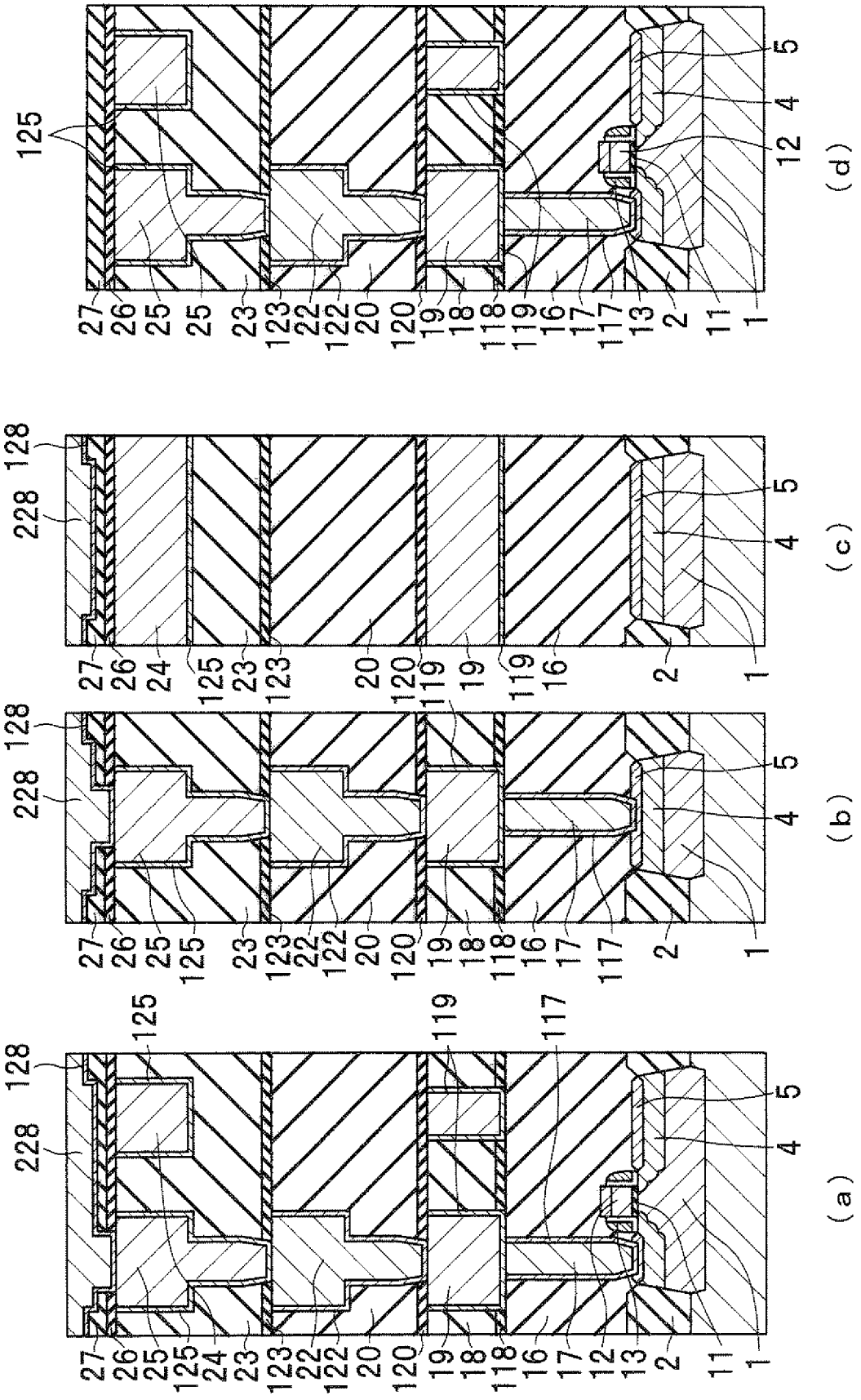
[図13]


(a)
(b)
(c)
(d)
26a
125
119
117
27
26
25
24
23
123
22
122
20
120
19
18
118
16
17
12
13
2
11
1
4
5

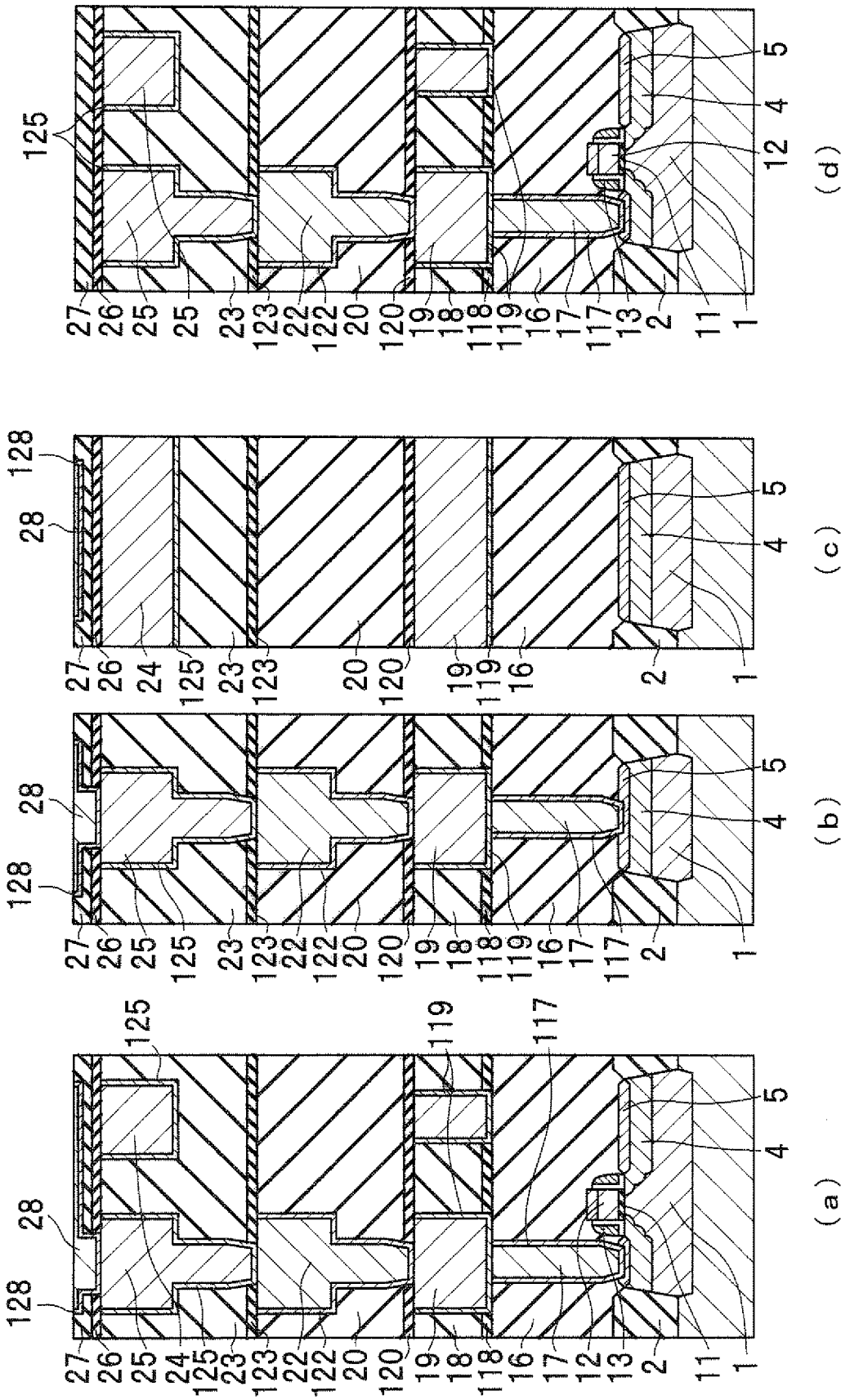
[図14]


(a)
(b)
(c)
(d)
125
27a
26a
119
117
5
4
12
27
26
25
24
23
123
22
122
20
120
19
18
118
16
17
13
2
11
1

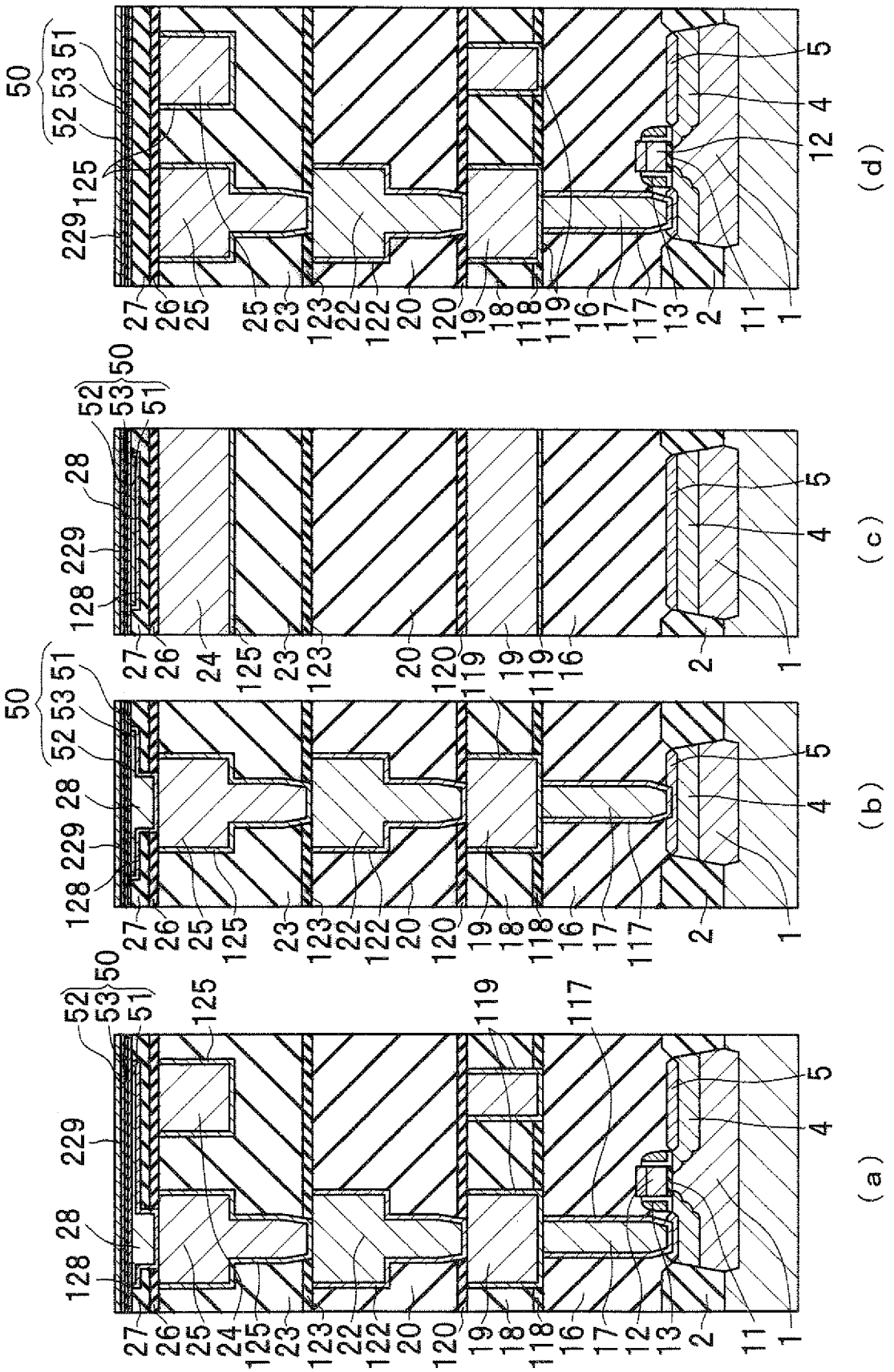
[図15]


(d)
125
27 26 25 25 23 123 22 122 20 120 19 18 118 119 16 17 117 13 2 11 1
5 4 12
(c)
128 228
27 26 24 125 23 123 20 120 119 19 119 16 2 1
5 4
(b)
128 228
27 26 25 125 23 123 22 122 20 120 19 18 118 16 17 117 2 1
5 4
(a)
125 119 117
128 228
27 26 25 125 24 23 123 22 122 20 120 19 18 118 16 17 12 13 2 11 1
5 4

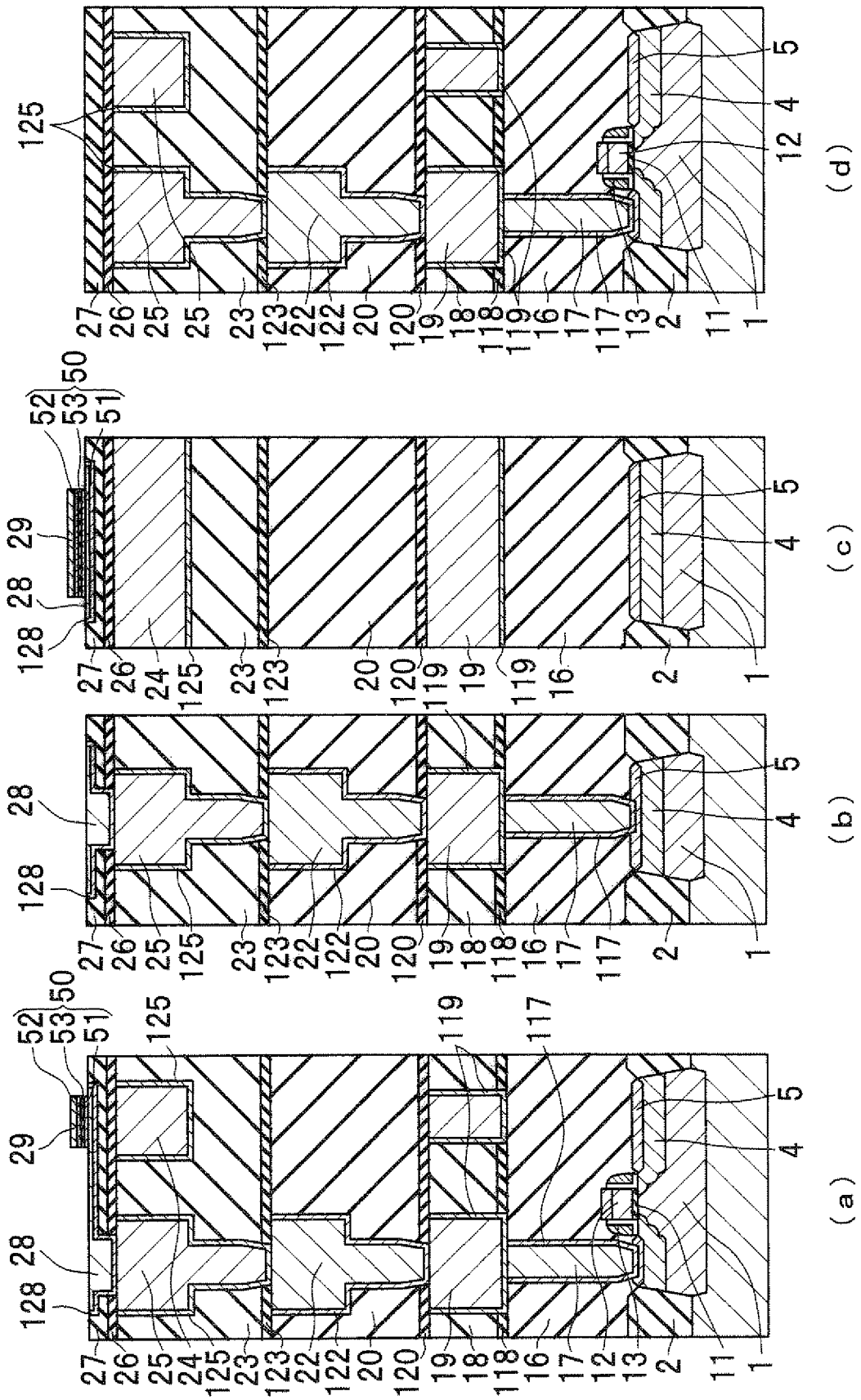
[図16]


(a)
(b)
(c)
(d)
125
119
117
128
28
27
26
25
24
23
123
22
122
20
120
19
18
118
16
17
12
13
2
11
1
4
5

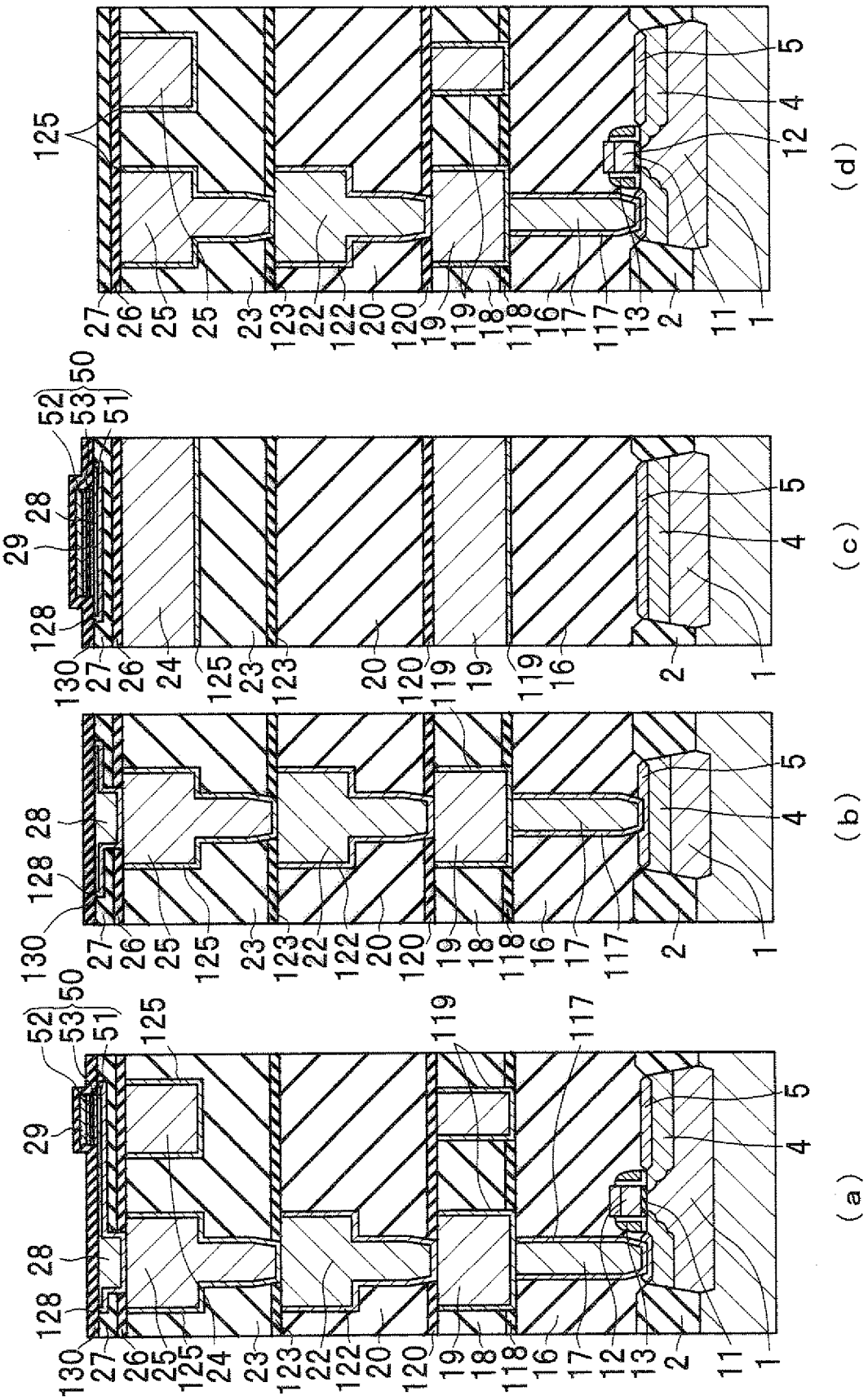
[図17]


(a)
(b)
(c)
(d)
50
51
52
53
125
229
28
128
27
26
25
24
23
123
22
122
20
120
19
18
118
16
17
117
13
12
11
2
1
4
5

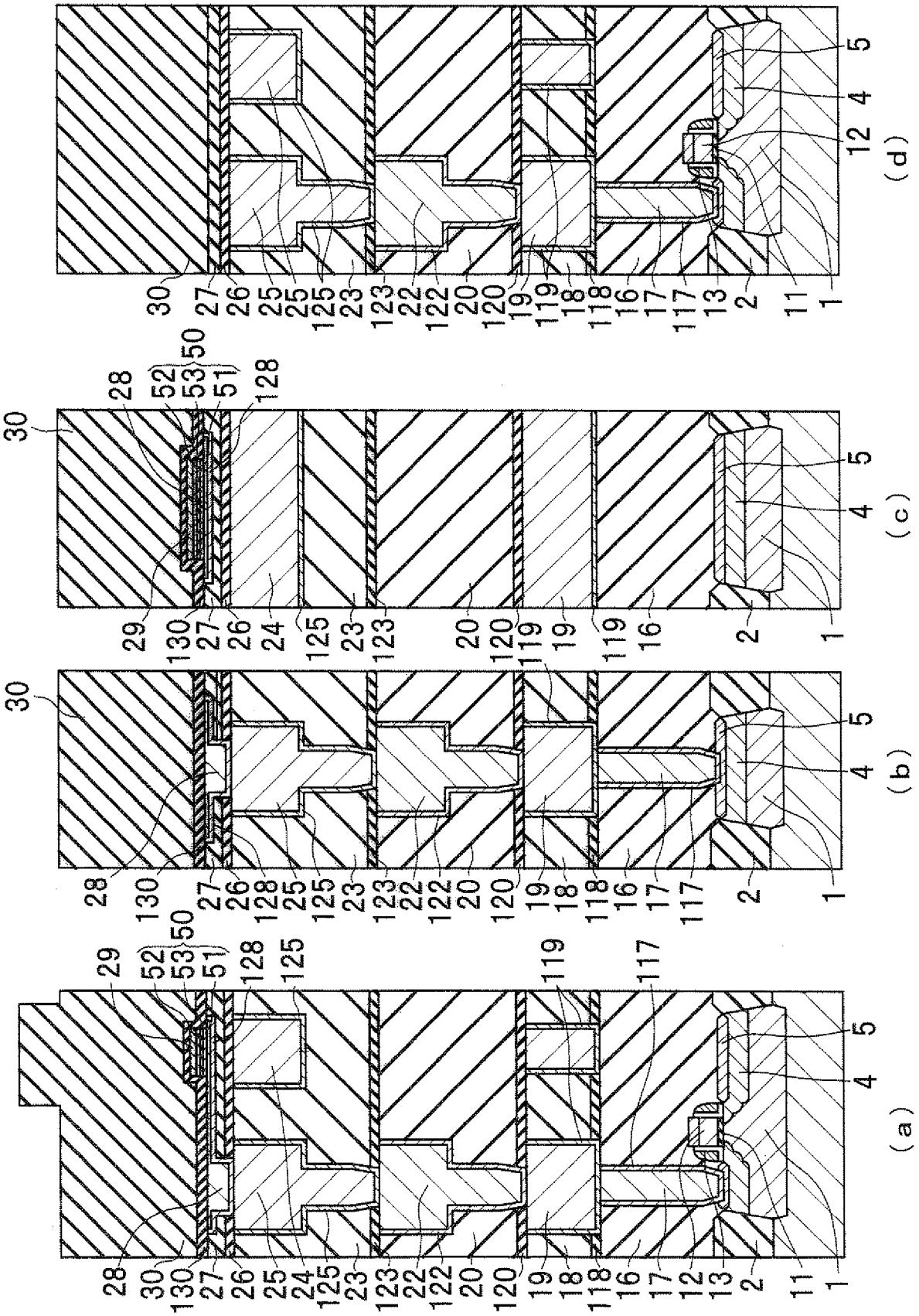
[図18]



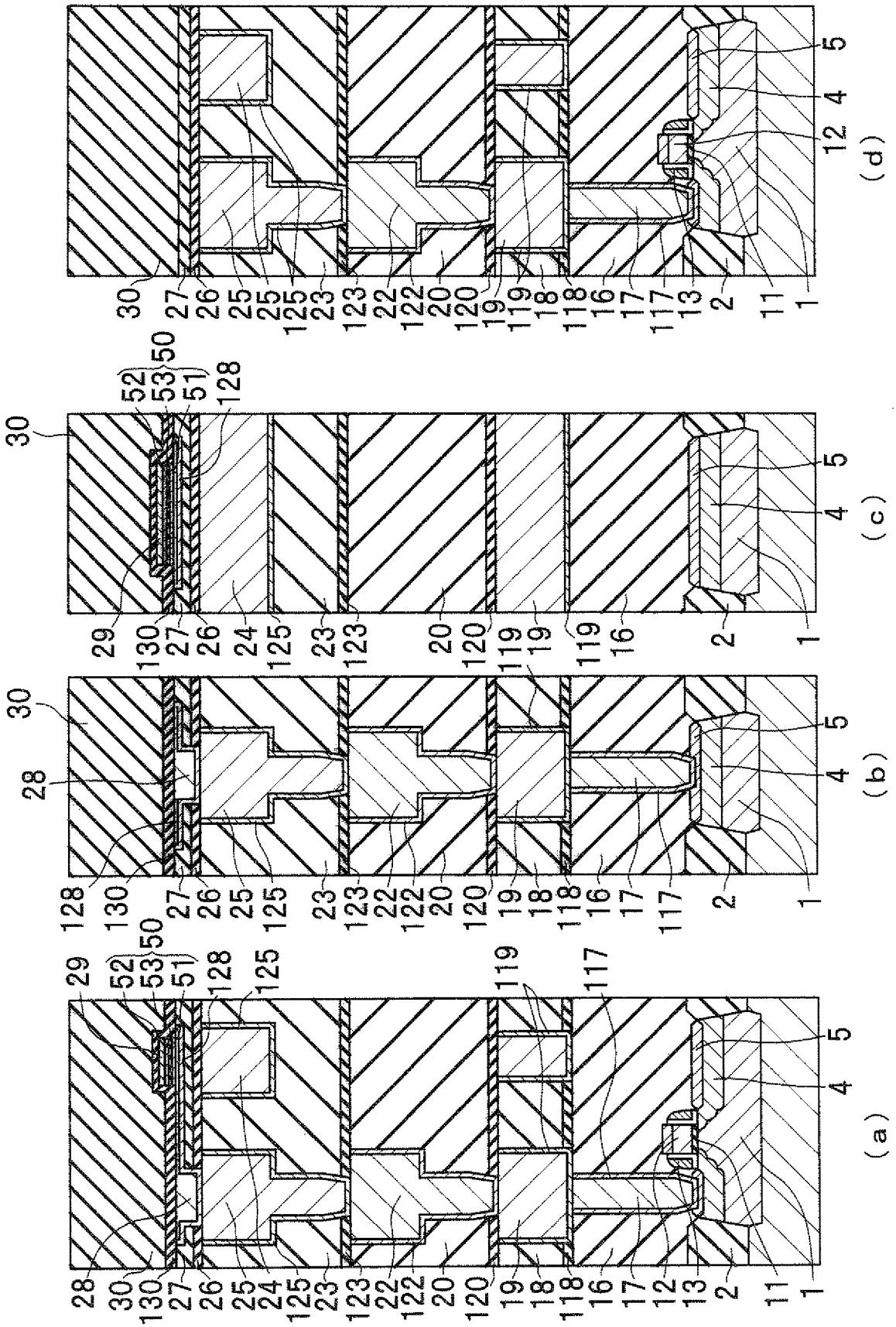
[図19]



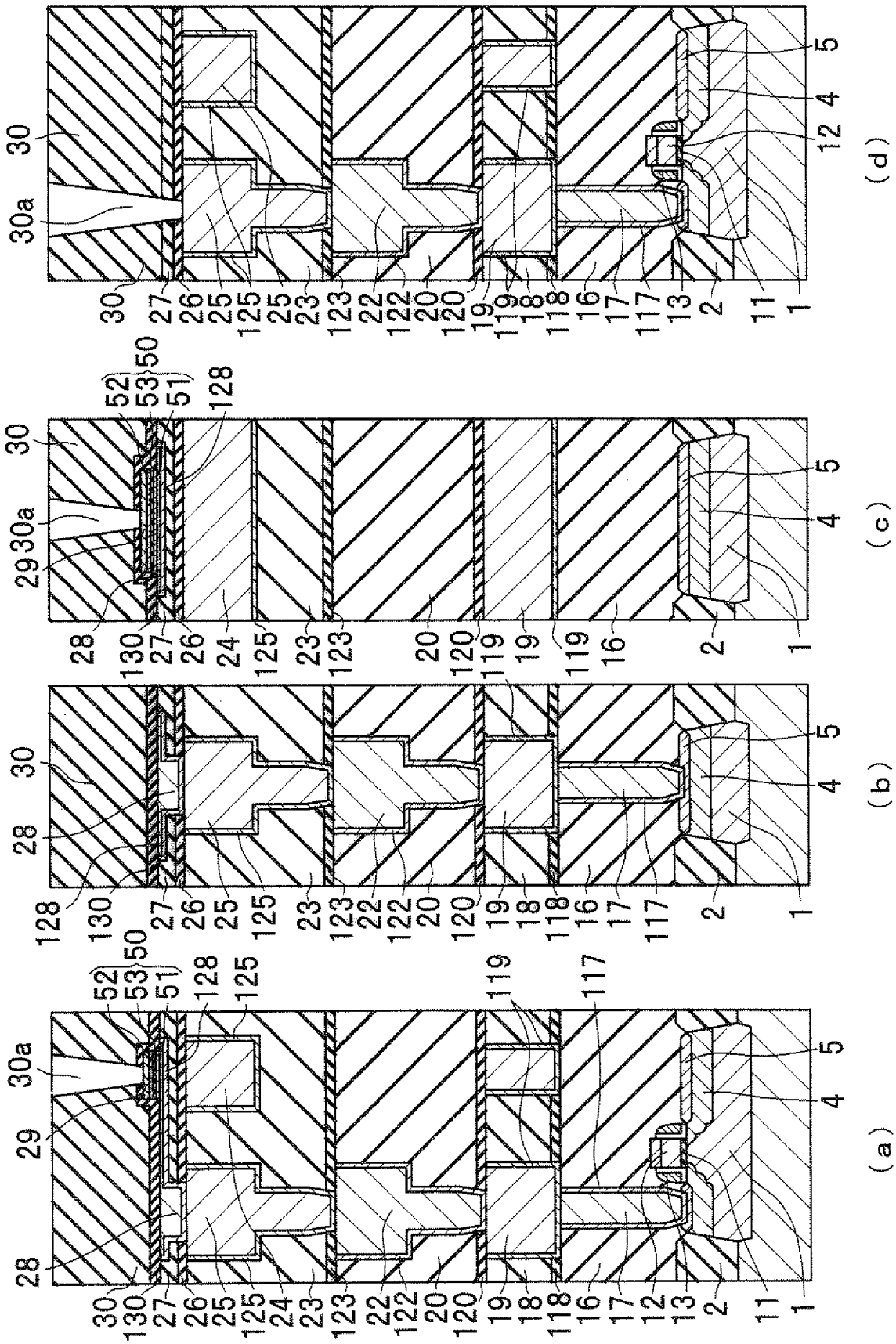
[図20]



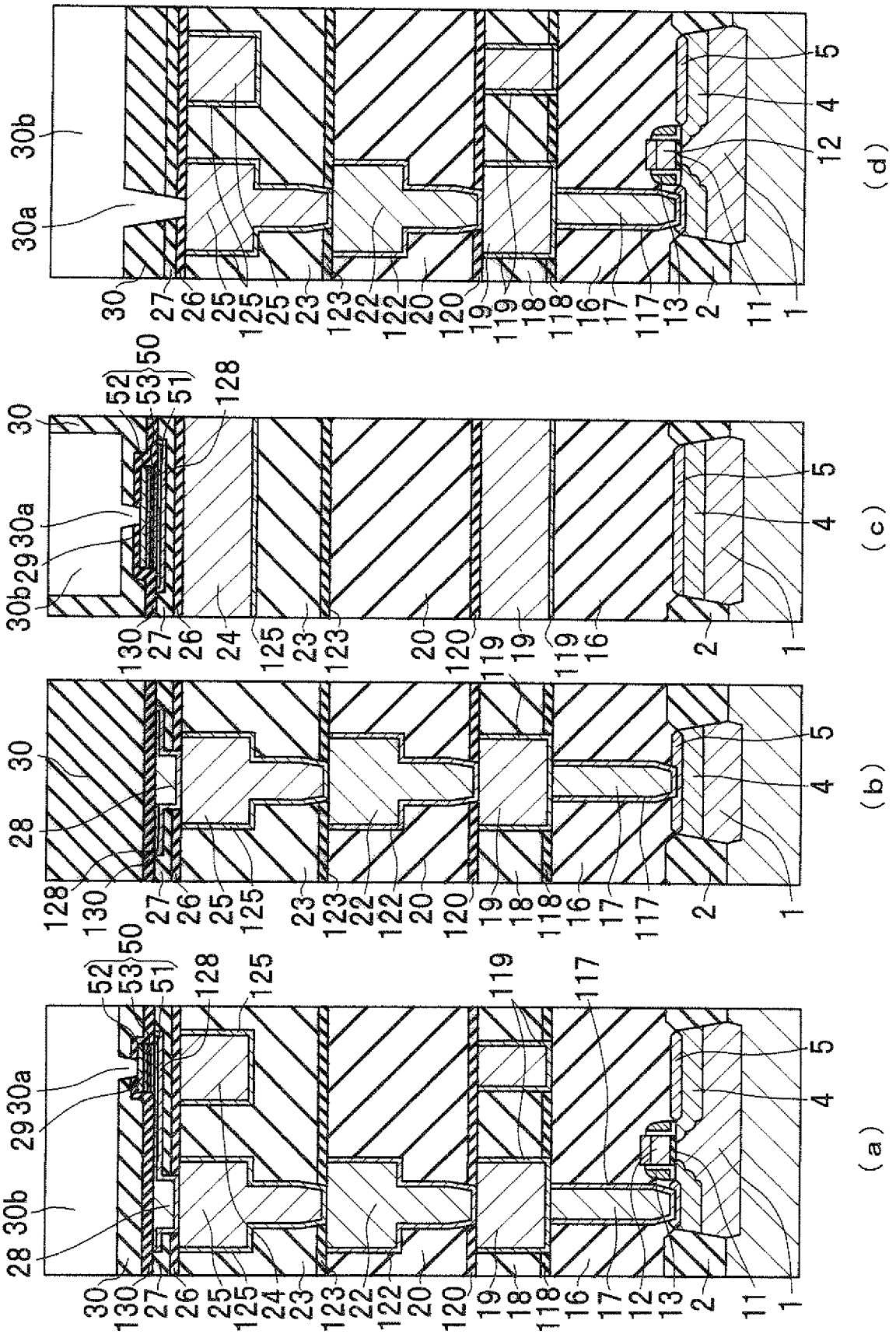
[図21]



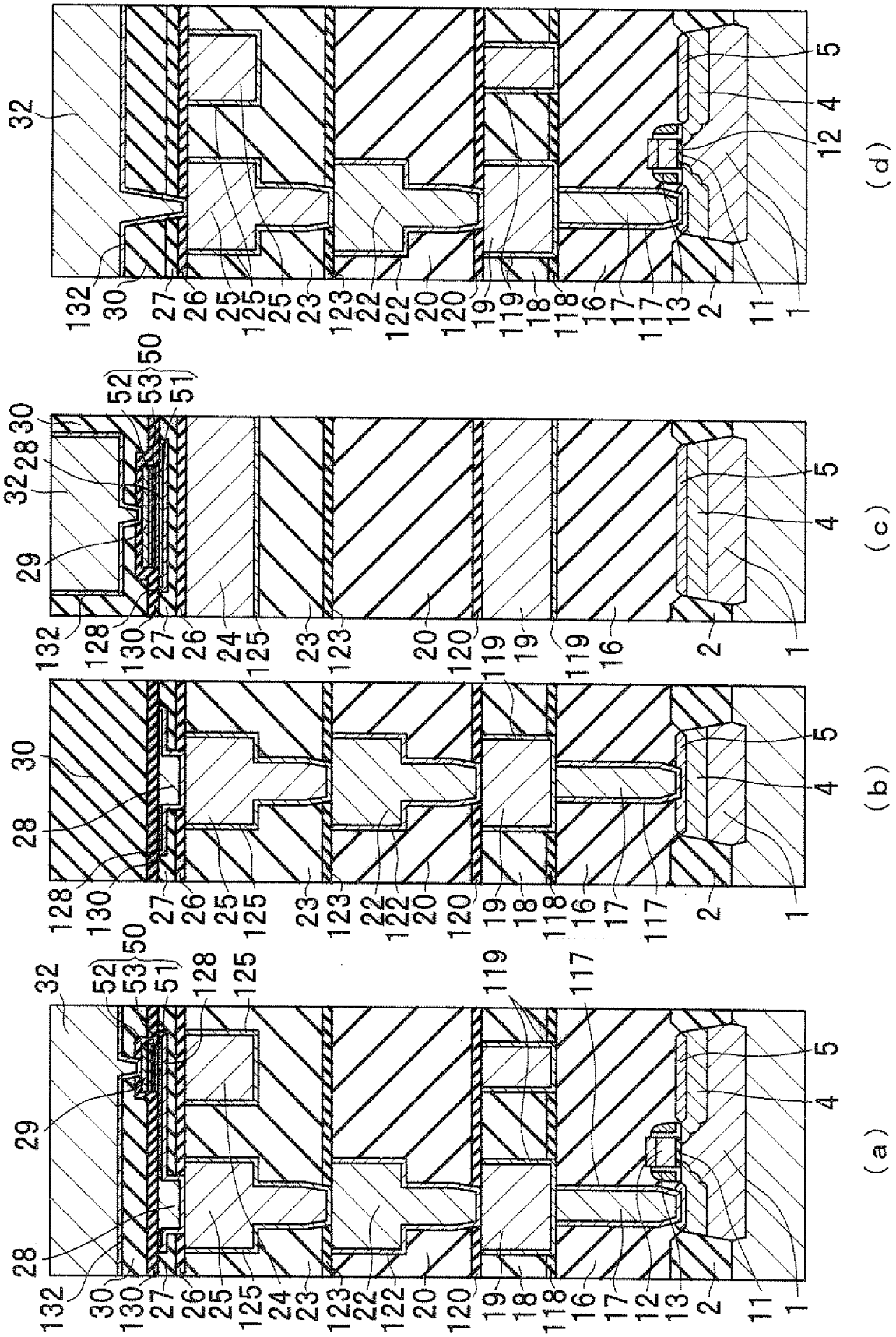
[図22]



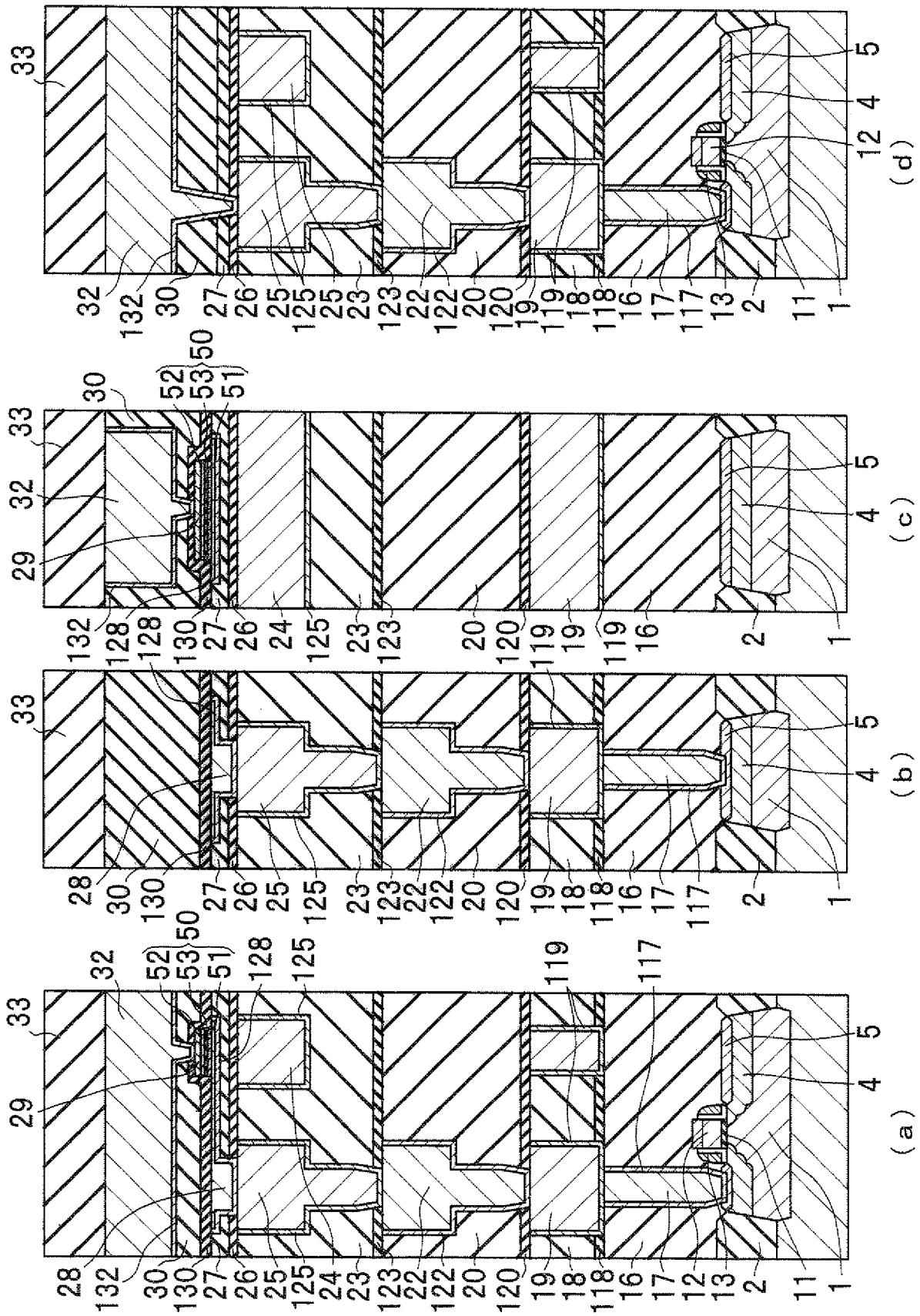
[図23]



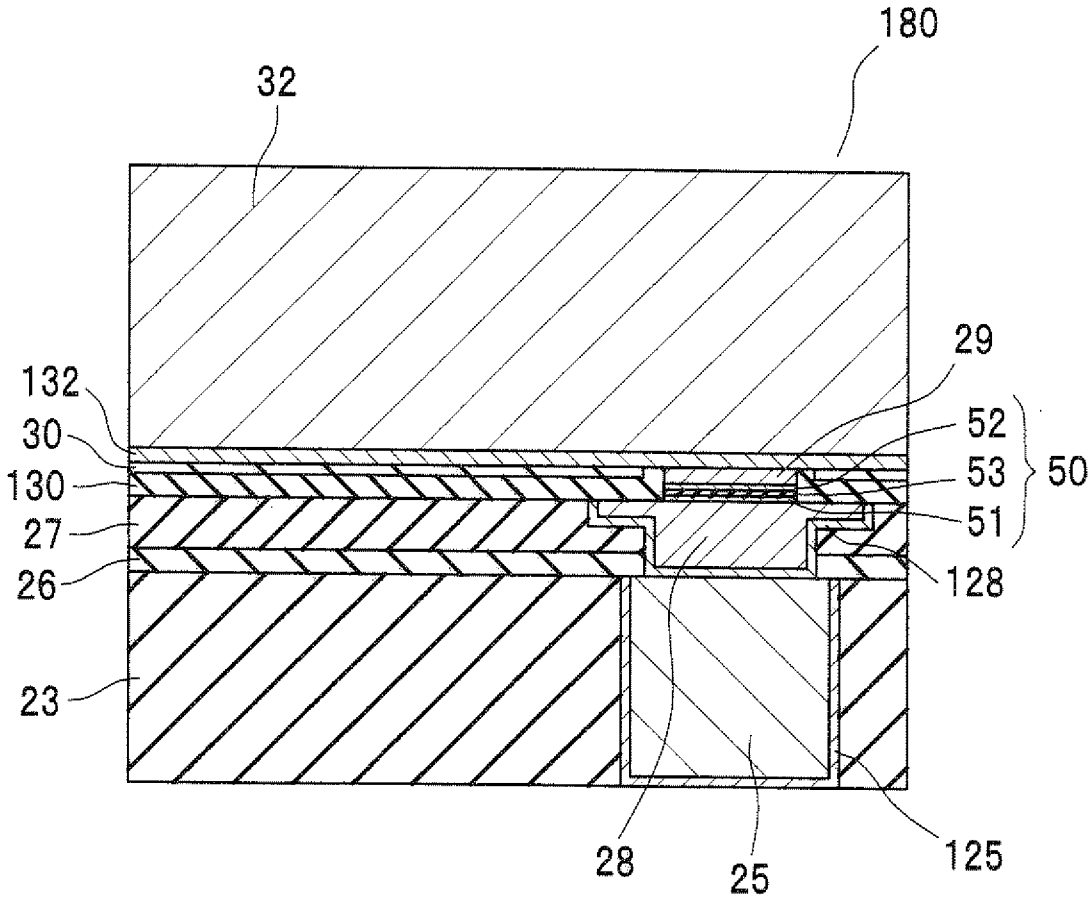
[図24]



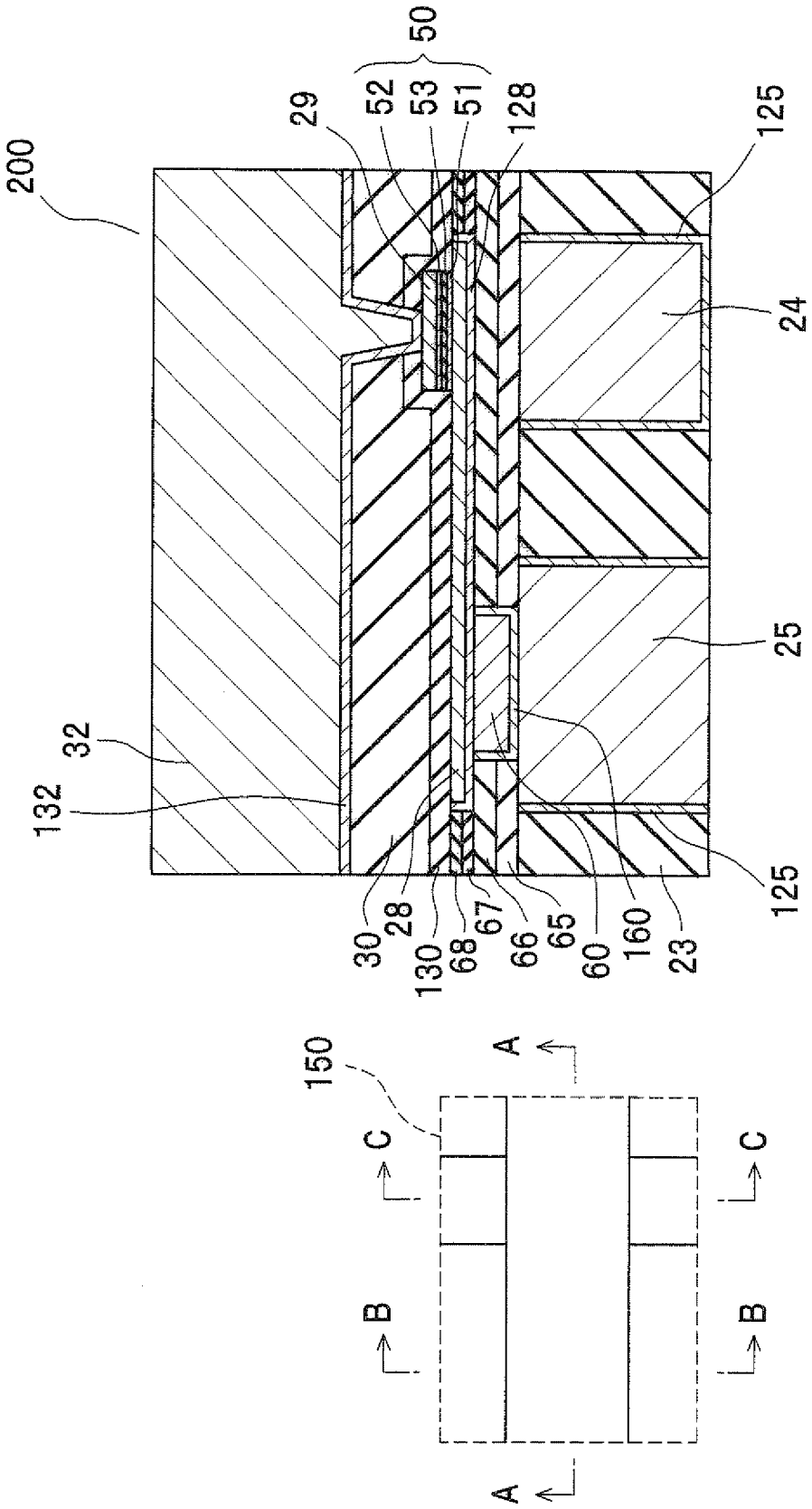
[図25]



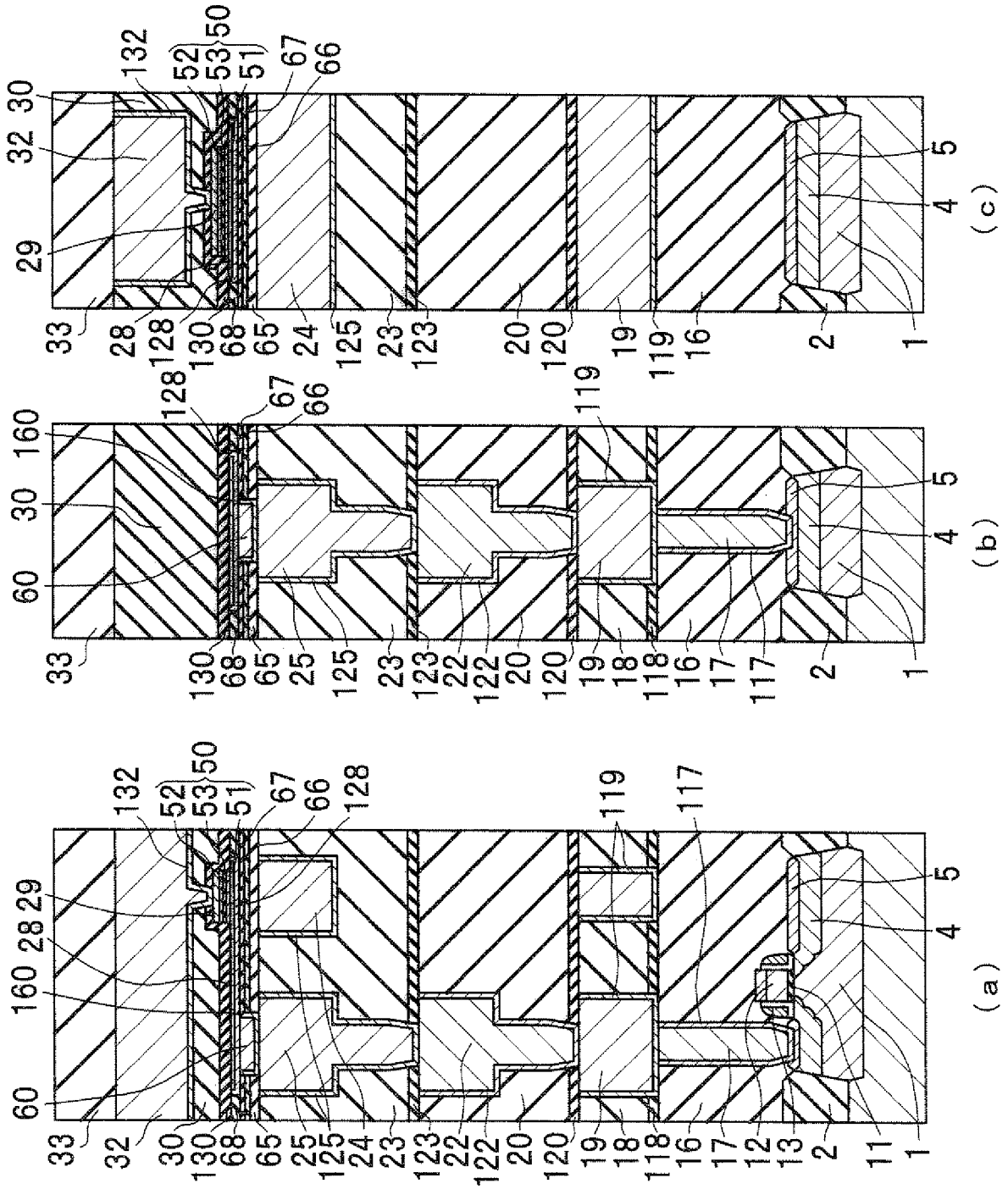
[図26]



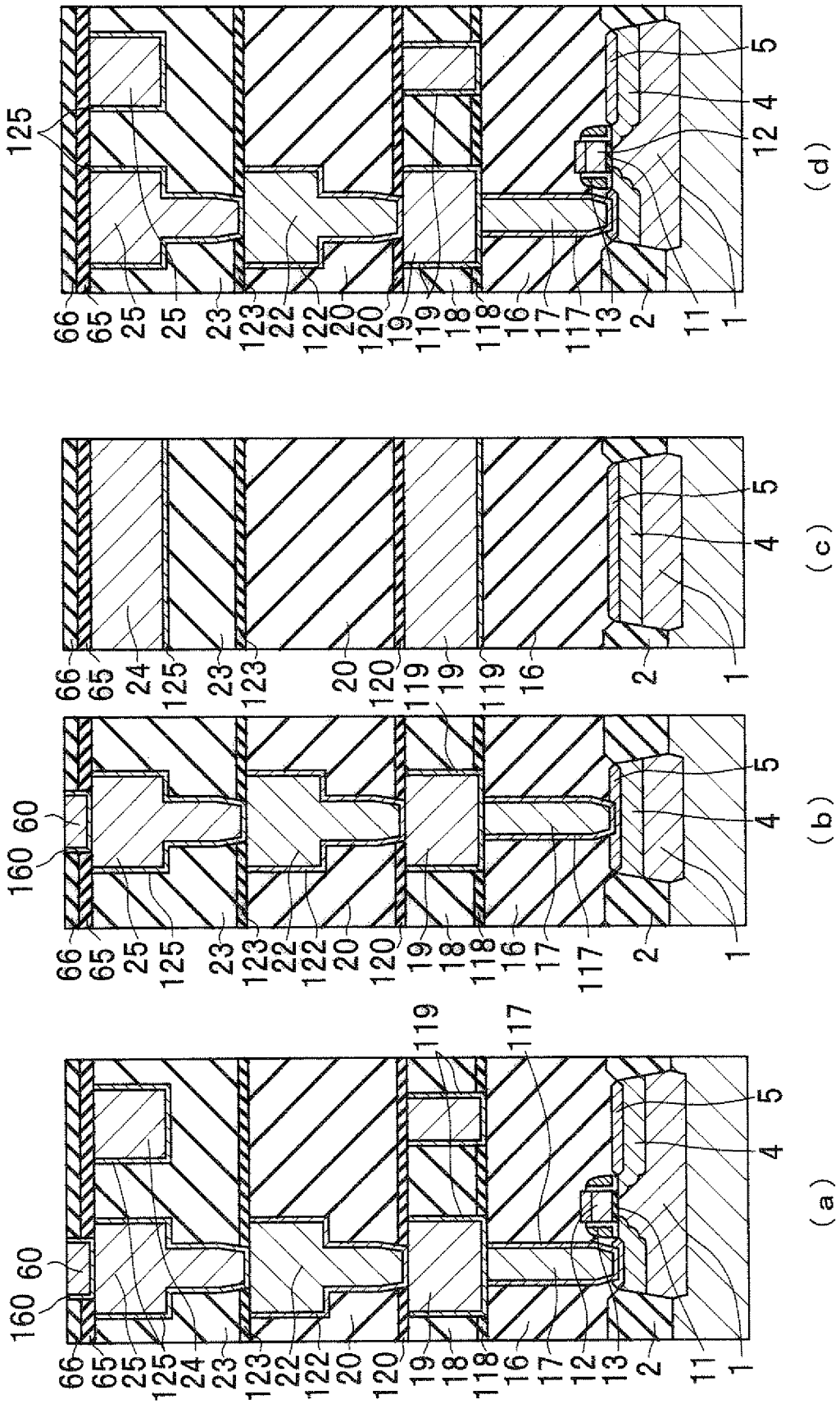
[図27]


50
52
53
51
29
128
125
200
24
25
32
132
125
30
28
130
68
67
66
65
60
160
23
(b)
150
A
C
C
B
B
A
(a)

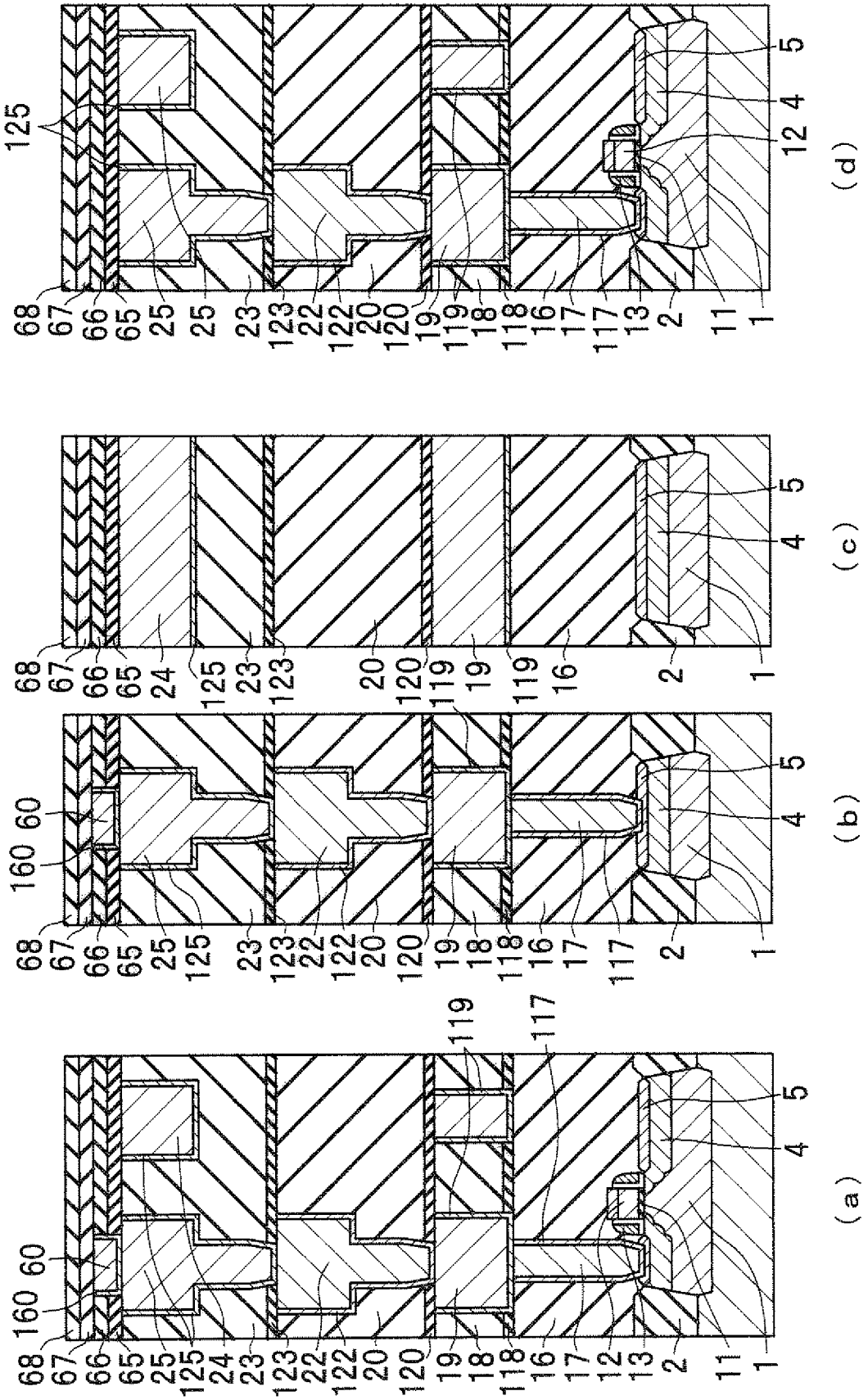
[図28]



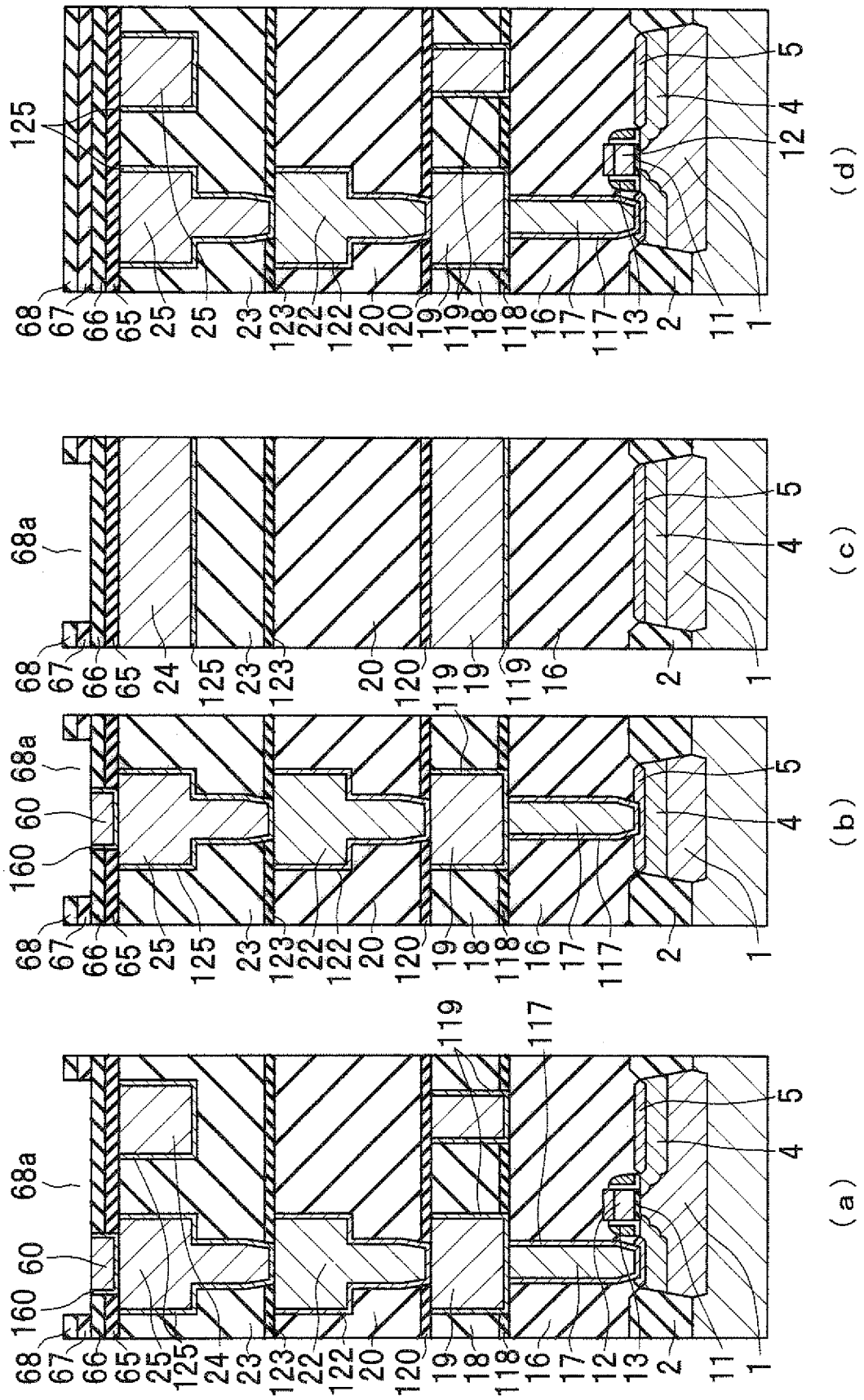
[図29]


(d)
125
66 65 25 25 23 123 22 122 20 120 19 119 18 118 16 17 117 13 2 11 1
5 4 12
(c)
66 65 24 125 23 123 20 120 119 19 119 16 2 1
5 4
(b)
160 60
66 65 25 125 23 123 22 122 20 120 19 18 118 16 17 117 2 1
5 4
(a)
160 60
66 65 25 125 24 23 123 22 122 20 120 19 18 118 16 17 12 13 2 11 1
119 117
5 4

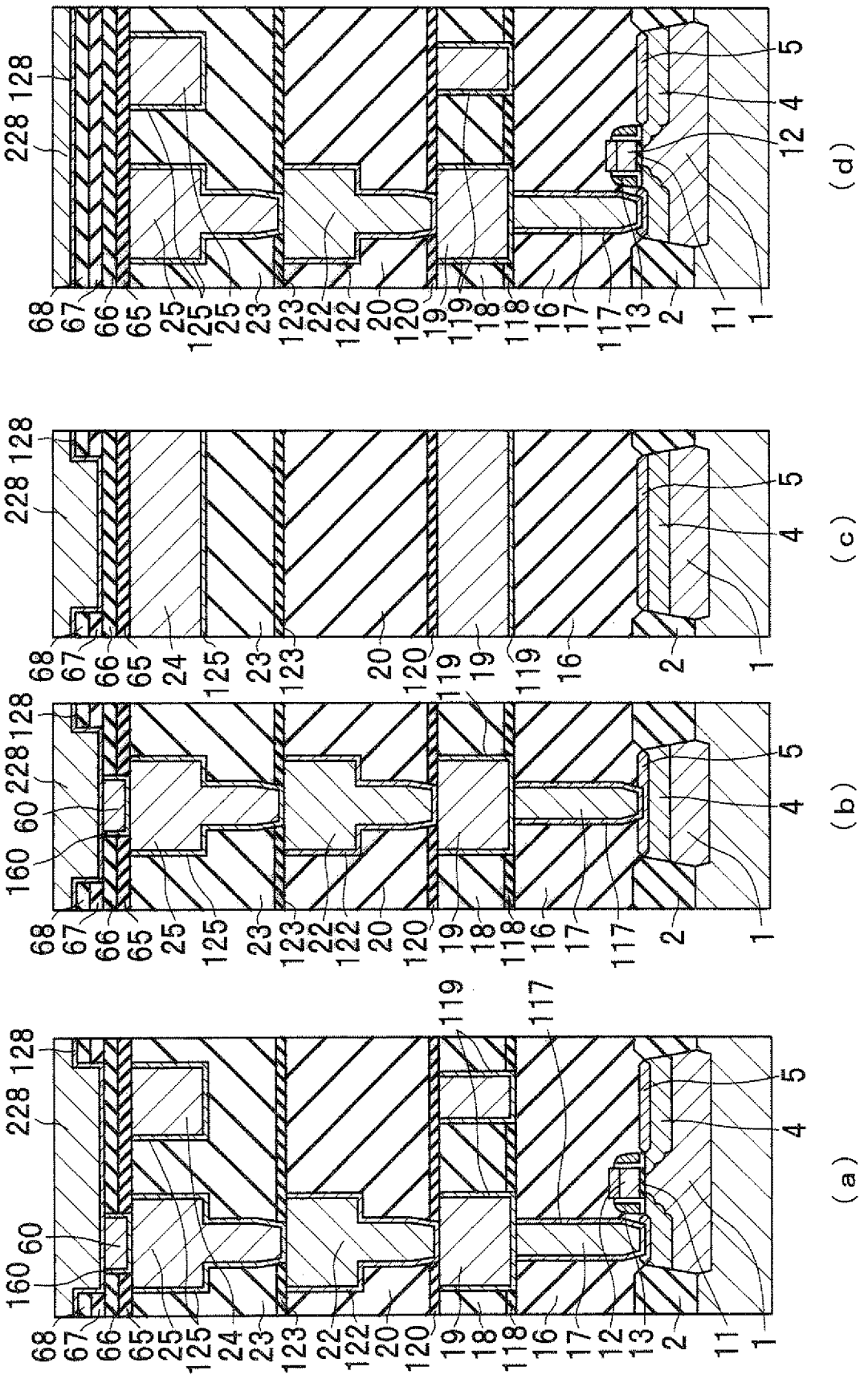
[図30]


(a)
(b)
(c)
(d)
160
60
125
68
67
66
65
25
24
23
123
22
122
20
120
19
119
18
118
16
17
117
13
12
11
2
1
4
5

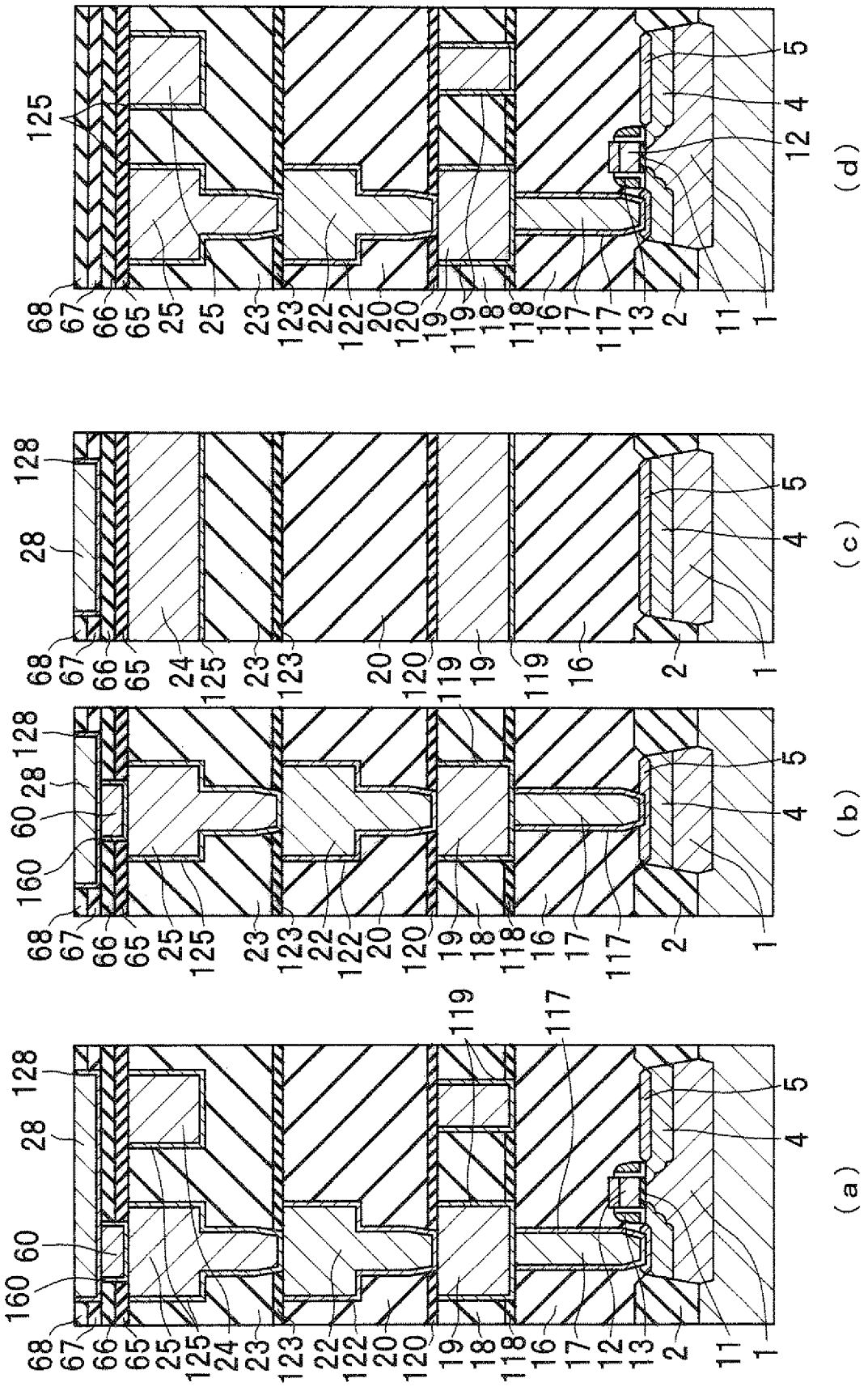
[図31]


(a)
(b)
(c)
(d)
68a
160
60
125
68
67
66
65
25
24
23
123
22
122
20
120
19
119
18
118
16
17
117
13
12
2
11
1
4
5

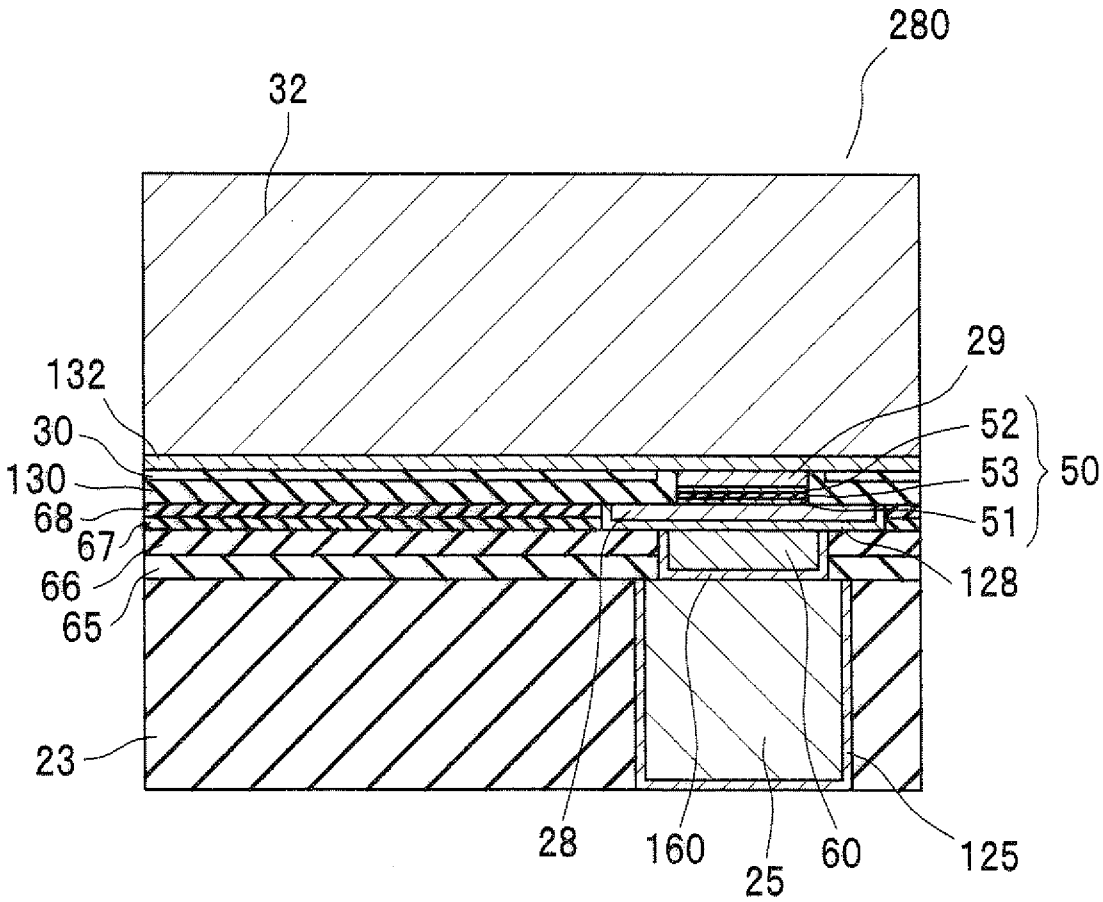
[図32]


(a)
(b)
(c)
(d)
68 67 66 65 25 125 24 23 123 22 122 20 120 19 18 118 16 17 12 13 2 11 1
68 67 66 65 25 125 23 123 22 122 20 120 19 18 118 16 17 117 2 1
68 67 66 65 24 125 23 123 20 120 119 19 119 16 2 1
68 67 66 65 25 125 23 123 22 122 20 120 19 18 118 16 17 13 2 11 1
160 60 228 128 4 5 119 117

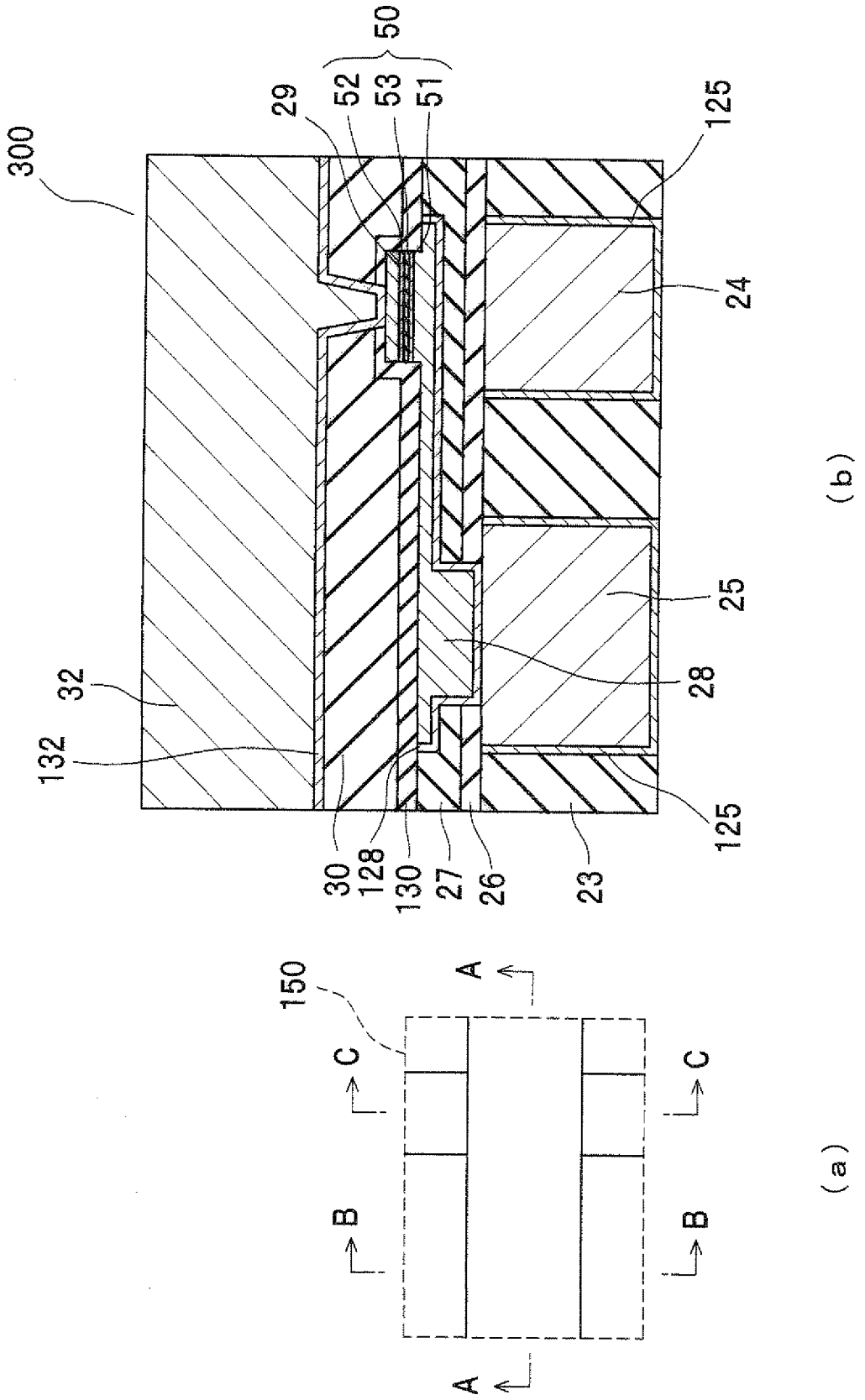
[図33]


(a)
(b)
(c)
(d)
68 67 66 65 25 125 24 23 123 22 122 20 120 19 18 118 16 17 12 13 2 11 1
68 67 66 65 25 125 23 123 22 122 20 120 19 18 118 16 17 117 2 1
68 67 66 65 24 125 23 123 20 120 119 19 119 16 2 1
68 67 66 65 25 125 23 123 22 122 20 120 19 18 118 16 17 12 13 2 11 1
160 60 28 128 5 4 119 117

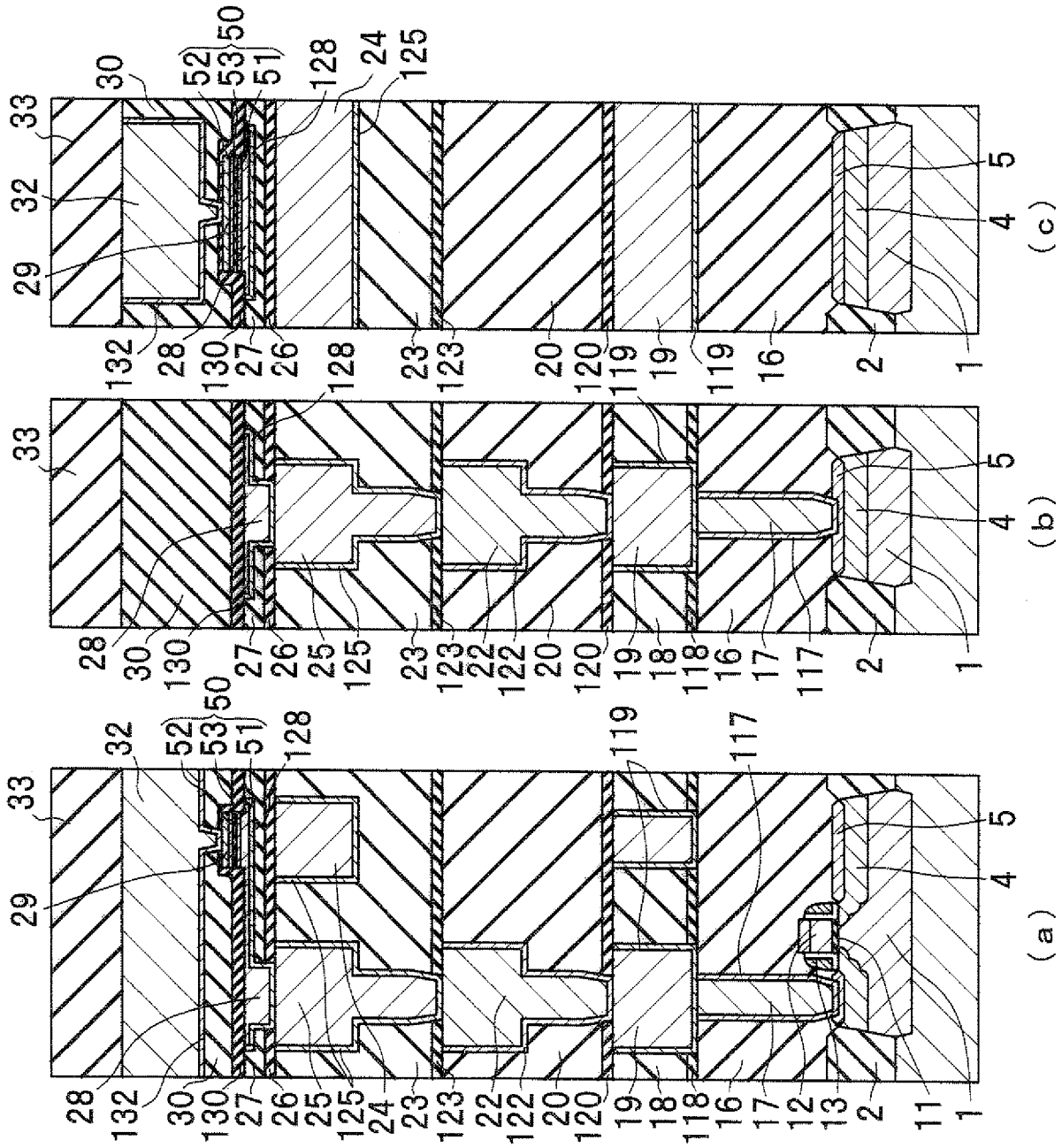
[図34]



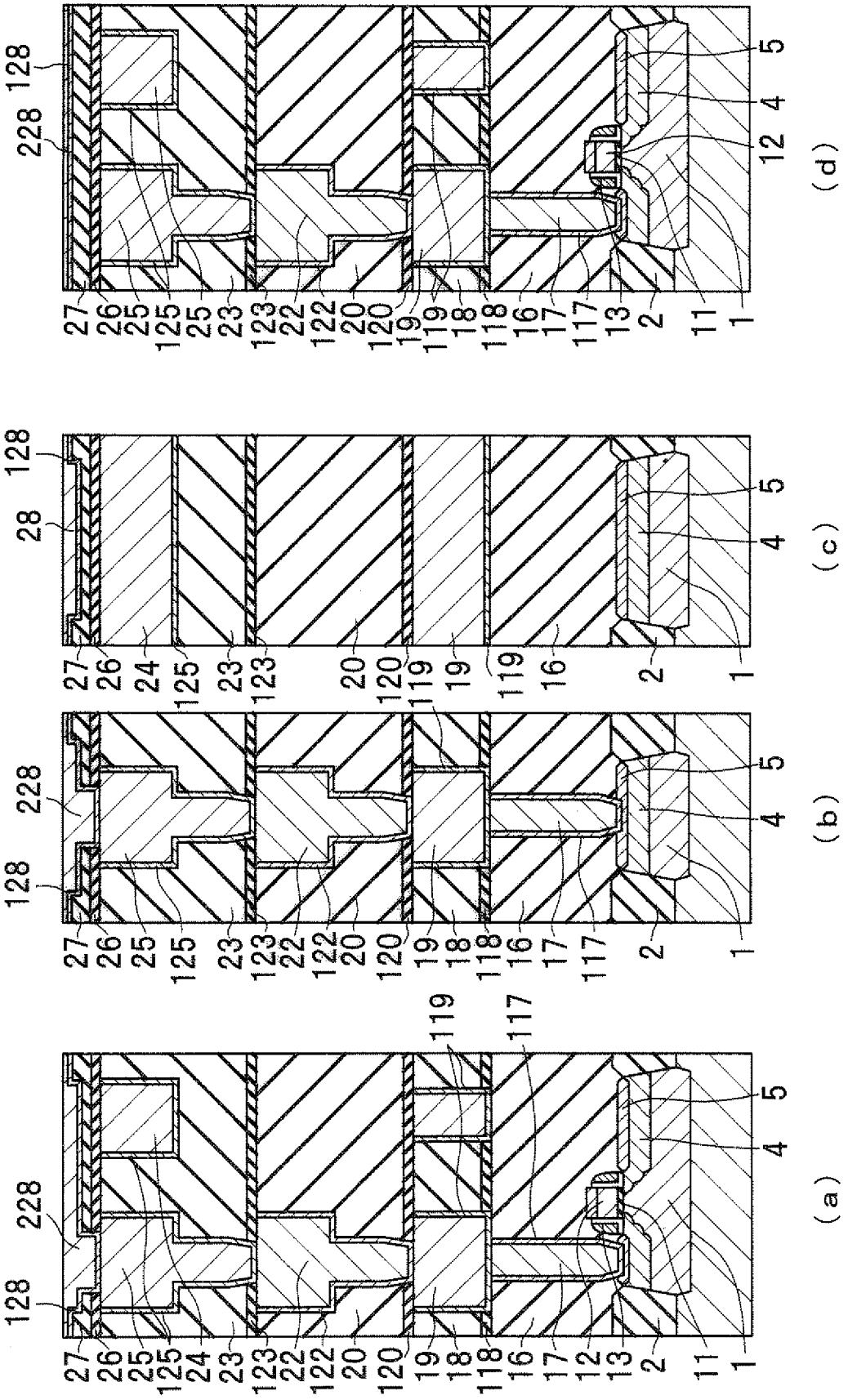
[図35]


50
29
52
53
51
125
300
24
25
28
32
132
125
30
128
130
27
26
23
(b)
150
A
C
C
B
B
A
(a)

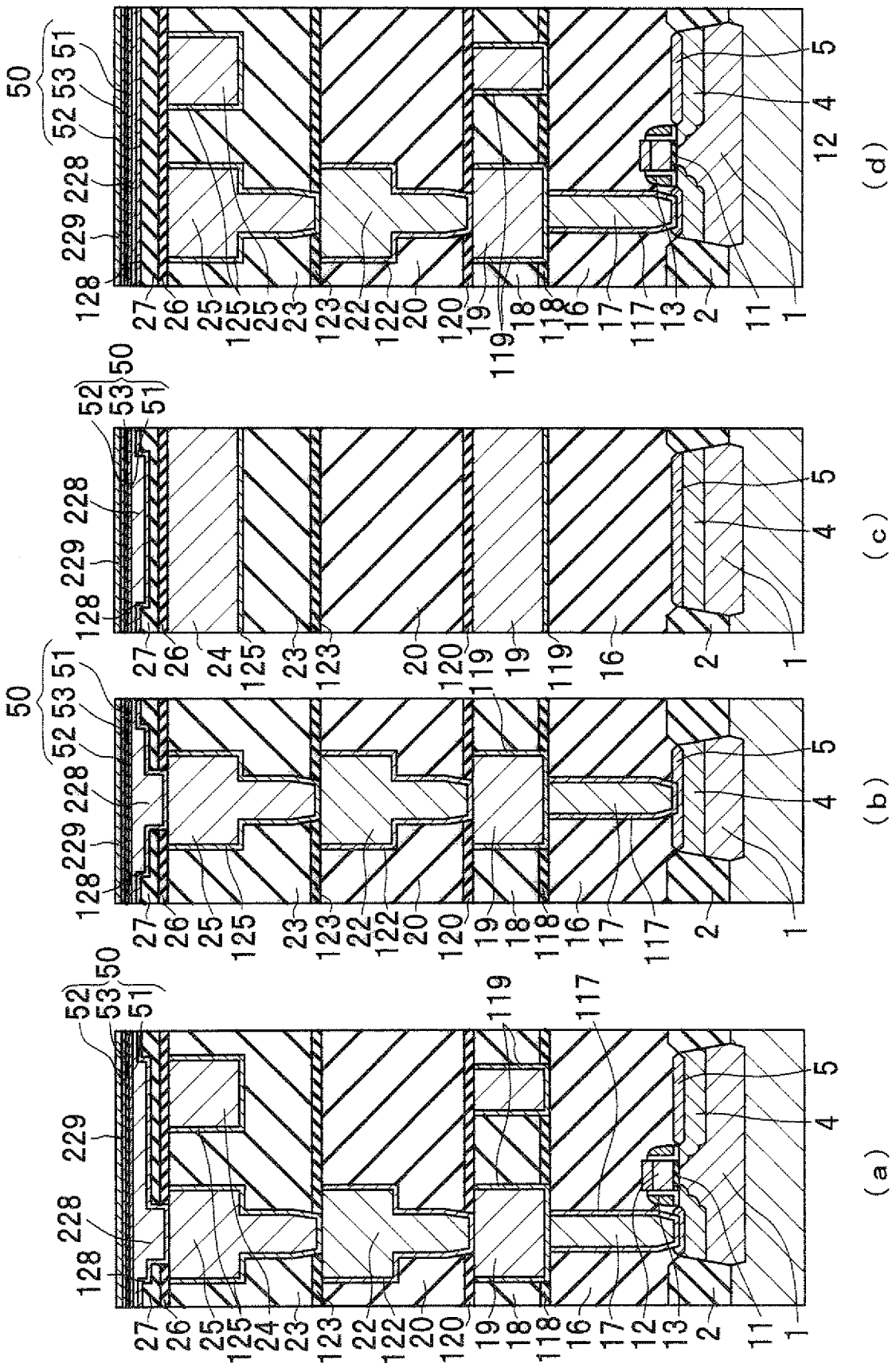
[図36]



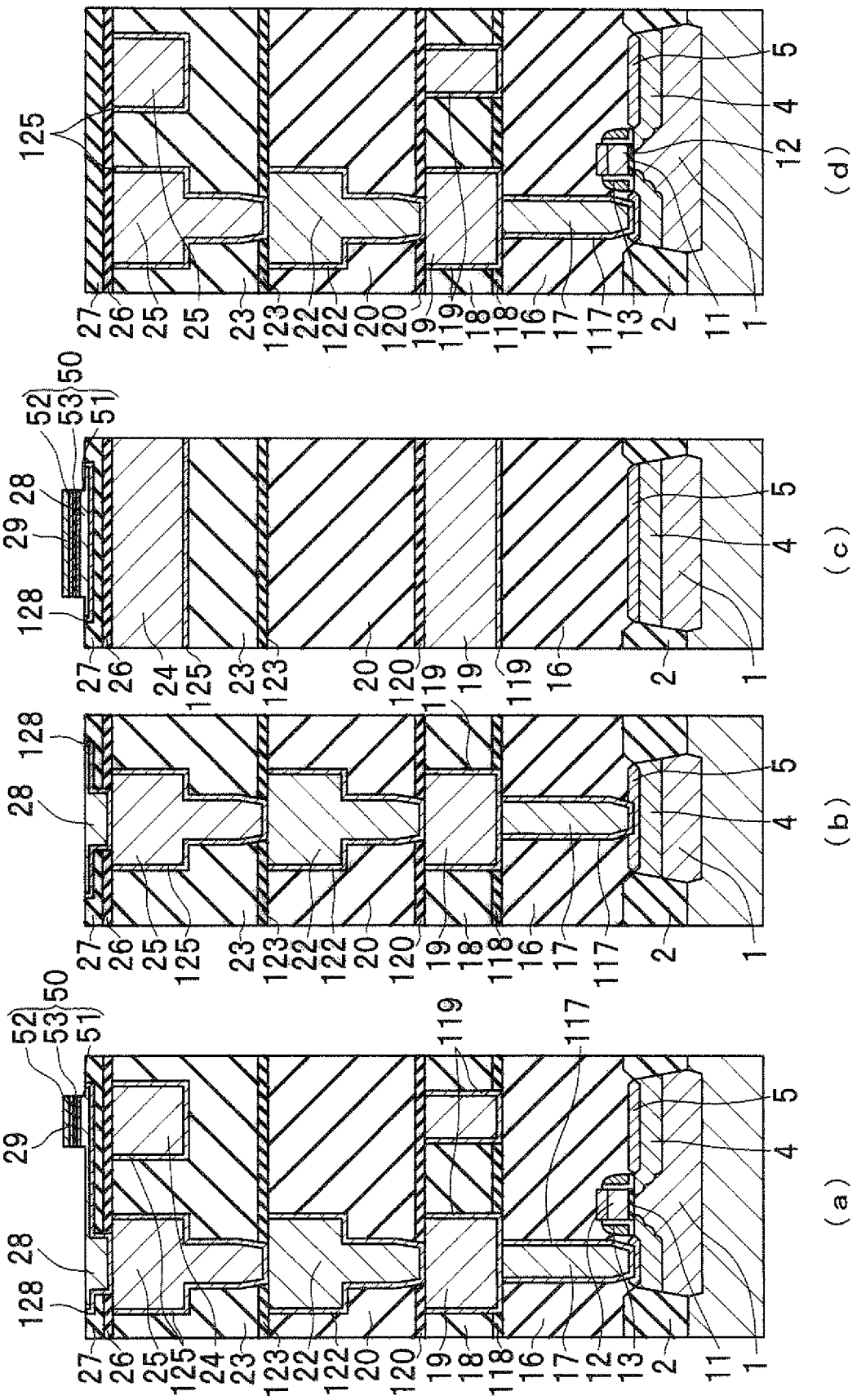
[図37]


(a)
(b)
(c)
(d)
128
228
28
27
26
25
125
24
23
123
22
122
20
120
19
18
118
16
17
117
12
13
2
11
1
4
5
119

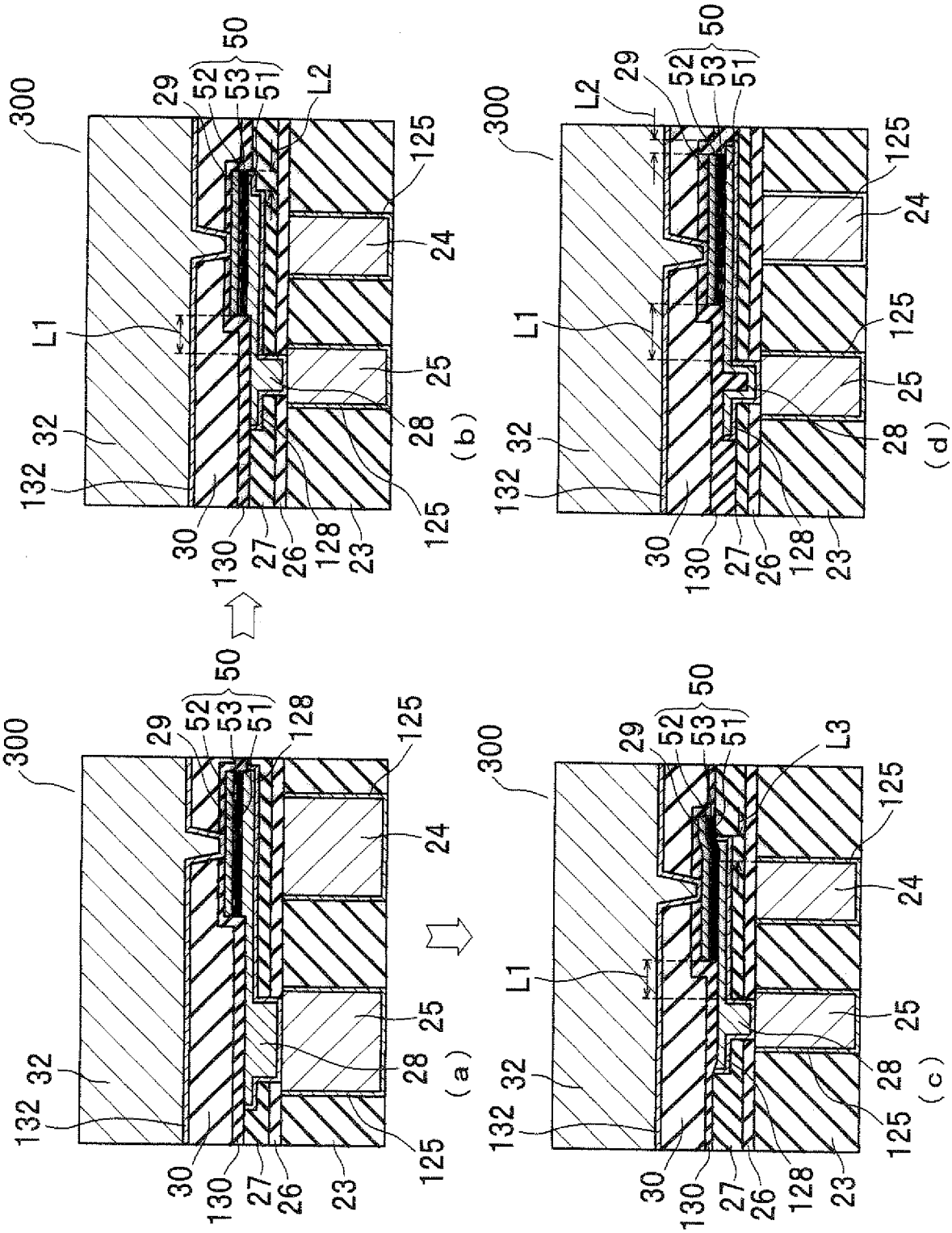
[図38]


(a)
(b)
(c)
(d)
50
51
52
53
128
228
229
1
2
4
5
11
12
13
16
17
18
19
20
22
23
24
25
26
27
117
118
119
120
122
123
125

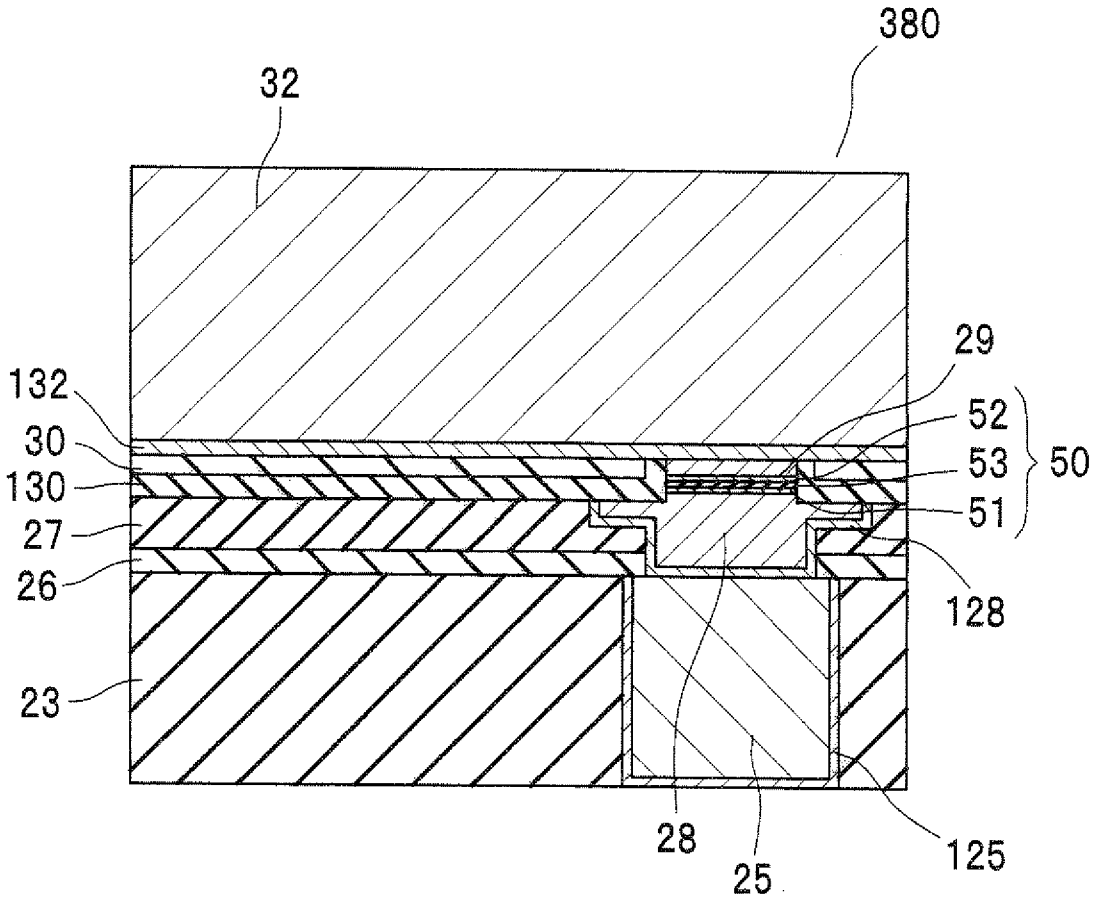
[図39]


(a)
(b)
(c)
(d)
125
50
51
52
53
29
28
128
27
26
25
24
23
123
22
122
20
120
19
18
118
16
17
117
13
12
11
2
1
4
5
119

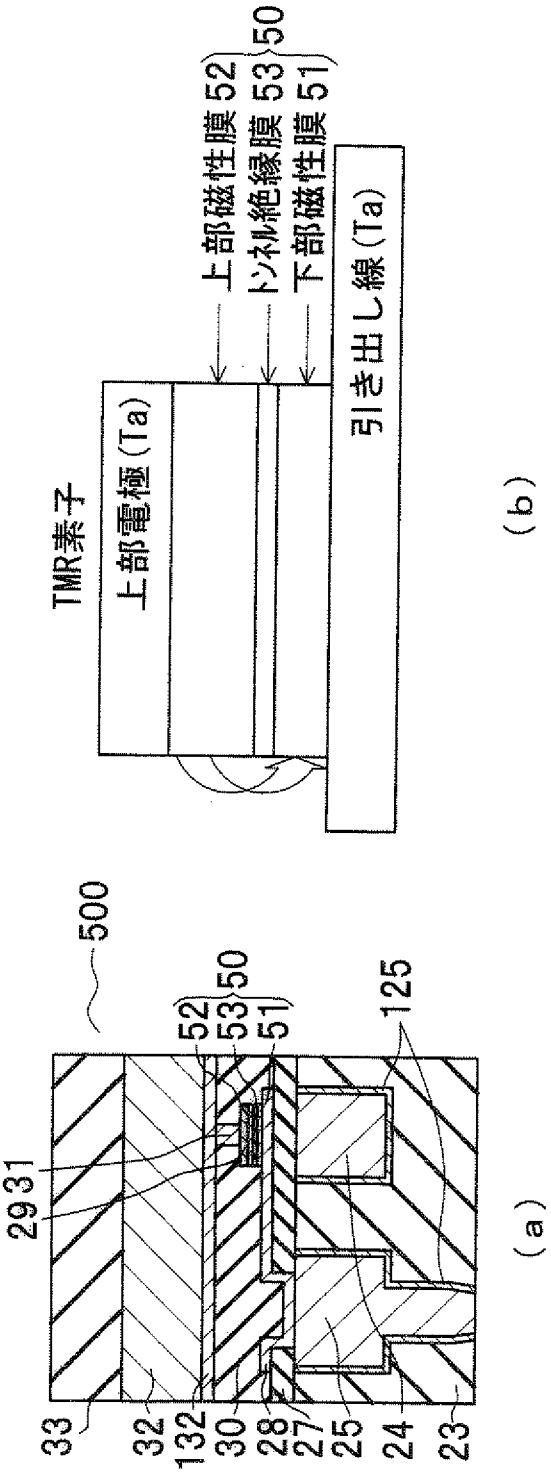
[図40]


300
29
52
53
51
50
L2
125
24
L1
25
28
32
132
30
130
27
26
128
23
(b)
(d)
(a)
(c)
L3

[図41]



[図42]


TMR素子
上部電極(Ta)
上部磁性膜 52
トンネル絶縁膜 53
下部磁性膜 51
50
引き出し線(Ta)
(b)
500
52
53
51
50
125
29
31
33
32
132
30
28
27
25
24
23
(a)

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/053197

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/8246*(2006.01)i, *H01L27/105*(2006.01)i, *H01L43/08*(2006.01)i, *H01L43/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8246, H01L27/105, H01L43/08, H01L43/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | JP 2004-514286 A (Motorola, Inc.), 13 May, 2004 (13.05.04), Par. Nos. [0008] to [0020]; Figs. 3 to 5 & US 2003/0151079 A1 | 1,2 |

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 22 May, 2008 (22.05.08) | 03 June, 2008 (03.06.08) |
| Name and mailing address of the ISA/ Japanese Patent Office<br>Facsimile No. | Authorized officer<br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2008/053197

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The international search has revealed that "a method for manufacturing a magnetic storage device" as the technical feature common to the inventions of claims 1-12 is not novel since it is disclosed in document JP 2004-514286 A (Motorola, Inc.), 13 May, 2004 (13.05.04), paragraphs [0008]-[0020], Figs. 3-5. Consequently, the common technical feature is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the method for manufacturing a magnetic storage device makes no contribution over the prior art.
Therefore, there is no technical feature common to all the inventions of claims 1-12. (Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 2

**Remark on Protest**

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Consequently, this international application contains eight inventions: the invention of claims [1, 2]; the invention of claim [3]; the invention of claims [4, 5]; the invention of claims [6, 7]; the invention of claims [8, 12]; the invention of claims [9, 10, 12]; the invention of claim [12] (which is directly dependent on claim 9); and the invention of claims [11, 12].

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５３１９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i, H01L43/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8246, H01L27/105, H01L43/08, H01L43/12

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２００８年 |
| 日本国実用新案登録公報 | １９９６－２００８年 |
| 日本国登録実用新案公報 | １９９４－２００８年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| X | JP 2004-514286 A (モトローラ・インコーポレイテッド) 2004.05.13, 段落【0008】－【0020】, 図３－５<br>& US 2003/0151079 A1 | １，２ |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ２２．０５．２００８ | ０３．０６．２００８ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｍ　３７７５
三浦　尊裕
電話番号　０３－３５８１－１１０１　内線　３４６２

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５３１９７

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

調査の結果、請求の範囲１－１２に係る発明の共通の事項である「磁気記憶装置の製造方法」は、文献ＪＰ２００４－５１４２８６　Ａ，（モトローラ・インコーポレイテッド）２００４．５．１３，段落【０００８】－【００２０】，図３－５に開示されているから、新規でないことが明らかとなった。結果として、上記磁気記憶装置の製造方法は先行技術の域を出ないから、ＰＣＴ規則１３．２の第２文の意味において、この共通事項は特別な技術的特徴ではない。
それ故、請求の範囲１－１２に係る発明全てに共通の事項はない。

よって、この国際出願の請求の範囲には、「１，２」，「３」，「４，５」，「６，７」，「８，１２」，「９，１０，１２」，「(請求の範囲９に直接従属する)１２」，「１１，１２」の８個の発明が記載されている

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１，２

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☐ 追加調査手数料の納付はあったが、異議申立てはなかった。