

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4171304号
(P4171304)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.	F I
G 1 1 B 9/14 (2006.01)	G 1 1 B 9/14 C
	G 1 1 B 9/14 F
	G 1 1 B 9/14 G

請求項の数 20 (全 11 頁)

(21) 出願番号	特願2002-575955 (P2002-575955)	(73) 特許権者	398038580
(86) (22) 出願日	平成14年3月21日(2002.3.21)		ヒューレット・パカード・カンパニー
(65) 公表番号	特表2004-532494 (P2004-532494A)		HEWLETT-PACKARD COMPANY
(43) 公表日	平成16年10月21日(2004.10.21)		アメリカ合衆国カリフォルニア州パロアルト
(86) 国際出願番号	PCT/US2002/008863		ハノーバー・ストリート 3000
(87) 国際公開番号	W02002/078005	(74) 代理人	100081721
(87) 国際公開日	平成14年10月3日(2002.10.3)		弁理士 岡田 次生
審査請求日	平成17年1月7日(2005.1.7)	(74) 代理人	100105393
(31) 優先権主張番号	09/819,402		弁理士 伏見 直哉
(32) 優先日	平成13年3月27日(2001.3.27)	(74) 代理人	100111969
(33) 優先権主張国	米国 (US)		弁理士 平野 ゆかり

最終頁に続く

(54) 【発明の名称】 分子メモリスシステムおよび方法

(57) 【特許請求の範囲】

【請求項 1】

分子メモリスシステムであって、

第 1 の電極構造と、

プローブ先端部と接触するために露出された平坦な保護表面を有する第 2 の電極構造であって、金属酸化物によって分離され、相隔てて配置される金属電極のアレイを含む前記第 2 の電極構造と、

前記第 1 の電極構造と前記第 2 の電極構造との間に配置される分子記録層を有する記録媒体と、

を備える分子メモリスシステム。

10

【請求項 2】

前記分子記録層はスイッチ切替え可能な分子種を含む請求項 1 に記載の分子メモリスシステム。

【請求項 3】

前記分子記録層はロタクサン分子種を含む請求項 2 に記載の分子メモリスシステム。

【請求項 4】

前記第 1 の電極構造は、基板上に配置される金属層を含む請求項 1 に記載の分子メモリスシステム。

【請求項 5】

前記金属電極はアルミニウムから形成され、前記金属酸化物は酸化アルミニウムである

20

請求項 1 に記載の分子メモリシステム。

【請求項 6】

前記第 2 の電極構造の前記露出された平坦な保護表面と接触するように構成されるプローブ先端部をさらに含む請求項 1 に記載の分子メモリシステム。

【請求項 7】

前記プローブ先端部はカーボンナノチューブを含む請求項 6 に記載の分子メモリシステム。

【請求項 8】

プローブ先端部のアレイを含む走査アセンブリをさらに含み、前記プローブ先端部のそれぞれは、前記第 2 の電極構造の前記露出された平坦な保護表面と接触するように構成される請求項 1 に記載の分子メモリシステム。

10

【請求項 9】

前記プローブ先端部 (5 0) のアレイに結合され、前記プローブ先端部 (5 0) の位置を調整して、該プローブ先端部 (5 0) のそれぞれと前記第 2 の電極構造 (3 4) の前記露出された平坦な表面 (3 8) との間の接触を維持するように構成されるアクチュエータ (6 0) をさらに含む請求項 8 に記載の分子メモリシステム。

【請求項 1 0】

前記走査アセンブリ (5 9) は、前記第 2 の電極構造 (3 4) の前記露出された平坦な保護表面 (3 8) にわたって前記プローブ先端部アレイ (5 0) を走査するように構成される請求項 8 に記載の分子メモリシステム。

20

【請求項 1 1】

前記走査アセンブリのプローブ先端部 (5 0) 内の電圧信号、および前記第 1 の電極構造 (3 2) と前記第 2 の電極構造 (3 4) の前記電極 (1 4) との間の電圧信号の印加を制御するように構成される読出し / 書込みコントローラ (5 4) をさらに含む請求項 1 0 に記載の分子メモリシステム。

【請求項 1 2】

前記分子記録層 (1 6) は、異なる電流 - 電圧特性を有する第 1 のメモリ状態と第 2 のメモリ状態とを選択的に保持するメモリ特性を有し、前記記録層 (1 6) に状態変化用電圧が印加される際に、前記第 1 のメモリ状態と前記第 2 のメモリ状態との間の移り変わりを示す請求項 1 1 に記載の分子メモリシステム。

30

【請求項 1 3】

前記読出し / 書込みコントローラ (5 4) は、前記分子記録層 (1 6) の局所的なメモリ状態を判定するためのセンシング電圧の印加を制御し、前記分子記録層 (1 6) の局所的なメモリ状態を変更するための状態変化用電圧の印加を制御するように構成される請求項 1 2 に記載の分子メモリシステム。

【請求項 1 4】

前記第 2 の電極構造 (3 4) の前記露出された平坦な保護表面 (3 8) 上に配置される潤滑剤 (7 0) をさらに含む請求項 1 に記載の分子メモリシステム。

【請求項 1 5】

分子メモリ製造方法であって、

40

第 1 の電極構造 (3 2) を配設するステップと、

前記第 1 の電極構造 (3 2) 上に分子記録層 (1 6) を有する記録媒体 (4 0) を配置するステップと、

前記記録媒体 (4 0) 上に第 2 の電極構造を配置するステップであって、該第 2 の電極構造は、プローブ先端部 (5 0) と接触するために露出された平坦な保護表面 (3 8) を有し、金属酸化物 (3 6) によって分離され、相隔てて配置される金属電極 (1 4) のアレイを含む、前記配置するステップと、
を含む方法。

【請求項 1 6】

分子メモリ記録再生方法であって、

50

第 1 の電極構造 (3 2) と、

露出された平坦な保護表面 (3 8) を有し、金属酸化物 (3 6) によって分離され、
離隔して配置される金属電極 (1 4) のアレイを含む第 2 の電極構造 (3 4) と、

前記第 1 の電極構造 (3 2) と前記第 2 の電極構造 (3 4) との間に配置される分子
記録層 (1 6) を有する記録媒体 (4 0) と、

を含む分子メモリシステム (3 0) を配設するステップと、

前記第 2 の電極構造 (3 4) の前記露出された平坦な保護表面 (3 8) に対してプロー
ブアレイ (5 0) を接触させるステップと、

該接触しているプローブ先端部アレイ (5 0) を、前記第 2 の電極構造 (3 4) の前記
露出された平坦な保護表面 (3 8) にわたって走査するステップと、

を含む分子メモリ記録再生方法。

10

【請求項 1 7】

前記プローブ先端部アレイ (5 0) はカーボンナノチューブのアレイを含む請求項 1 6
に記載の分子メモリ記録再生方法。

【請求項 1 8】

前記分子記録層 (1 6) は、異なる電流 - 電圧特性を有する第 1 のメモリ状態と第 2 の
メモリ状態とを選択的に保持するメモリ特性を有し、前記記録層 (1 6) に状態変化用電
圧が印加される際に、前記第 1 のメモリ状態と前記第 2 のメモリ状態との間の移り変わ
りを示す請求項 1 6 に記載の分子メモリ記録再生方法。

【請求項 1 9】

20

前記分子記録層 (1 6) に、前記分子記録層 (1 6) の局所的なメモリ状態を判定する
ためのセンシング電圧を印加するステップをさらに含む請求項 1 8 に記載の分子メモリ記
録再生方法。

【請求項 2 0】

前記分子記録層 (1 6) に、該分子記録層 (1 6) の局所的なメモリ状態を変更するた
めの状態変化用電圧を印加するステップをさらに含む請求項 1 8 に記載の分子メモリ記
録再生方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は分子メモリシステムおよび方法に関する。

【0002】

関連特許出願への相互参照

本特許出願は、1999年3月29日出願のJames R. Heath他による「Chemically S
ynthesized and Assembled Electronic Devices」というタイトルの米国特許出願第09
/ 282, 048号、および2001年3月21日出願のYong Chen他による「Fabrica
ting A Molecular Memory Device Having A Protective Barrier Layer」というタイト
ルの米国特許出願に関連し、いずれの特許出願も参照して本明細書に援用される。

【背景技術】

【0003】

40

種々の異なる分子電子論理回路およびメモリ素子が提案されている。

【0004】

たとえば、1つの分子電子素子構造では、分子層（たとえば、ラングミュア - プロジェ
ット膜）が一对の導電層（たとえば、一对の金属層、金属層およびドープ半導体層、ある
いは一对のドープ半導体層）間に挟持される。分子層は薄い絶縁性の膜として役割を果た
し、その膜は、トンネル接合素子あるいはスイッチング素子として構成される場合がある
金属 - 絶縁体 - 金属 (M I M) 構造において、あるいは論理およびメモリ素子として構成
される場合がある金属 - 絶縁体 - 半導体 (M I S) 構造において用いることができる。

【0005】

米国特許第6, 128, 214号は、ナノスケール素子の2次元のアレイから形成され

50

る分子電極・クロスバー・メモリ(MWCM)システムとして構成される別の分子メモリ素子構造を記載する。各MWCM素子は、一对の交差する電極の交点(接合部)に形成され、その場所において、少なくとも1つの分子結合種が一对の交差する電極間で双安定分子スイッチとしての役割を果たす。結果として形成される素子構造は、抵抗、ダイオードあるいは非対称非線形の抵抗として構成されることができる。各MWCM素子の状態は、比較的高い状態変化用の電圧を印加することにより変更することができ、状態変化を引き起こさない(あるいは破壊することのない)電圧で読み取られることができる。

【0006】

米国特許第5,812,516号は分子メモリシステムを記載しており、そのシステムでは、走査型トンネル顕微鏡プローブ電極(あるいは原子間力顕微鏡プローブ電極)が分子記録層上を直に走査し、分子記録媒体の局所的なエリアに情報を書き込むための電気信号、あるいは局所的なエリアから情報を読み出すための電気信号を放出するために用いられる。動作時に、プローブ電極と記録媒体との間の距離は、プローブ電極と記録媒体との間に作用する原子間力によって引き起こされる、プローブ電極の検出される変位に基づいて、一定(たとえば、約1nm)に保持される。このようにして、プローブ電極と記録媒体とが接触していたなら生じる恐れがある損傷を避けることができる。

10

【0007】

さらに別の分子メモリシステムおよび素子も提案されている。

【発明の開示】

【発明が解決しようとする課題】

20

【0008】

操作プローブあるいは分子記録媒体のいずれにも損傷を与える恐れが概ねないようにする分子メモリシステムを提供する。

【課題を解決するための手段】

【0009】

本発明は、走査プローブが直に電氣的に接触することにより分子メモリ要素に対して情報を書き込み、かつ分子メモリ要素から読み出すことができるようにするために、分子記録層上に配置される保護層を含み、走査プローブあるいは分子記録媒体のいずれにも損傷を与える恐れが概ねないようにする新規の分子メモリシステムを特徴とする。このようにして、本発明は、プローブ電極または記録媒体、あるいはその両方に損傷を与える恐れがある高い放出電流を避け、非接触プローブ電極を有する分子メモリシステムに多くの場合に関連する他の問題点を避ける。

30

【0010】

一態様では、本発明は、第1の電極構造と、第2の電極構造と、第1の電極構造と第2の電極構造との間に配置される分子記録層を有する記録媒体とを含む分子メモリシステムを特徴とする。第2の電極構造は、プローブ先端部と接触するために露出された概ね平坦な保護表面を有し、絶縁性材料によって分離され、離隔して配置される電極のアレイを含む。

【0011】

本発明のこの態様による実施形態は、以下の機構のうちの1つあるいは複数の機構を含むことができる。

40

【0012】

分子記録層はスイッチ切替え可能な分子種(たとえば、ロタクサン分子種)を含むことが好ましい。分子記録層は、異なる電流-電圧特性を有する第1のメモリ状態および第2のメモリ状態を選択的に保持するメモリ特性を有することが好ましく、状態変化用の電圧を記録層に印加する際に第1のメモリ状態と第2のメモリ状態との間の移り変わりを示すことが好ましい。第1の電極構造は、基板上に配置される金属層を含むことが好ましい。第2の電極構造は、金属酸化物によって分離され、離隔して配置される金属電極(たとえば、アルミニウム酸化物によって分離されるアルミニウム電極)のアレイを含むことが好ましい。

50

【 0 0 1 3 】

いくつかの実施形態では、分子メモリシステムは、第2の電極構造の露出された概ね平坦な保護表面と接触するように構成されるプローブ先端部を含む。プローブ先端部はカーボンナノチューブを含むことが好ましい。走査アセンブリがプローブ先端部のアレイを含み、各プローブ先端部が第2の電極構造の露出された概ね平坦な保護表面と接触するように構成されることができる。アクチュエータがプローブ先端部のアレイに結合され、プローブ先端部の位置を調整し、各プローブ先端部と第2の電極構造の露出された概ね平坦な表面との間の接触を保持するように構成されることができる。走査アセンブリは、第2の電極構造の露出された概ね平坦な保護表面にわたってプローブ先端部アレイを走査するように構成されることが好ましい。読出し/書込みコントローラが、走査アセンブリプローブ先端部内の電圧信号、および第1の電極構造と第2の電極構造の電極との間の電圧信号の印加を制御するように構成されることが好ましい。読出し/書込みコントローラは、分子記録層の局所的なメモリ状態を判定するためのセンシング電圧の印加を制御し、かつ分子記録層の局所的なメモリ状態を変更するための状態変化用の電圧の印加を制御するように構成されることが好ましい。

10

【 0 0 1 4 】

いくつかの実施形態では、第2の電極構造の露出された概ね平坦な保護表面上に潤滑剤が配置される。

【 0 0 1 5 】

別の態様では、本発明は、上記の分子メモリシステムを形成する方法を特徴とする。

20

【 0 0 1 6 】

本発明の別の態様では、プローブアレイは、上記の分子メモリシステムの第2の電極構造の露出された概ね平坦な保護表面に対して接触し、接触しているプローブ先端部アレイが、第2の電極構造の露出された概ね平坦な保護表面にわたって走査される。

【 0 0 1 7 】

本発明の他の特徴および利点は、図面および特許請求の範囲を含む、以下に記載される説明から明らかになるであろう。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下に記載される説明では、類似の要素を特定するために類似の参照番号が用いられる。さらに、図面は例示的な実施形態の主な機構を概略的に例示することを意図している。その図面は、実際の実施形態の全ての機構を示すことや、図示される要素の相対的な寸法を示すことを意図するわけではなく、縮尺どおりにも描かれていない。

30

【 0 0 1 9 】

図1を参照すると、一実施形態では、分子メモリ素子（あるいは分子メモリ構成要素）10は、2つの導電性の電極12、14と、電極12、14間に挟持される切替え可能な分子あるいは分子化合物の層16とを含む。電極12、14の接合部に配置される特定の分子（複数可）18はスイッチ分子として機能し、分子メモリ素子10のアクティブな部分に対応する。動作時に、分子メモリ素子10の状態は、電極12、14間に相対的に高い状態変化用の電圧を印加することにより変更されることができる。状態変化用電圧の大きさは、スイッチ分子18を酸化あるいは還元するだけの十分な大きさである。スイッチ分子18は、電荷のバランスをとり、分子種の一方が酸化（あるいは還元）される際に、他方の分子種が還元（あるいは酸化）されるように協動する一対のレドックス分子種を含むことができる。動作時に、一例では、一方の分子種が還元され、関連する分子種（レドックス対の他方）が酸化されることができる。別の例では、一方の分子種が還元され、電極12、14のうちの一方が酸化されることができる。第3の例では、一方の分子種が酸化され、電極12、14のうちの一方が還元されることができる。第4の例では、一方の電極が酸化され、他方の電極に関連する酸化物が還元されることができる。これらの各例では、酸化あるいは還元が、2つの電極間のトンネル効果距離あるいはトンネル効果障壁高に影響を及ぼし、それにより、電極接合部を越える電荷輸送の速度を指数関数的に変更

40

50

する。この電子的な機能は、分子メモリ素子 10 を電氣的スイッチとして動作させるための基礎として役割を果たす。

【0020】

電極 12、14 はそれぞれ、導電性の金属あるいはドーパ半導体材料から形成されることができる。電極 12、14 は、物理的薄膜堆積プロセス（たとえば、マグネトロンスパッタリングまたは電子ビーム堆積）あるいは化学的薄膜堆積プロセス（たとえば、化学気相成長）を含む、従来の薄膜堆積プロセスによって基板 20 上に堆積されることができる。

【0021】

分子層 16 は、種々の異なる切替え可能な分子種（たとえば、参照して本明細書に援用される、1999年3月29日に出願の米国特許出願第09/282,048号に記載されるロタクサン分子のうちの1つあるいは複数の分子）から形成されることができる。他の分子種（たとえば、参照して本明細書に援用される、米国特許第5,812,516号に記載される分子記録媒体化合物）を用いることもできる。いくつかの実施形態では、選択された分子種が溶媒（たとえば、テトラヒドロフラン）内に溶解され、ラングミュア単層として調製され、下側電極 12 上に、ラングミュア-プロジェクト単分子単層膜 16 として移送されることができる。他の実施形態では、適当な分子種が基板 20 上に直に堆積されることができる。

10

【0022】

上側電極 14 は絶縁性材料 36 によって包囲され、その絶縁性材料は、金属あるいは半導体酸化物を含む、任意の適当な絶縁性材料から形成されることができる。いくつかの実施形態では、上側電極 14 は、上側層の領域を1つの導電タイプから別の導電タイプに変換することにより形成されることができる。たとえば、一実施形態では、上側層は電気導体（たとえば、アルミニウムあるいはチタン）から形成され、絶縁性領域 36 は、従来の酸化プロセスによって絶縁体に変換される。別の実施形態では、上側層は絶縁体（たとえば、電氣的アンチヒューズ構造）から形成され、その場合に、上側電極 14 に対応する領域が電気導体に変換される。

20

【0023】

基板 20 は絶縁性材料、たとえば、半導体基板上に形成される酸化物層（たとえば、シリコン基板上に形成される二酸化シリコン（ SiO_2 ）層）あるいはサファイアから形成されることができる。

30

【0024】

分子層 16 のために選択される分子あるいは材料に応じて、分子メモリ素子 10 は、電極 12 と上側電極 14 との間の接続あるいは切断を制御するために用いることができる種々の異なる電氣的スイッチング機能のうちの任意の機能を示すことができる。分子メモリ素子は、個々に構成可能あるいは構成変更可能にすることができる。個々に構成可能な実施形態では、分子メモリ素子 10 の初期状態は開いているか、閉じているかのいずれかの場合がある。構成変更可能な実施形態では、アクティブ材料あるいは分子 18 を可逆的に酸化および還元するように選択される適当な閾値を越えるように、印加電圧の極性および大きさを入れ替えることにより、スイッチング素子を何度も開閉することができる。

40

【0025】

一般的に、下側電極 12 と上側電極 14 との間に形成される電氣的接続のタイプは、電極 12、14 および分子層 16 が形成される材料に依存する。表 1 は種々の素子材料の組み合わせから得られる種々のタイプの電氣的スイッチング機能を示す。

【表 1】

素子タイプ	電 極 材 料				
	金属－金属 (同じ金属)	金属－金属 (異なる金属)	金属－半導体	半導体－半導体 (p n 接合)	半導体－半導体 (ヘテロ接合)
抵抗	X	X	X		
トンネル抵抗	X	X	X		
共鳴トンネル 抵抗	X	X	X		
ダイオード		X	X	X	X
トンネル ダイオード		X	X	X	
共鳴トンネル ダイオード		X	X	X	X
電池		X	X		X

【 0 0 2 6 】

図 2 を参照すると、一実施形態では、分子メモリ 3 0 は、それぞれが分子メモリ素子 1 0 の構造を有するメモリ要素のアレイから形成されることができる。詳細には、分子メモリシステム 3 0 は、電極 1 2 に対応する第 1 の電極構造 3 2 を含み、それは各メモリ要素のための共通電極としての役割を果たす。また分子メモリシステム 3 0 は、絶縁性材料 3 6 によって分離され、相隔てて配置される電極 1 4 のアレイを含み、走査用のプローブ先端部と接触するために露出された概ね平坦な保護表面 3 8 を有する第 2 の電極構造 3 4 も含む。分子層 1 6 に対応する記録媒体 4 0 は、第 1 の電極構造 3 2 と第 2 の電極構造 3 4 との間に配置される。

【 0 0 2 7 】

図 3 を参照すると、一実施形態では、走査ヘッド 5 2 によって支持されるプローブ先端部 5 0 のうちの 1 つあるいはアレイを用いて、分子メモリ 3 0 に情報を書き込み、分子メモリ 3 0 から情報を読み出すことができる。書き込み / 読出しコントローラ 5 4 が、プローブ先端部 5 0 内の電圧信号、および第 1 の電極構造 3 2 と第 2 の電極構造 3 4 の電極 1 4 との間の電圧信号の印加を制御する。矢印 5 6、5 8 によって示されるように、走査ヘッド 5 2 は、第 2 の電極構造 3 4 の露出された概ね平坦な保護表面 3 8 上で走査ヘッド 5 2 を正確に移動させるように構成される走査アセンブリ 5 9 上に取り付けられる。詳細には、走査ヘッド 5 2 は、z 軸走査アクチュエータ 6 0 によって垂直方向に動かされることができ、x - y 軸走査アクチュエータ 6 2 によって水平方向に動かされることができる。z 軸走査アクチュエータ 6 0 および x - y 軸走査アクチュエータ 6 2 は支持アーム 6 4 によって支持される。位置決めコントローラ 6 6 が、表面 3 8 上のプローブ先端部 5 0 の垂直方向位置および水平方向位置を制御する。動作時に、位置決めコントローラ 6 6 はプローブ先端部 5 0 を垂直方向に降ろし、表面 3 8 と接触させることができる。次に、位置決めコントローラ 6 6 は、接触しているプローブ先端部 5 0 を、表面 3 8 にわたって水平に走査することができる。1 つあるいは複数のプローブ先端部 5 0 がそれぞれ多数の電極 1 4 上で位置決めされた後に、読出し / 書き込みコントローラ 5 4 が、対応するメモリ要素に、そのメモリ要素の局所的なメモリ状態を変更するように選択された相対的に高い状態変化用の電圧を印加することにより、その対応するメモリ要素に情報を書き込むことができる。別法では、読出し / 書き込みコントローラ 5 4 は、対応するメモリ要素に、そのメモリ状態を変更することなく、そのメモリ要素の電流導通特性についての情報を提供するように

選択された相対的に低いセンシング電圧を印加することにより、その対応するメモリ要素に格納される情報を読み出すことができる。

【 0 0 2 8 】

走査アセンブリ 5 9 は、従来の走査型トンネル顕微鏡 (S T M) 走査アセンブリとして実施されることができ、そのプローブ先端部 5 0 の位置はトンネル電流情報に基づいて制御される。別法では、走査アセンブリ 5 9 は原子間力顕微鏡 (A F M) 走査アセンブリとして実施されることができ、そのプローブ先端部 5 0 の位置は、プローブ先端部 5 0 と、第 2 の電極構造 3 4 の露出された概ね平坦な保護表面 3 8 との間に生成される力 (たとえば、原子間力、静電力あるいは磁気力) に基づいて制御される。z 軸走査アクチュエータ 6 0 および x - y 軸走査アクチュエータ 6 2 は、平坦な静電アクチュエータとして実施されることができ (たとえば、参照して本明細書に援用される、米国特許第 6 , 1 3 6 , 2 0 8 号および同第 5 , 8 0 1 , 4 7 2 号を参照されたい)。

10

【 0 0 2 9 】

図 4 A および図 4 B を参照すると、走査ヘッド 5 2 は、分子メモリ 3 0 のメモリ要素 1 0 間の間隔の $10 \sim 10^4$ 倍に相当することが好ましいプローブ先端部間隔で、プローブ先端部 5 0 の規則的なアレイを支持することができる。プローブ先端部 5 0 は、金属材料 (たとえばプラチナ) あるいは非金属材料 (たとえば炭素) を含む、耐久性があり、弾性がある導電性材料から形成されることができ。一実施形態では、プローブ先端部 5 0 はカーボンナノチューブである。本明細書において用いられる用語「ナノチューブ」は、約 $1 \sim 200 \text{ nm}$ の細い寸法 (直径) と長い寸法 (長さ) とを有し、長い寸法と細い寸法との比 (すなわちアスペクト比) が少なくとも 5 である、中空の物品を意味する。一般に、アスペクト比は $5 \sim 2000$ であってよい。カーボンナノチューブは炭素原子から形成される中空の構造体である。この実施形態では、各プローブ先端部 5 0 には、マルチウォールナノチューブ (M W N T) か、シングルウォールナノチューブ (S W N T) かのいずれかを用いることができる。M W N T は、それぞれが異なる直径を有するいくつかのナノチューブを含む。こうして、最も小さな直径のチューブは、それより大きな直径のチューブによって収容され、その大きな直径のナノチューブはさらに、別のさらに大きな直径のナノチューブによって収容されることができ。一方、S W N T は、1 つのみのナノチューブを含む。M W N T は通常、1 つの M W N T か、M W N T の束かのいずれかとして形成される。一方、S W N T は通常、S W N T のロープとして形成され、そのロープの各ストラ

20

30

【 0 0 3 0 】

図 4 B に示されるように、平坦なアクチュエータ 8 0 は、各プローブ先端部 5 0 の土台に配置され、各プローブ先端部 5 0 を表面 3 8 と接触した状態に保持するように構成される。カーボンナノチューブプローブ先端部 5 0 は、同じ長さあるいは異なる長さを有することができる。走査中に、平坦なアクチュエータ 8 0 は、各プローブ先端部 5 0 の位置を調整し、個々のプローブ先端部の長さを調整して、プローブ先端部 5 0 と表面 3 8 との間の接触を保持するように構成される。

40

【 0 0 3 1 】

図 5 を参照すると、一実施形態では、潤滑剤層 7 0 が、第 2 の電極構造 3 4 の露出された概ね平坦な保護表面 3 8 上に配置される。潤滑剤層 7 0 は、プローブ先端部 5 0 と表面 3 8 との間の相互作用のエネルギーを低減する、任意の適当な非導電性の固体あるいは液体材料から形成されることができ。たとえば、潤滑剤 7 0 には、表面 3 8 上にわたって、熱的に蒸着されたグラファイト層を用いることができる。他の材料組成を用いることもできる。接触しているプローブ先端部 5 0 と表面 3 8 との間の相互作用のエネルギーを低減することにより、潤滑剤層 7 0 は、使用中にプローブ先端部 5 0 および表面 3 8 が摩損すること、および損傷を受ける可能性を低減する。

【 0 0 3 2 】

50

他の実施形態も特許請求の範囲内にある。たとえば、上記の分子メモリ素子を、1つあるいは複数の論理（メモリではない）機能を実行するように設計される回路内で実施することもできる。

【0033】

さらに別の実施形態も特許請求の範囲内にある。

【図面の簡単な説明】

【0034】

【図1】2つの重なり合う導電性電極間に挟持される少なくとも1つの電氣的にアドレス指定可能な分子種から形成される分子メモリ素子の概略的な側断面図。

【図2】図1の分子メモリ素子に対応する構造をそれぞれ有するメモリ素子のアレイを含む分子メモリの一部の概略的な斜視図。

【図3】図2のメモリ素子アレイの露出された概ね平坦な保護表面にわたってプローブ先端部のアレイを走査するためのアセンブリを含む分子メモリシステムの概略的な側面図。

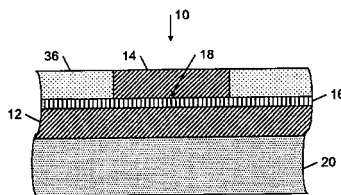
【図4A】図3の走査プローブ先端部アセンブリのプローブ先端部アレイの概略的な底面図。

【図4B】図3の走査プローブ先端部アセンブリのプローブ先端部アレイの概略的な側断面図。

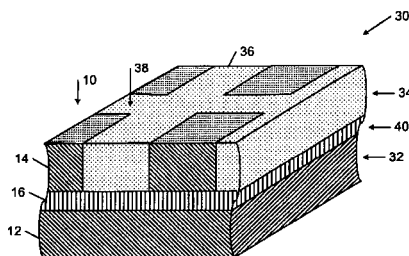
【図5】潤滑剤層が露出された概ね平坦な表面上に配置される、図2のメモリ素子アレイの部分の概略的な斜視図。

10

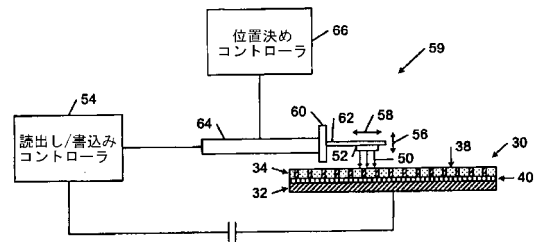
【図1】



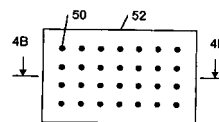
【図2】



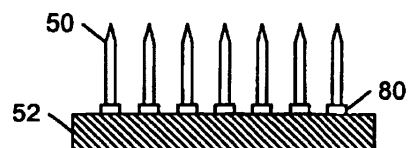
【図3】



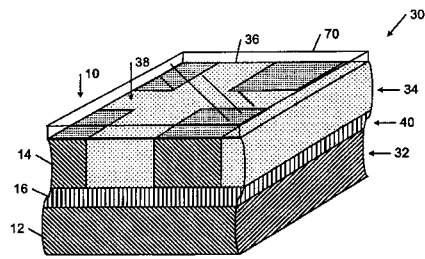
【図4A】



【図4B】



【図 5】



フロントページの続き

(72)発明者 チェン、ヨン

アメリカ合衆国 9 4 3 0 6 カリフォルニア州パロ・アルト、マッケーラー・レーン 4 2 7 5、ナンバー 2

(72)発明者 ウォムズリー、ロバート・ジー

アメリカ合衆国 9 4 3 0 6 カリフォルニア州パロ・アルト、モアナ・コート 8 4 3

審査官 ゆずりは 広行

(56)参考文献 特開平 0 7 - 1 2 1 9 1 7 (J P , A)

特開平 0 6 - 3 3 1 3 0 9 (J P , A)

特開平 0 5 - 0 2 8 5 4 5 (J P , A)

C. P. Collier、外 7 名、Electronically Configurable Molecular-Based Logic Gates , Science , 米国 , 1 9 9 9 年 7 月 1 6 日 , 285 , p.391-394

(58)調査した分野(Int.Cl. , D B 名)

G11B 9/00 - /14