



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

262276

(11) (B1)

(51) Int. Cl.⁴

G 06 F 13/00,

H 04 B 14/04

(22) Přihlášeno 05 11 86

(21) PV 7997-86.K

(40) Zveřejněno 16 08 88

(45) Vydáno 15 06 89

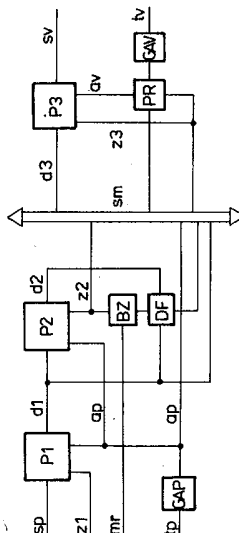
(75)

Autor vynálezu

STANĚK JAROSLAV ing., LHOTÁK JIŘÍ ing., PRAHA

(54) Vazební obvod mezi mikropočítačem a signálním traktem

Řešení se týká vazebního obvodu mezi mikropočítačem a signálním traktem přenosového systému s pulsně kódovou modulací - PCM. Vstupní data každé dvojice signalizačních kanálů přicházejí na první vstup první paměti, v pravidelných intervalech 125 μ s. Porovnávací obvod porovnává nová data na výstupu první paměti se starými daty na výstupu druhé paměti. V případě neshody dat vyšle porovnávací obvod na výstupu signál zápisu, který způsobí přepis nových dat do druhé paměti a předá nová data na sběrnici mikropočítače. Na vysílací mikropočítač předává data ze sběrnice mikropočítače na první vstup třetí paměti, u nichž v daném okamžiku potřebuje provést změnu. Z výstupu třetí paměti jsou data čtena v pravidelných intervalech synchronně s přenosovým systémem s PCM. Zapojení vyhledává a předává do mikropočítače a zpět pouze změny dat ze signalizačních kanálů. Tím snižuje rychlost toku informací a podstatně snižuje nároky na mikropočítač. Během jednoho multirámce převezme a předá data nejvýše jednoho signalizačního kanálu.



Vynález se týká vazebního obvodu mezi mikropočítačem a signálním traktem přenosového systému s pulsně kódovou modulací - PCM.

V přenosovém systému s PCM s třicetidvěma kanály se signalizace přenáší jako sdružená v šestnáctém kanálu. Vytváří se signalizační trakt, který přenáší data dvou signalizačních kanálů každých 125 μ s. Časová prodleva mezi kanály této dvojice je přibližně 1 μ s. Jsou známy vazební obvody mezi signalizačním traktem a logickými obvody pro zpracování signalizace. Tyto vazební obvody nelze použít pro zpracování signalizace mikropočítačem. Technické obtíže vznikají především proto, že rychlost toku informací v signalizačním traktu přesahuje možnosti dané operační rychlostí mikropočítačů.

Účelem vynálezu je vytvořit vhodné vazební obvody pro zpracování signalizace mikropočítači. Podle podstaty vynálezu se toto dosahuje tím, že na přijímací straně je signalizační trakt připojen na první vstup první paměti, na jejíž druhý vstup je připojen zdroj taktu zápisu a jejíž první výstup je připojen na první vstup druhé paměti. První výstup druhé paměti je připojen na první vstup porovnávacího obvodu, jehož druhý vstup je spojen s prvním výstupem první paměti a se sběrnicí mikropočítače, druhý výstup je připojen přímo na sběrnicí mikropočítače a první výstup je připojen na první vstup blokovacího obvodu. Druhý vstup blokovacího obvodu je připojen na obvod pro vyhodnocení platnosti informace a výstup blokovacího obvodu je připojen na zápisový vstup první paměti a sběrnicí mikropočítače. Obě paměti jsou připojeny na společnou adresovou sběrnicí, která je připojena na sběrnicí mikropočítače a na generátor přijímací adresy, na jehož vstup je připojen zdroj taktu zápisu. Na vysílací straně je sběrnice mikropočítače připojena na první vstup třetí paměti, jejíž výstup je připojen na signalizační trakt a jejíž adresová sběrnice je připojena na výstup přepínače. První signálový vstup přepínače je připojen na sběrnicí mikropočítače a druhý signálový vstup je připojen na generátor vysílací adresy, na jehož vstup je připojen zdroj taktu vysílání. Zápisový vstup třetí paměti je připojen na řídicí vstup přepínače a sběrnicí mikropočítače.

Vazební obvody podle vynálezu umožňují zpracovat signalizaci mikropočítačem, což má výhody v univerzálnosti, snadné programovatelnosti, zmenšení rozměrů a snížení příkonu.

Příklad vynálezu je dále popsán pomocí výkresu. Na přijímací straně je signalizační trakt připojen na první vstup sp první paměti P1, na jejíž druhý vstup z1 je připojen zdroj taktu zápisu a jejíž první výstup d1 je připojen na první vstup druhé paměti P2. První výstup d2 druhé paměti P2 je připojen na první vstup porovnávacího obvodu DF, jehož druhý vstup je spojen s prvním výstupem d1 první paměti P1 a se sběrnicí sm mikropočítače. Druhý výstup porovnávacího obvodu DF je připojen přímo na sběrnicí sm mikropočítače a první výstup je připojen na první vstup blokovacího obvodu BZ. Na druhý vstup mr blokovacího obvodu BZ je připojen obvod pro vyhodnocení platnosti informace a na jeho výstup z2 je připojen zápisový vstup první paměti P1 a sběrnice sm mikropočítače. První a druhá paměť P1 a P2 jsou připojeny na společnou adresovou sběrnicí ap, která je připojena na sběrnicí sm mikropočítače a na generátor GAP přijímací adresy, na jehož vstup tp je připojen zdroj taktu zápisu. Na vysílací straně je sběrnice sm mikropočítače připojena na první vstup d3 třetí paměti P3, jejíž výstup sv je připojen na signalizační trakt a jejíž adresová sběrnice av je připojena na výstup přepínače PR. První signálový vstup přepínače PR je připojen na sběrnicí sm mikropočítače a druhý signálový vstup je připojen na generátor GAV vysílací adresy, na jehož vstup tv je připojen zdroj taktu vysílání. Zápisový vstup z3 třetí paměti P3 je připojen na řídicí vstup přepínače PR a sběrnicí sm mikropočítače.

Na přijímací i vysílací straně vazebních obvodů je signalizační trakt zakončen obvyklými sérioparalelními převodníky. Přijímací strana obsahuje obvod pro vyhledávání synchronizačního kritéria, multirámce, který umožňuje rozlišit platný signál od neplatného. Sběrnice mikropočítače je vybavena příslušnými stykovými obvody. Vstupní data každé dvojice signalizačních kanálů přicházejí na první vstup sp první paměti P1, do níž jsou zapisována na příslušné adresy, vyráběné generátorem GAP přijímací adresy, v pravidelných intervalech 125 μ s synchronně

s přenosovým systémem s PCM. Porovnávací obvod DF ihned srovnává nová data na výstupu d1 první paměti P1 se starými daty na výstupu d2 druhé paměti P2, která tam byla zapsána v minulých cyklech. V případě shody dat činnost vazebních obvodů ustává až do příchodu další dvojice vstupních dat. V případě neshody dat vyšle porovnávací obvod DF na výstupu z2 signál zápisu, který způsobí přepis nových dat do druhé paměti P2 a současně předá nová data na sběrnici sm mikropočítače. Platnost dat je potvrzována signálem na druhém vstupu mr blokovacího obvodu BZ, který v případě poruchy zabrání zápisu a předávání neplatných dat. Porovnávací obvod DF také určuje, v kterém z dvojice signalizačních kanálů nastala neshoda a v tomto smyslu doplní údaj v adresové sběrnici ap.

Na vysílací straně, tj. ve směru do signalizačního traktu, mikropočítač předává prostřednictvím adresové sběrnice av a impulsu na zápisovém vstupu z3 třetí paměti P3 data ze sběrnice sm mikropočítače na první vstup d3 třetí paměti P3, avšak pouze těch, u nichž v daném okamžiku potřebuje provést změnu. Ostatní data zůstávají ve třetí paměti P3 z minulých zápisů beze změny. Z výstupu sv třetí paměti P3 jsou data čtena v pravidelných intervalech synchronně s přenosovým systémem s PCM tak, že adresová sběrnice av je přepínačem PR přepnuta na cyklicky vysílající generátor GAV vysílací adresy.

Zapojení podle vynálezu vyhledává a předává do mikropočítače a zpět pouze změny dat ze signalizačních kanálů. Tím snižuje rychlost toku informací nejméně třicetkrát. Během jednoho multirámce převezme a předá data nejvýše jednoho signalizačního kanálu. Tato rychlost postačuje předpokládané maximální hustotě provozu a podstatně snižuje nároky na mikropočítač.

P R Ě D M Ě T V Y N Á L E Z U

Vazební obvod mezi signalizačním traktem a mikropočítačem v přenosových systémech s pulsně kódovou modulací - PCM, vyznačený tím, že na přijímací straně je signalizační trakt připojen na první vstup (sp) první paměti (P1), na jejíž druhý vstup (z1) je připojen zdroj taktu zápisu a jejíž první výstup (d1) je připojen na první vstup druhé paměti (P2), jejíž první výstup (d2) je připojen na první vstup porovnávacího obvodu (DF), jehož druhý výstup je spojen s prvním výstupem (d1) první paměti (P1) a se sběrnicí (sm) mikropočítače, druhý výstup je připojen přímo na sběrnici (sm) mikropočítače a první výstup je připojen na první vstup blokovacího obvodu (BZ), na jehož druhý vstup (mr) je připojen obvod pro vyhodnocení platnosti informace a jehož výstup (z2) je připojen na zápisový vstup první paměti (P1) a sběrnici (sm) mikropočítače, přičemž první a druhá paměť (P1, P2) jsou připojeny na společnou adresovou sběrnici (ap), která je připojena na sběrnici (sm) mikropočítače a na generátor (GAP) přijímací adresy, na jehož vstup (tp) je připojen zdroj taktu zápisu, zatímco na vysílací straně je připojena sběrnice (sm) mikropočítače na první vstup (d3) třetí paměti (P3), jejíž výstup (sv) je připojen na signalizační trakt a jejíž adresová sběrnice (av) je připojena na výstup přepínače (PR), jehož první signálový vstup je připojen na sběrnici (sm) mikropočítače a druhý signálový vstup je připojen na generátor (GAV) vysílací adresy, na jehož vstup je připojen zdroj taktů vysílání, přičemž zápisový vstup (z3) třetí paměti (P3) je připojen na řídicí vstup přepínače (PR) a sběrnici (sm) mikropočítače.

