



(12)

PATENTSCHRIFT

(21) Anmeldenummer: A 1792/2002
(22) Anmeldetag: 29.11.2002
(42) Beginn der Patentdauer: 15.05.2004
(45) Ausgabetag: 27.12.2004

(51) Int. Cl.⁷: **G08C 19/16**

(73) Patentinhaber:
SCHINDLER VOLKER DR.
A-5580 TAMSWEG, SALZBURG (AT).

(54) ÜBERTRAGUNGSANORDNUNG ZUR ÜBERTRAGUNG VON SIGNALEN UND D/A-UMSETZERSCHALTUNGEN HIEFÜR

AT 412 309 B

(57) Übertragungsanordnung zur Übertragung von Signalen, insbesondere Mess- bzw. Steuersignalen, in analoger Form, mit einer Gleichstrom (DC)-D/A-Umsetzerschaltung (12) für ein DC-Nutzsignal, die einen Eingangsspeicher, z.B. ein Register (23), einen digitalen Modulator, insbesondere $\Sigma\Delta$ -Modulator (57), und einen analogen Tiefpass (25) enthält, und mit einer Wechselstrom (AC)-D/A-Umsetzerschaltung (13) für ein moduliertes AC-Modemsignal, die einen digitalen Pulsweitenmodulator (62) und ein analoges Filter (33') enthält; in der DC-D/A-Umsetzerschaltung (12) ist dem digitalen Modulator ein digitales Tiefpassfilter (47) zugeordnet, in der AC-D/A-Umsetzerschaltung (13) ist dem Pulsweitenmodulator (62), der das Modemsignal in ein 1-Bit-Signal umsetzt, ein analoger Summierer (63) nachgeordnet, dem ein weiteres zu summierendes Signal, wie z.B. ein während des Ruhezustands aktiviertes Gleichstrom-Signal, ein MSB-Signal oder ein Taktsignal, zugeführt ist.

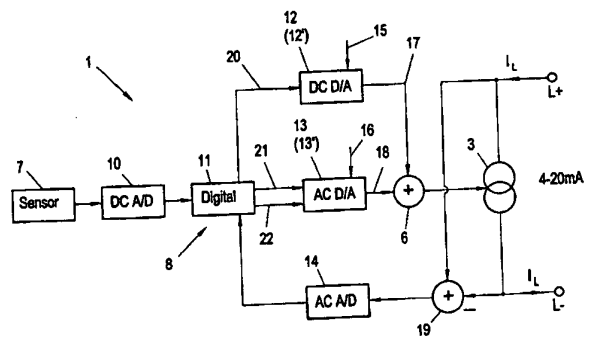


FIG. 3

Die Erfindung betrifft eine Übertragungsanordnung gemäß dem einleitenden Teil von Anspruch 1.

Weiters bezieht sich die Erfindung auf D/A-Umsetzerschaltungen gemäß den einleitenden Teilen der Ansprüche 14 und 20.

Derartige Übertragungsanordnungen bzw. D/A-(Digital/Analog-)Umsetzerschaltungen werden insbesondere zur Verbindung von Messwertgebern mit Auswerteinheiten und von Aktuatoren mit industriellen Steuer- und Regelsystemen eingesetzt. Ein Standard hierbei ist die 4mA-20mA-Stromschleife, bei der ein analoges Gleichstrom (DC)-Stromsignal mit einer Amplitude zwischen 4mA und 20mA dazu verwendet wird, einen Messwert eines Messwertgebers zu einem Steuer- bzw. Regelsystem oder aber ein Steuersignal des Steuer- bzw. Regelsystems zu einem Aktuator zu übermitteln. Eine standardisierte Möglichkeit einer digitalen Signalisierung über ein Modem und die 4-20mA-Stromschleife ist durch HART@ (Highway Addressable Remote Transmitter) gegeben, vgl. Hart Communication Foundation, HART@-SMART Communication Protocol, FSK Physical Layer Specification, Document Revision 8.1, HCF Document HCF-SPEC-54, Aug. 1999. Diese standardisierte Übertragung dient z.B. zur Eichung und Fehlerdiagnose eines Sensors, kann aber ebenso zur Übermittlung eines Messwertes herangezogen werden. Hierbei wird das analoge 4-20mA-DC-Stromsignal mit einem nach dem FSK-Verfahren (FSK-Frequency Shift Keying-Frequenzumtastung) modulierten 0,5mA-AC-Stromsignal überlagert. Das FSK-Verfahren erfolgt dabei in der Regel mit 1200 Bit/s und 1200 Hz für eine logische "1" (Mark) und 2200 Hz für eine logische "0" (Space). In Weiterentwicklung dieses Standards wurde der neue C8PSK-HART@ Standard (vgl. Hart Communication Foundation, HART@-SMART Communication Protocol, C8PSK Physical Layer Specification, Document Revision 1.0, HCF Document HCF-SPEC-60, Apr. 2001) geschaffen, um Daten 8mal schneller, also mit 9600 Bit/s, übertragen zu können. Dabei werden jeweils 3 Bits zu einem Symbol zusammengefasst und nach dem PSK-Verfahren (PSK-Phase Shift Keying-Phasenumtastung) zur Modulation eines 3200Hz-Trägers mit acht verschiedenen Phasenzuständen verwendet. Die resultierende Bandbreite beträgt im Fall des FSK-Verfahrens etwa 900-2500Hz, im Fall des C8PSK-Verfahrens 800-5600Hz.

Zur besseren Veranschaulichung wird nachfolgend eine solche Signalisierungstechnik gemäß Stand der Technik beispielhaft an Hand der Fig. 1 bis 7 näher erläutert. Dabei ist in Fig. 1 in einem Prinzipschaltbild die Anordnung eines Messwertgebers 1 und einer damit verbundenen Auswerteinheit 2 in einer Punkt-zu-Punkt-Topologie dargestellt. In diesem Fall kann sowohl eine analoge als auch eine digitale Signalisierung mittels Modem gleichzeitig genutzt werden.

Gemäß Fig. 1 ist im Messwertgeber 1 ebenso wie in der Auswerteinheit 2 jeweils eine gesteuerte Stromquelle 3 vorhanden, die einen Strom erzeugt, welcher in Kombination mit einer Spannungsquelle 4 an einem Messwiderstand 5 (mit einem Wert von 230 Ω bis 600 Ω) einen Spannungsabfall verursacht. Zur Ansteuerung der Stromquelle 3 des Messwertgebers 1 wird ein analoges Summierglied 6 verwendet, um ein von einem Messwert eines Sensors 7 abhängiges Gleichstrom-(DC-)Signal und ein von einem Modem 8 geliefertes Wechselstrom-(AC-)Signal gewichtet zu überlagern, um einen Schleifenstrom I_L über Klemmen bzw. Leitungen L+, L- zu erhalten. Ebenso wird die Stromquelle 3 der Auswerteinheit 2 von einem entsprechenden Modem 8 angesteuert. Sendezugriffe dieser Modems 8 werden über ein Protokoll gesteuert, welches ein gleichzeitiges Senden der Einheiten 1 und 2 verhindert, so dass sich immer mindestens eines der Modems 7, 8 im so genannten Ruhezustand befindet. Das empfangende Modem 8 demoduliert gegebenenfalls während dieses Ruhezustandes das am Messwiderstand 5 anliegende AC-Spannungssignal. Ein Voltmeter 9 dient zur Messung des Spannungssignals am Messwiderstand 5 innerhalb eines DC-Spektrums von 0-25Hz.

Als Alternative zur Punkt-zu-Punkt-Topologie gemäß Fig. 1 zeigt Fig. 2 ein Beispiel für die so genannte Multidrop-Topologie. Da sich hier die Ströme mehrerer Messwertgeber 1 zu einem gesamten Schleifenstrom ΣI_L addieren, wird auf die analoge Signalisierung meist verzichtet; stattdessen wird ein konstanter Gleichstrom von z.B. 4mA eingestellt. Bei dieser Topologie ist es daher nicht notwendig, in der Auswerteinheit 2 die Gleichspannung am Widerstand 5 zu messen. Das Sensorsignal kann dann nur noch digital über eines der jeweiligen Modems 8 in Kombination mit dessen gesteuerter Stromquelle 3 durch ein AC-Stromsignal übermittelt werden.

Auch bei dieser Multidrop-Topologie gemäß Fig. 2 werden gleichzeitige Sendezugriffe durch ein entsprechendes Protokoll vermieden.

Es ist vorteilhaft, wenn ein 4-20mA-Messwertgeber 1 nur über eine Stromschnittstelle verfügt, welche einfach an alle in Frage kommenden Topologien angepasst werden kann. Die beiden angeführten Topologien wurden daher als Beispiele gewählt, um davon die zur möglichst fehlerfreien Datenübertragung notwendigen Eigenschaften eines 4-20mA-Stromsignals abzuleiten. Aufgrund der bei der Punkt-zu-Punkt-Übertragung gleichzeitigen analogen und digitalen Signalisierung dürfen beide Signale einander nicht durch zu große Störströme im jeweils anderen Spektrum beeinflussen. Da bei der Multidrop-Topologie bis zu 16 Modems gleichzeitig empfangen (d.h. nicht senden), darf im Ruhezustand nur ein minimaler Störstrom im AC-Spektrum von 500Hz-10kHz entstehen. Bezüglich der Erzeugung des 4-20mA-Stromsignals mittels D/A-Umsetzer definieren folgende Bestimmungen die maximalen Amplituden von (unerwünschten) Störströmen (vgl. hierzu auch Hart Communication Foundation, HART®-SMART Communication Protocol, FSK Physical Layer Specification, Document Revision 8.1, HCF Document HCF-SPEC-54, Aug. 1999, Abschnitte 7.2 und 7.3):

1. Das Spektrum des analogen Signals ist mit -40dB/Dekade oberhalb von 25 Hz begrenzt.
 2. Die Amplitude eines beliebigen analogen Signals gemäß Bestimmung 1 darf nach Anwendung eines vorgegebenen digitalen Testfilters $\pm 30\mu\text{A}$ nicht überschreiten. Das digitale Testfilter ist ein Bandpass bestehend aus einem Butterworth-Hochpass mit 40dB/Dekade unterhalb von 500Hz und einem Tiefpass mit -20dB/Dekade oberhalb von 10kHz.

3. Die Amplitude des AC-Stromsignals darf nach Anwendung eines vorgegebenen analogen Testfilters $\pm 20\mu\text{A}$ nicht überschreiten. Das analoge Testfilter ist ein Butterworth-Tiefpass mit -40dB/Dekade oberhalb von 25Hz.

4. Im Ruhezustand (d.h. während kein digitales Signal gesendet wird) darf ein konstantes 4-20mA-Signal nach Anwendung des digitalen Testfilters $\pm 6,22\mu\text{A}$ nicht überschreiten.

In Fig.3 ist schematisch, in einem Blockschaltbild, ein 4-20mA-Messwertgeber 1 mit hierfür typisch vorgesehenen A/D- und D/A-Umsetzerschaltungen gezeigt. Dabei wird ein vom Sensor 7 geliefertes Messwertsignal zunächst durch eine DC-A/D-Umsetzerschaltung 10 digitalisiert. Eine daran angeschlossene Digitalschaltung 11 beinhaltet meist einen Mikrocomputer zur Signalverarbeitung und Modemsteuerung sowie den Digitalteil des Modems 8. Die Digitalisierung des Messwertsignals und die anschließende Umsetzung in den Analogbereich des Modems 8. Die Digitalisierung des Messwertsignals und die anschließende Umsetzung in den Analogbereich des Modems 8 digital zu korrigieren. Beispielsweise kann eine Temperaturabhängigkeit oder eine nichtlineare Kennlinie des Sensors 7 digital korrigiert werden; auch kann der Messwertgeber auf diese Weise digital kalibriert werden.

Da das Modem 8 digital implementiert ist, sind eine AC-D/A-Umsetzerschaltung 13 zum Senden und eine AC-A/D-Umsetzerschaltung 14 zum Empfangen modulierter AC-Signale notwendig. Bei Verwendung einer ungetakteten D/A-Umsetzerschaltung 12 bzw. 13 kann auf das entsprechende, in Fig. 3 schematisch angedeutete Taktsignal 15 bzw. 16 verzichtet werden. Die Ausgangssignale an den Ausgängen 17, 18 der D/A-Umsetzerschaltungen 12, 13 werden mit Hilfe des analogen Summierglieds 6 gewichtet addiert und anschließend der gesteuerten Stromquelle 3 zugeführt.

Zum Empfangen von Modemsignalen wird die Differenzspannung zwischen den Klemmen L+ und L- gemessen und unter Verwendung eines analogen Summierglieds 19 sowie der AC-A/D-Umsetzerschaltung 14 dem mit Hilfe der Digitalschaltung 11 implementierten Modem 8 zugeführt. In Fig. 3 sind weiters noch das Messwertsignal als Eingangssignal an einem Eingang 20 zur DC-D/A-Umsetzerschaltung 12 sowie AC-Eingangssignale an Eingängen 21, 22 zur AC-D/A-Umsetzerschaltung 13 (Ausgänge der Digitalschaltung 11) veranschaulicht.

Die Stromversorgung des Messwertgebers 1 erfolgt über die Stromschleife selbst, was den Stromverbrauch auf 2,68mA limitiert und den Betrieb an einer Zweidrahtleitung ermöglicht. Die 2,68mA-Grenze ergibt sich aus dem minimalen DC-Stromsignal von 4mA abzüglich der bei der C8PSK-Methode maximalen AC-Stromamplitude von 1,32mA. Ein minimaler Stromverbrauch der D/A-Umsetzerschaltungen 12, 13 ist daher ebenso ein wesentliches Kriterium wie deren Kosten, deren Platzbedarf sowie die Verfügbarkeit von benötigten Bauteilen. PWM-(Pulsweitenmodulator-) oder $\Sigma\Delta$ -Umsetzerschaltungen benötigen nur wenige analoge Bauelemente, und ihr Digitalteil kann gemeinsam mit dem Modem 8 effizient in einer integrierten Schaltung untergebracht werden. Anzustreben sind D/A-Umsetzerschaltungen 12, 13, welche einerseits mittels einer Digitalschaltung mit ausreichend geringer Taktfrequenz realisierbar sind, um den Stromverbrauch gering zu

halten, und andererseits sollten unerwünschte, bei der D/A-Umsetzung entstehende Störsignale den vorstehenden Bestimmungen 1 bis 4 genügen. Wie nachfolgend zusammengefasst entsprechen die bestehenden Techniken nicht allen wünschenswerten Kriterien.

Weitere Informationen zur 4-20mA-Schnittstelle und zu HART® können z.B. der
5 US 6 297 691 A entnommen werden.

Zur D/A-Umsetzung des DC-Signals ist es bekannt (vgl. US 5 187 474 A), als D/A-Umsetzerschaltung 12 eine integrierte Schaltung zu verwenden. Diese Schaltung arbeitet nach dem Prinzip der binär gewichteten Stromquellen, wobei in Bezug auf die Anwendung ein relativ hoher Stromverbrauch und ein hoher schaltungstechnischer Aufwand, mit dem damit verbundenen hohen Preis, von Nachteil sind. Im Gegensatz dazu arbeitet die in Analog Devices, MA, USA, AD421: "Loop-Powered 4 mA to 20 mA DAC" beschriebene integrierte Schaltung nach dem $\Sigma\Delta$ -Prinzip, was für die Anwendung bei einer 4-20mA Stromschleife eine wesentlich effizientere Lösung ergibt. In Fig. 4A ist das zu Grunde liegende Prinzip veranschaulicht. Der Messwert (s. Messwertsignal am Eingang 20) wird in einem Register 23, allgemein einem Eingangsspeicher, gespeichert und mittels eines $\Sigma\Delta$ -Modulators 24 unter Verwendung des Taktsignals 15 in ein 1-Bit-Pulsdichtesignal umgesetzt, das einem Tiefpass 25 zugeführt wird, der das Quantisierungsrauschen dämpft und die Bandbreite des Messwertsignals auf etwa 25Hz begrenzt. Aufgrund der niedrigen Grenzfrequenz benötigt dieser Tiefpass 25 jedoch externe Kondensatoren. Da zur Erlangung einer kurzen Einstellzeit bei einer Genauigkeit von etwa 14-Bit Kondensatoren mit ausreichend geringer dielektrischer Absorption benötigt werden, werden NPO-Kondensatoren mit 10nF bzw. 3,3nF empfohlen. Von allen Kondensatoren mit geringer dielektrischer Absorption haben NPO-Kondensatoren den Vorteil einer geringen Größe und geringer Kosten. Für die Anwendung dieser Schaltung in Kombination mit dem HART®-Standard sind die Kapazitätswerte allerdings zur Bandbegrenzung bei 25Hz auf 160nF und 500nF zu vergrößern, welche dann aber nicht mehr als NPO-Variante erhältlich sind. Von Nachteil ist weiters auch der relativ hohe Rechenaufwand, sofern ein solcher $\Sigma\Delta$ -Modulator mit einem Mikrocomputer realisiert wird.

Bei Mikrocomputern mit spezieller PWM-Peripherie erfordert die 1-Bit-D/A-Umsetzung gemäß dem PWM-Verfahren meist einen geringeren Aufwand. Verwendet man für die DC-D/A-Umsetzerschaltung 12 die in Fig. 4B schematisch dargestellte Technik mit einem Pulsweitenmodulator 26, so bewirkt die bei einer 14-Bit-Auflösung notwendige Taktfrequenz (s. Taktsignal 15) einen hohen Stromverbrauch eines entsprechend eingesetzten Mikrocomputers. Es gibt unterschiedliche Methoden, um höhere Auflösungen für die D/A-Umsetzung unter Verwendung von Pulsweitenmodulatoren geringerer Auflösung zu erzielen. In Fig. 4C ist ein Verfahren veranschaulicht (vgl. auch US 5 245 333 A), bei dem zwei Pulsweitenmodulatoren 26, 26' verwendet werden, um einen höherwertigen m-Bit-Teil (MSB-Teil) und einen niedrigerwertigen n-Bit-Teil (LSB-Teil) eines (m + n)-Bit-Digitalsignals in entsprechende Analogsignale umzusetzen und diese anschließend mittels eines analogen Summierglieds 27 gewichtet zueinander zu addieren. Von Nachteil ist bei dieser Methode der unmittelbar erkennbare Einfluss der von Bauteiltoleranzen beeinflussten Gewichtung der Analogsignale des analogen Summierglieds 27 auf die Linearität.

Vorschläge zur Erhöhung der Auflösung beim PWM-Verfahren mittels gewichteter digitaler Addition sind auch in US 5 103 462 A und US 5 471 505 A enthalten; hier besteht kein derartiges Linearitätsproblem. Eine detailliertere Beschreibung dieser Vorschläge kann sich erübrigen, denn der in Fig. 4D skizzierte Spezialfall der US 5 471 505 A erzielt gleichwertige Ergebnisse. Ein erster PWM-Modulator 26 wird zur Verarbeitung von n niederwertigen Bits (LSB-Teil) herangezogen und dabei von einem Frequenzteiler 28 mit einem durch 2^n geteilten Taktsignal 15 versorgt. Das resultierende 1-Bit-PWM-Signal wird mittels eines digitalen Addierers 29 zu den m höherwertigen Bits (MSB-Teil) addiert, deren Abtastrate in einem Halteglied 30 um den Faktor 2^n erhöht wurde. Ein zweiter PWM-Modulator 31 setzt das resultierende m-Bit-Signal in ein 1-Bit-Signal um, und der nachfolgende Tiefpass 25 liefert wiederum unter Reduktion des Quantisierungsrauschens das
50 Ausgangssignal am Ausgang 17.

Im Vergleich zur trivialen Methode gemäß Fig. 4B kann das Quantisierungsrauschen bei gleicher Auflösung und Taktfrequenz mit der Technik von Fig. 4D deutlich einfacher gefiltert werden, denn die Frequenz des m-Bit-PWM-Modulators 31 ist um den Faktor 2^n höher. Da umgekehrt aber die Abtastrate vorher um 2^n erhöht wird, bleibt die Abtastrate des Eingangssignals 20 unverändert
55 niedrig.

Ein Beispiel einer AC-D/A-Umsetzerschaltung 13 für die ausschließliche Erzeugung von FSK-Modemsignalen gemäß dem Bell 202-Standard ist in US 5 245 333 A angeführt und in Fig. 5A und 5B skizziert. Ein digitales FSK-Signal (Eingangssignal am Eingang 21) hat dabei eine Auflösung von nur einem Bit. Zur Reduktion des Quantisierungsrauschens werden in diesem Fall ein Rampengenerator 32 und ein Bandpassfilter 33 verwendet. Während des Ruhezustandes (d.h. beim Empfangen) wird das andere Eingangssignal als Steuersignal am Eingang 22 aktiviert und zur Sperrung des 1-Bit-FSK-Signals am Eingang 21 mittels eines Gatters 34 herangezogen, dessen Ausgangssignal (Ausgang 35) somit während des Empfangens konstant "0" ist, wogegen es beim Senden, wenn das 0-Steuersignal am Eingang 22 über den invertierenden Eingang als log. "1" das Gatter 34 öffnet, dem FSK-Signal am Eingang 21 entspricht; dieses Ausgangssignal am Ausgang 35 wird mit Hilfe eines analogen Summierglieds 36 gewichtet zum Eingangssignal am Eingang 22 (etwa im Verhältnis 2:1) addiert, so dass nach Anwendung des Rampengenerators 32 an dessen Ausgang 37 ein Signal erhalten wird, dessen Amplitude im Ruhezustand konstant ist und etwa der mittleren Amplitude im Sendezustand entspricht, vgl. auch die Signalformen gemäß Fig. 5B. Das analoge Ausgangssignal am Ausgang 35 kann dadurch beim Empfangen konstant im Wesentlichen auf jenem DC-Signalpegel gehalten werden, der dem mittleren DC-Pegel beim Senden entspricht. Das Gatter 34 dient dabei nur zur Veranschaulichung, es ist aber nicht unbedingt notwendig; genausogut kann das Signal am Eingang 21 genau in dem Moment auf 0 geschaltet werden, wenn gerade das Signal am Eingang 22 aktiviert wird.

In der Folge werden die Signalanteile des Signals am Ausgang 37 des Rampengenerators 32 innerhalb des DC-Spektrums gut konstant gehalten, und es genügt ein Bandpass 33 mit einer Hochpasskomponente 1. Ordnung zur Erfüllung der vorstehend angeführten Bestimmung 3. Auch werden durch die analoge Überlagerung der Signale am Ausgang 35 und Eingang 22 die bei der Verwendung eines FSK-Signals am Eingang 21 mit nur 1-Bit-Auflösung die sonst unumgänglichen Verzerrungen innerhalb des AC-Spektrums beim Übergang zwischen dem Ruhe- und dem Sendezustand deutlich reduziert. Diese einfache und effektive Methode kann jedoch nicht zur Erzeugung von C8PSK-Signalen herangezogen werden, denn dafür wird eine AC-D/A-Umsetzerschaltung mit einer Auflösung von etwa 7 Bit und einer Bandbreite von mindestens 5,6kHz benötigt.

Bei der Verwendung von C8PSK und FSK liegt es hingegen nahe, für beide Signale den gleichen Signalpfad zu wählen und diese mit einer vollen 7-Bit-Auflösung digital zu erzeugen. Als Technik für die D/A-Umsetzung bieten sich sowohl die R/2R-Methode gemäß Fig. 6 als auch die PWM-Methode gemäß Fig. 7 an. Diese Methoden wurden zwar nicht speziell für den HART-Standard entworfen, dennoch eignen sie sich grundsätzlich für diese Verwendung. Es steht zwar kein (Steuer-)Signal an einem Eingang 22 zur Signalisierung des Ruhezustandes zur Verfügung, dafür verfügt das Signal am Eingang 21 hier über eine Auflösung von etwa 7-Bit und wird daher während des Ruhezustandes konstant auf jener Amplitude gehalten, die dem Mittelwert des Sendesignals entspricht. Ein Beispiel für die R/2R-Methode, mit einer R/2R-Schaltung 38, zur Erzeugung eines Modemsignals gemäß Bell 202 unter Verwendung eines Mikrocomputers ist in Texas Instruments Incorporated, USA, FSK Modulation and Demodulation With the MSP430 Microcontroller; Application Report, Dec. 1998, angeführt. Zwar ist dabei der Aufwand für den Bandpass 33 gering, allerdings werden für eine 7-Bit-Auflösung mehr als 14 Widerstände und ebenso sieben digitale Ausgänge benötigt. Bei dem in S. Holland, FSK Generation Using the SX Microcontroller. Scenix Semiconductor Inc., U.S.A., 1998 angegebenen Beispiel für die D/A-Umsetzung nach der PWM-Methode, mit einem PWM-Modulator 39, s. Fig. 7, ist der schaltungstechnische Aufwand daher wesentlich geringer. In diesem Fall wird für das Taktsignal 16 jedoch eine relativ hohe Frequenz von 306,7 kHz verwendet, was bei einer 7-Bit-Auflösung eine CPU-Taktfrequenz von 40 MHz und damit einen hohen Stromverbrauch zur Folge hat. Bei der Anwendung dieser Methode für den HART-Standard wird der PWM-Modulator 39 im Ruhezustand mit jener Pulsweite betrieben, die dem Mittelwert des Modemsignals am Eingang 21 entspricht. Da es zweckmäßig ist, den vollen Aussteuerungsumfang des PWM-Modulators 39 zu nutzen, beträgt die Pulsweite des PWM-Modulators 39 im Ruhezustand normalerweise 50%. Eine Absenkung der PWM-Frequenz bedeutet eine Absenkung der Frequenz des Quantisierungsrauschens und damit bei einem gleichen Tiefpassfilter 33 ein Ansteigen der resultierenden Störsignale. Je geringer ferner der Stromverbrauch der D/A-Umsetzerschaltung 13 ist, desto mehr Versorgungsstrom bleibt für die Messsignalauswertung eines Sensors 7. Wünschenswert ist daher eine Methode, die auch bei möglichst niedrigem

Stromverbrauch und damit ebenso niedriger PWM-Frequenz eine spezielle Vorrichtung zur Reduktion der Störströme im Ruhezustand besitzt.

Es ist nun Aufgabe der Erfindung, eine Übertragungsanordnung bzw. hierfür verwendbare Umsetzerschaltungen vorzusehen, wobei ein geringer Schaltungsaufwand, mit geringen Kosten, sowie ein geringer Stromverbrauch, bei niedrigen Taktfrequenzen, sowie eine gute Signalqualität mit niedriger Störrate ermöglicht werden.

Insbesondere wird eine Technik angestrebt, bei der die D/A-Umsetzung sowohl des analogen DC-Signals als auch des digitalen AC-Signals unter Verwendung eines Mikrocomputers mit Peripherie zur Pulsweitenmodulation ermöglicht wird, wobei der externe Bauteilaufwand dabei minimal sein soll.

Vor allem wird auch angestrebt, eine D/A-Umsetzung eines analogen 4-20mA-DC-Stromsignals zu ermöglichen, welches auch in Kombination mit einem HART-Stromsignal die Verwendung von ausschließlich preisgünstigen NP0-Kondensatoren erlaubt.

Zur Lösung dieser Aufgabe sieht die Erfindung eine Übertragungsanordnung und Umsetzerschaltungen gemäß den Ansprüchen 1, 14 und 20 vor; vorteilhafte Ausführungsformen und Weiterbildungen sind in den Unteransprüchen definiert.

Mit der Erfindung werden unter anderem die Vorteile einer einfachen Schaltung, eines niedrigen Stromverbrauchs und einer Reduktion der Störströme im Ruhezustand erzielt. Das bei der DC-D/A-Umsetzung vorgesehene 25Hz-Tiefpassfilter wird digital realisiert. Der $\Sigma\Delta$ -Modulator ermöglicht hohe Abtastraten bei geringem Stromverbrauch. Falls eine Realisierung mit einem Mikrocomputer gewünscht wird, kann diese in vorteilhafter Weise mit dem PWM-Verfahren kombiniert werden, um den Rechenaufwand entsprechend zu reduzieren. In diesem Zusammenhang sei der Mikrocomputer MSP430 von Texas Instruments erwähnt; dessen Stromverbrauch beträgt etwa 0,35 mA/MHz, also 0,86 mA bei 2,4576 MHz. Die dabei entstehenden unerwünschten Signalkomponenten wie Quantisierungsrauschen und Spiegelfrequenzen stellen zwar Störsignale für die digitale Signalisierung dar, deren Amplituden sind aber aufgrund der ausreichend hohen Abtastrate deutlich kleiner als die entsprechenden Bestimmungen erlauben. Bei der AC-D/A-Umsetzung des AC-Signals für die Modemkommunikation wird ein PWM-Modulator in Verbindung mit einem Tiefpass oder Bandpass von nur geringer Komplexität verwendet. Das nach dieser Technik erzeugte Stromsignal gestattet aufgrund ausreichend niedriger Störströme die Überlagerung mit einem analogen 4-20mA DC-Stromsignal ebenso wie die Verwendung in einem Multidropmodus.

Im Einzelnen sieht die Erfindung vor, dass in der DC-D/A-Umsetzerschaltung dem digitalen Modulator ein digitales Tiefpassfilter zugeordnet ist, und dass in der AC-D/A-Umsetzerschaltung dem Pulsweitenmodulator, der das Modemsignal in ein 1-Bit-Signal umsetzt, ein analoger Summierer nachgeordnet ist, dem ein weiteres zu summierendes Signal, wie z.B. ein während des Ruhezustands aktiviertes Gleichstrom-Signal, ein MSB-Signal oder ein Taktsignal, zugeführt ist. Bei dieser Ausbildung speichert das Register bzw. der Eingangsspeicher das umzusetzende DC-Signal, welches grundsätzlich mit der Abtastrate des D/A-Umsetzers oder mit einer niedrigeren Abtastrate aktualisiert werden kann. Das digitale Tiefpassfilter, das dem digitalen Modulator vor- oder aber auch nachgeordnet sein kann, dient zur Bandbegrenzung oberhalb von 25 Hz, wobei es eine Dämpfung von mindestens 40 dB/Dekade vorsieht. Der digitale $\Sigma\Delta$ -Modulator reduziert die Auflösung unter Verwendung eines m-Bit-Quantisierers, wobei $m \geq 1$ ist, wobei die Abtastrate des Quantisierers einerseits hoch genug ist, um eine ausreichende Dämpfung für das Quantisierungsrauschen und die Spiegelfrequenz des Nutzsignals durch den anschließenden analogen Tiefpass zu ermöglichen, damit ein dem DC-Signal gegebenenfalls mit Hilfe des analogen Summierglieds überlagertes AC-Signal zur Modemkommunikation nicht zu stark gestört wird; andererseits ist die Abtastrate niedrig genug, damit der Stromverbrauch des digitalen $\Sigma\Delta$ -Modulators gering bleibt, um einen effizienten Betrieb der Sensorschaltung trotz des erwähnten 2,68 mA-Versorgungsstromlimits zu ermöglichen.

Der analoge Tiefpass dämpft das Quantisierungsrauschen und die Spiegelfrequenz des DC-Signals, dessen Grenzfrequenz oberhalb jener des digitalen Tiefpasses von 25Hz liegt; damit kann der analoge Tiefpass kostengünstig, stromsparend und platzsparend realisiert werden.

Als besonders vorteilhaft hat es sich hier auch erwiesen, wenn in der DC-D/A-Umsetzerschaltung als digitaler Modulator ein $\Sigma\Delta$ -Modulator mit einem m-Bit-Quantisierer, mit $m > 1$, vorgesehen ist, dem ein Pulsweitenmodulator zur Umsetzung des erhaltenen m-Bit-Signals in ein 1-Bit

Signal nachgeordnet ist. Dabei ist es weiters günstig, wenn der $\Sigma\Delta$ -Modulator und das ihm vorgeschaltete digitale Tiefpassfilter eine Taktfrequenz aufweisen, die niedriger ist als jene des Pulsweitenmodulators, wobei zur zeitlichen Signal-Anpassung zwischen dem $\Sigma\Delta$ -Modulator und dem Pulsweitenmodulator ein Halteglied angeordnet ist. Bei dieser Ausführung werden der $\Sigma\Delta$ -Modulator und der Pulsweitenmodulator synchron getaktet, allerdings wird dabei der $\Sigma\Delta$ -Modulator zur Verminderung des Rechenaufwandes bei gleichem Quantisierungsrauschen mit einer niedrigeren Abtastezeit getaktet. Zum Ausgleich wird ein Halteglied eingesetzt, das sich im Signalpfad befindet. Zur Herleitung des Taktsignals mit der niedrigeren Frequenz dient bevorzugt ein Frequenzteiler, der das den Pulsweitenmodulator steuernde Taktsignal entsprechend herunterteilt, um die niedrigere Taktfrequenz bzw. Abtastezeit für den $\Sigma\Delta$ -Modulator zu erhalten.

Es ist weiters von Vorteil, wenn das digitale Tiefpassfilter in der DC-D/A-Umsetzerschaltung mit mehreren Tiefpassstufen in Kaskadenschaltung, mit je einem Verzögerungsglied, dessen Ausgang über ein Summierglied zum Eingang rückgekoppelt ist, und einen anschließenden digitalen Abschwächer, dessen Ausgang über ein Subtrahierglied zum Eingang des Summierglieds rückgekoppelt ist, ausgebildet ist.

Der für die Umsetzung des digitalen AC-Modemsignals im Speziellen vorgesehene digitale Pulsweitenmodulator setzt dieses AC-Signal in ein 1-Bit-Signal um, dessen DC-Komponente während des Ruhezustandes konstant ist und sich von dessen DC-Komponente während des Sendens unterscheiden darf, damit das Quantisierungsrauschen im Ruhezustand reduziert werden kann. Bevorzugt ist hierbei auch vorgesehen, dass in der AC-D/A-Umsetzerschaltung zwischen dem Pulsweitenmodulator und dem analogen Summierer ein Gatter angeordnet ist, das an einem zweiten Eingang, z.B. einem invertierenden Eingang, das Ruhezustands-Gleichstromsignal zugeführt erhält. Das digitale Gatter gibt während der Aktivierung des Ruhezustands-Steuersignals zur Sperrung des Ausgangssignals des Pulsweitenmodulators ein Signal ab, welches nach gewichteter analoger Summierung mit dem Ruhezustands-Steuersignal ein analoges Modemsignal mit einem DC-Anteil von guter Konstanz ergibt, dessen Genauigkeit durch die - geringen - Ungenauigkeiten der analogen Summenbildung begrenzt ist. In diesem Fall wird weiters bevorzugt ein analoges Bandpassfilter verwendet, dessen Hochpasskomponente die resultierenden Ungenauigkeiten des DC-Anteils im 0-25Hz-Spektrum reduziert, und dessen Tiefpasskomponente das Quantisierungsrauschen des Pulsweitenmodulators dämpft.

Eine vorteilhafte Möglichkeit besteht auch darin, dass der analoge Summierer in der AC-D/A-Umsetzerschaltung einerseits mit dem Ausgang des eine Anzahl von LSB-Bits des Modemsignals in das 1-Bit-Signal umsetzenden Pulsweitenmodulators und andererseits mit einer MSB-Bit-Zuleitung als Steuersignal-Leitung verbunden ist, wobei die MSB-Bits auf der Steuersignal-Leitung die LSB-Bits am Pulsweitenmodulator zum kompletten Digitalwert ergänzen. Bei dieser Ausführungsform setzt der digitale Pulsweitenmodulator somit eine Anzahl von LSB-Bits des Modemsignals in das 1-Bit-Signal um, das während des Ruhezustandes konstant 0 ist, weil 50% des Signalpegels (d.h. der mittlere DC-Anteil beim Senden) durch das MSB-Bit = 1 und die LSB-Bits = 0 gegeben ist; der analoge Summierer addiert einerseits das Ausgangssignal des Pulsweitenmodulators und andererseits eine Anzahl von MSB-Bits, die die LSB-Bits am Pulsweitenmodulator zum kompletten Digitalwert ergänzen, z.B. mit einer Gewichtung von 1:1. Auch hier ist bevorzugt mit dem Ausgang des analogen Summierers ein analoges Bandpassfilter verbunden, dessen Hochpasskomponente die resultierenden Ungenauigkeiten des DC-Anteils beispielsweise im 0-25Hz-DC-Spektrum reduziert, und dessen Tiefpasskomponente das Quantisierungsrauschen des Pulsweitenmodulators dämpft.

Es kann auch mit Vorteil vorgesehen sein, dass in der AC-D/A-Umsetzerschaltung parallel zum Pulsweitenmodulator ein zweiter Pulsweitenmodulator vorgesehen ist, wobei einer der Pulsweitenmodulatoren einen invertierenden Signaleingang und -ausgang oder einen invertierenden Taktsignaleingang aufweist, und wobei das Ausgangssignal des anderen Pulsweitenmodulators ebenfalls dem analogen Summierer zugeführt ist. Die beiden Pulsweitenmodulatoren setzen das digitale AC-Modemsignal jeweils in ein 1-Bit-Signal um, dessen DC-Komponenten konstant sind, und die im Ruhezustand komplementär sind. Daraus resultiert nach der analogen Summenbildung einerseits ein Signal mit sehr gut konstantem DC-Anteil, und andererseits wird während des Ruhezustandes eine Reduktion des Quantisierungsrauschens auf ein durch analoge Ungenauigkeiten gegebenes, entsprechend geringes Ausmaß ermöglicht. Einer der beiden Pulsweitenmodulatoren kann auch

durch einen Rechtecksignalgenerator ersetzt werden, der als Steuersignal ein Rechtecksignal mit konstantem Pulsverhältnis abgibt. Als Filter kann in den beiden letztgenannten Fällen ein analoges Tiefpassfilter zur Dämpfung des Quantisierungsrauschens vorgesehen sein, weil bei diesen Anordnungen der DC-Anteil beim Senden und Empfangen nahezu gleich ist und dieser daher durch Kalibrierung der DC-D/A-Umsetzerschaltung kompensiert werden kann.

Von Vorteil ist es weiters, wenn in der DC-D/A-Umsetzerschaltung zumindest das digitale Filter und der digitale Modulator, vorzugsweise auch der Eingangsspeicher, durch einen Mikroprozessor gebildet sind. In entsprechender Weise ist es günstig, wenn in der AC-D/A-Umsetzerschaltung zumindest der digitale Pulsweitenmodulator durch einen Mikroprozessor gebildet ist.

Die Erfindung wird nachfolgend anhand von bevorzugten Ausführungsbeispielen unter Bezugnahme auf die beiliegenden Zeichnungen noch weiter erläutert. In der Zeichnung zeigen im Einzelnen: die Fig. 1 bis 7 wie erwähnt Schaltungstechniken aus dem Stand der Technik, wobei im Einzelnen in Fig. 1 eine Übertragungsanordnung: Messwertgeber-Auswerteinheit in einer Punkt-zu-Punkt-Topologie gezeigt ist, in Fig. 2 eine vergleichbare Übertragungsanordnung gemäß dem Prinzip der Multidrop-Topologie veranschaulicht ist, Fig. 3 einen beispielhaften bekannten Aufbau eines Messwertgebers für den Fall einer gleichzeitigen Übertragung von AC-Modemsignalen zeigt, die Fig. 4A bis 4D an sich bekannte Ausbildungsmöglichkeiten für einen DC-D/A-Umsetzer veranschaulichen, die Fig. 5A schematisch den Aufbau einer bekannten AC-D/A-Umsetzerschaltung gemäß Stand der Technik zeigt, wobei Fig. 5B zugehörige Signalformen veranschaulicht, und die Figuren 6 und 7 zwei verschiedene weitere Möglichkeiten für eine AC-D/A-Umsetzerschaltung gemäß Stand der Technik veranschaulichen; die Figuren 8A und 8B eine Schnittstelle für einen Messwertgeber in einem beispielhaften Schaltungsaufbau mit Widerständen und Kondensatoren bzw. in Form eines Blockschaltbildes; Fig. 9A einen erfindungsgemäßen Aufbau einer DC-D/A-Umsetzerschaltung; Fig. 9B einen, einen Teil dieser D/A-Umsetzerschaltung bildenden, digitalen Tiefpass; Fig. 9C einen, ebenfalls einen Teil dieser Umsetzerschaltung bildenden, 1-Bit- $\Sigma\Delta$ -Modulator; die Figuren 10A und 10B Blockschaltbilder von zwei weiteren Ausführungsformen einer DC-D/A-Umsetzerschaltung; Fig. 10C ein Blockschaltbild eines bei diesen Ausführungsformen nach Fig. 10A und 10B verwendeten m-Bit- $\Sigma\Delta$ -Modulators mit einem m-Bit-Quantisierer; die Figuren 11A und 11B zwei Prinzipschaltbilder für AC-D/A-Umsetzerschaltungen mit je einem Pulsweitenmodulator und einem unmodulierten Digitalsignal; und die Figuren 12A, 12B und 12C alternative Beispiele für AC-D/A-Umsetzerschaltungen mit zugehörigen Signalformen an den beiden Ausgängen.

In Fig. 8A ist, aufbauend auf Fig. 1, eine beispielhafte Schaltung und in Fig. 8B ein dazugehöriges Blockschaltbild einer 4-20mA-Zweidrahtschnittstelle eines Messwertgebers 1 (s. Fig. 1 und 3) dargestellt, welche auch zur Stromversorgung dieses Messwertgebers 1 benützt werden kann. Dabei wird der 4-20mA-DC-Anteil des Stromsignals I_L unter Verwendung von Digitalsignalen an einen ersten Eingang 40 generiert, und zwei weitere Digitalsignale an einem zweiten bzw. dritten Eingang 41 und 42, nachfolgend auch Signal-Leitungen genannt, dienen zur Erstellung des AC-Anteils des Stromsignals I_L zur Modemkommunikation. Mit nur einem Operationsverstärker A_1 , einem NPN-Transistor T_1 , 10 Widerständen R_1 bis R_{10} und 6 NPO-Kondensatoren C_1 bis C_6 werden ein analoger Tiefpass 43, ein analoger Bandpass 44, zwei analoge Summierer 45, 46 und eine gesteuerte Stromquelle 3 realisiert. Das DC-Digitalsignal am ersten Eingang 40 wird mittels eines $\Sigma\Delta$ -Modulators erstellt, und das Digitalsignal am zweiten Eingang 41 unter Verwendung eines Pulsweitenmodulators; das Digitalsignal am dritten Eingang der Steuersignal-Leitung 42 ist je nach gewählter Methode unmoduliert, oder es wird ebenfalls mittels Pulsweitenmodulation erstellt.

Der beispielsweise durch Widerstände $R_1 = 56k\Omega$, $R_2 = 68k\Omega$, $R_3 = 220k\Omega$ und Kapazitäten $C_1 = C_2 = 4,7nF$ gebildete Tiefpass 43 2.Ordnung (mit dem Eingangssignal am ersten Eingang 40 und einem Ausgangssignal I_1) hat Grenzfrequenzen von $f_1 = 331Hz$ und $f_2 = 1424Hz$. Durch Festlegung der maximalen Kapazität von $4,7nF$ liegen die Grenzfrequenzen f_1 und f_2 relativ weit auseinander, was auf die Dämpfung höherer Frequenzen keinen nachteiligen Einfluss hat. In gleicher Art bilden z.B. die wie folgt bemessenen Widerstände $R_4/R_5 = 165k\Omega$, $R_6 = 390k\Omega$, $R_7 = 2,2M\Omega$ und Kapazitäten $C_3 = 82pF$, $C_4 = 39pF$ und $C_5 = 470pF$ den Bandpass 44, dessen Hochpasskomponente 1.Ordnung eine Grenzfrequenz von $f_0 = 123Hz$ besitzt. Die Grenzfrequenzen der Tiefpasskomponente 2.Ordnung sind mit $f_3 = 6,93kHz$ und $f_4 = 22,31kHz$ gegeben.

Der Operationsverstärker A_1 bildet mit dem Emitterfolger T_1 , R_9 , dem Messwiderstand R_{10} und

der Gegenkopplung mittels R_8 , C_6 einen Regler zur Einstellung des Schleifenstroms I_L durch Summation der Eingangsgrößen I_1 und I_2 . Der Strom I_{CC} wird zur Stromversorgung des Zweidrahtgebers benötigt und stellt als Teil des Schleifenstroms I_L eine Störgröße für diesen Regler dar. Um den Schleifenstrom I_L zu messen, muss daher der entsprechende Messwiderstand $R_{10} = 39\Omega$ zwischen Masse und L-, d.h. außerhalb der Betriebsspannungen des Zweidrahtgebers, liegen. Unterhalb der durch den Widerstand $R_8 = 120k\Omega$ und die Kapazität $C_6 = 220pF$ gegebenen Grenzfrequenz $f_5 = 6029Hz$ kann der Messstrom $I_M = -I_L \cdot R_{10}/R_8$ errechnet werden. Die Stromverstärkung des Reglers beträgt daher $R_8/R_{10} = 3077$. Oberhalb der Grenzfrequenz f_5 wird die Gegenkopplung durch die Kapazität C_6 entsprechend vergrößert, was dem Regler ein Tiefpassverhalten verleiht. Zur Summenbildung wird anstatt des "-"-Eingangs der "+"-Eingang des Operationsverstärkers A_1 verwendet, weil der Messstrom I_M wegen der Verwendung des Widerstands R_{10} anstatt des Widerstands R_9 als Messwiderstand bereits invertiert wurde. Der Operationsverstärker A_1 dient in Kombination mit dem Emitterfolger T_1 , R_9 zur Verstärkung der Abweichung zwischen der Messgröße $= -I_M$ und der Stellgröße $I_1 + I_2$. Damit der Einfluss des unvermeidbaren Biasstromes I_B vernachlässigbar bleibt, müssen die Ströme I_1 , I_2 und I_M entsprechend wesentlich größer als der maximal mögliche Biasstrom I_B gewählt werden. Dies wird durch die Wahl ausreichend kleiner Widerstandswerte R_1 bis R_8 erreicht, was aber entsprechend höhere Kapazitätswerte C_1 bis C_6 zur Folge hat. Der durch den Emitterfolger mit T_1 , $R_9 = 39\Omega$ verursachte Strom ergänzt den Versorgungsstrom I_{CC} zu I_L .

Wählt man für die Versorgungsspannung $V_{CC} = 2,5V$, so ergeben sich als maximale Aussteuerung für $I_1 = V_{CC}/R_{DC}$ mit $R_{DC} = R_1 + R_2 + R_3$, $I_1 = 7,27\mu A$, sowie mit $I_2 = V_{CC}/R_{DC}$, mit $R_{DC} = (R_4/R_5) + R_6 + R_7$, $I_2 = 0,91\mu A$. Multipliziert mit der Stromverstärkung des Reglers ergeben sich für die DC-Stromaussteuerung von I_L $22,36mA$ und, unter Berücksichtigung des Bandpasses 44, für die AC-Stromaussteuerung $\pm 1,4mA$.

In Fig. 8B sind der zum Teil durch R_8 und C_6 gegebene Tiefpass 43 und Bandpass 44 dargestellt. Da die gesteuerte Stromquelle 3 als Regler realisiert wird, ist eine hohe Schleifenverstärkung notwendig, um den Versorgungsstrom I_{CC} zu kompensieren. Dies ist zwar im DC-Bereich der Fall, aufgrund des limitierten Stromverbrauchs des Operationsverstärkers A_1 kann dessen Transitfrequenz aber nicht sehr hoch gewählt werden. Schnelle Änderungen des Versorgungsstromes I_{CC} werden daher durch diesen Regler nur geringfügig gedämpft, womit diese Art von Störstrom ebenso gemäß dem $\pm 6,22\mu A$ -Limit der einleitenden Bestimmung 4 zu berücksichtigen ist.

Die in Fig. 8A und B gezeigte Architektur ist nur eine von verschiedenen Möglichkeiten, eine Zweidrahtschnittstelle zu realisieren; sie wurde ausgewählt, um zu demonstrieren, wie effizient die nachfolgend beschriebenen Techniken zur D/A-Umsetzung eingesetzt werden können.

In Fig. 9A ist eine in der Übertragungsanordnung gemäß Fig. 3 einsetzbare DC-D/A-Umsetzerschaltung 12' für das analoge 4 - 20mA-Signal dargestellt, bei dem durch Verwendung eines $\Sigma\Delta$ -Modulators 24' eine hohe Abtastrate bei relativ niedrigen Taktfrequenzen eines Mikrocomputers erreicht wird. Dies ermöglicht die Verwendung eines analogen Tiefpasses 25' zur Dämpfung der Spiegelfrequenzen und des Quantisierungsrauschens, dessen Grenzfrequenz deutlich höher als 25Hz liegt, also hoch genug, um preisgünstige NPO-Kondensatoren einzusetzen. Zur Bandbegrenzung oberhalb von 25Hz wird ein digitaler Tiefpass 47 2.-Ordnung verwendet. Ein Z-Diagramm eines digitalen Tiefpasses 1.Ordnung ist in Fig. 9B dargestellt; der digitale Tiefpass 47 kann z.B. durch Kaskadieren zweier Tiefpässe dieses Typs gemäß Fig. 9B realisiert werden. Aus dem Z-Diagramm von Fig. 9B kann direkt die Übertragungsfunktion $L(z)$ ermittelt werden:

$$L(z) = \frac{1}{k(z-1)+1} \quad (1)$$

Zur Einstellung der Grenzfrequenz f_L wird der Parameter k (s. Teiler 48 in Fig. 9B) unter Annahme von identischen Werten für beide Teilfilter entsprechend der Lösung folgender Gleichung mit $z = e^{j2\pi f_L T_s}$ und $T_s = 1/f_s$ bestimmt:

$$\left| L(e^{j2\pi f_L T_s}) \right| = \frac{1}{\sqrt{2}} \quad (2)$$

Da die Grenzfrequenz hier mit $f_L \ll f_s$ viel kleiner als die Abtastfrequenz ist, erhält man ausreichend kleine Werte von $f_L T_s$ für die Näherung $(e^{j2\pi f_L T_s} - 1) \approx j2\pi f_L T_s$. Der Betrag $|L|$ ist also in guter Näherung durch die Beziehung

$$\frac{1}{\sqrt{2}} = \left| L(e^{j2\pi f_L T_s}) \right| \approx \frac{1}{|k(j2\pi f_L T_s) + 1|} \quad (2a)$$

gegeben. Diese Gleichung ist (in guter Näherung) erfüllt, wenn für den Imaginärteil des Nenners $k(j2\pi f_L T_s) = j$ gilt. Für $f_L \ll f_s$ ergibt sich:

$$f_L \approx \frac{f_s}{2\pi k} \quad (3)$$

Wählt man bei $f_s = 19,2\text{kHz}$ als Parameter $k = 128$, so ist die Grenzfrequenz $f_L = 23,9\text{Hz}$, und die Divisionen durch K (vgl. den digitalen Abschwächer 48 oder „Teiler“ in Fig. 9B) können sehr effizient als Shift-Operationen um 7 Binärstellen nach rechts ausgeführt werden. Mit zwei Additionen (Addierer 49), zwei Subtraktionen (Subtrahierglied 50), zwei Verzögerungsoperationen (Verzögerungsglied 51) und vierzehn Shift-Operationen ist der mit der Abtastfrequenz erforderliche Rechenaufwand bei der Realisierung eines digitalen Tiefpasses 2. Ordnung zur Bandbegrenzung des DC-Signals relativ gering.

Der in Fig. 9C dargestellte $\Sigma\Delta$ -Modulator 24' benötigt mit der Abtastfrequenz einen Rechenaufwand von einer Addition (Addierer 52), einer Subtraktion (Subtrahierglied 53), einer Verzögerung (Verzögerungsglied 54) und einer Quantisierung (Quantisierer 55). Durch den dabei erhaltenen Integrator 56 1. Ordnung ergibt sich ein Quantisierungsrauschen, das vom DC-Bereich zu höheren Frequenzen verschoben wird, damit es durch den Tiefpass 25' (s. Fig. 9A) effizient gedämpft werden kann. Wählt man die Taktfrequenz $f_\phi = 2,4576\text{MHz}$, so kann bei einem entsprechend leistungsfähigen Prozessortyp z.B. $f_s = f_\phi/128 = 19,2\text{kHz}$ gewählt werden. Während bei der PWM-Methode die Auflösung mit steigender Abtastfrequenz sinkt, erzielt man bei Verwendung des $\Sigma\Delta$ -Modulators 24' einen Gewinn von etwa 1,5 Bit nutzbarer Auflösung pro Oktave steigender Abtastfrequenz. In Bezug auf die Bandbreite von 25Hz bedeutet das gemäß der Theorie über Oversampling-Umsetzer bei der Abtastfrequenz $f_s = 19,2\text{kHz}$ eine nutzbare Auflösung von 13 Bit. Wird dieser $\Sigma\Delta$ -Modulator 24' durch ein konstantes Eingangssignal zur Hälfte angesteuert, ergibt sich ein Rechtecksignal von 9,6kHz. Da der als Beispiel angeführte Tiefpass 47 (s. Fig. 9A mit Fig. 9B) bei 9,6kHz eine Dämpfung von 50dB besitzt, wird die 9,6kHz-Grundschiwingung des Quantisierungsrauschens, welche in diesem Fall der Grundschiwingung eines 22,36mA-Rechtecksignals entspricht, auf 45,8µA gedämpft, also nicht ausreichend, um das $\pm 6,22\mu\text{A}$ -Limit gemäß der obigen Bestimmung 4 zu erfüllen. Es wäre bei dieser Methode daher nötig, die Abtastfrequenz auf $f_s = 38,4\text{kHz}$ zu erhöhen; unter Berücksichtigung des digitalen Testfilters erzielt man dann den akzeptablen Wert von 2,86µA. Als Nachteil ergibt sich die doppelte Rechenleistung und damit der doppelte Stromverbrauch. Kombiniert man das $\Sigma\Delta$ -Verfahren mit der PWM-Methode, so kann unter Verwendung der in Mikrocomputern meist in Hardware vorhandenen PWM-Unterstützung nicht nur die Frequenz des Quantisierungsrauschens bei gleicher Rechenleistung verdoppelt, sondern auch die in Relation zur Bandbreite nutzbare Auflösung verbessert werden.

In Fig. 10A ist eine 4-20mA-DC-D/A-Umsetzerschaltung 12' gezeigt, die einen m -Bit- $\Sigma\Delta$ -Modulator 57 sowie einen Pulsweitenmodulator 58 einsetzt. Das in Fig. 10C gezeigte Beispiel für einen m -Bit- $\Sigma\Delta$ -Modulator 57 1. Ordnung zeigt, dass die höhere Auflösung allein durch einen m -Bit-Quantisierer 59 zustande kommt, vgl. auch den Quantisierer 55 in Fig. 9C. Damit wird die nutzbare Auflösung um $(m - 1)$ Bit verbessert. Wählt man $f_\phi = 2,4576\text{MHz}$ und $f_s = f_{\text{PWM}} = 19,2\text{kHz}$, so ergibt sich mit $m = 128$ eine um 6 Bit höhere Auflösung im Vergleich zur D/A-Umsetzerschaltung 12' mit einem 1-Bit- $\Sigma\Delta$ -Modulator 24', und dies, unter der Voraussetzung spezieller PWM-Hardware, ohne zusätzlichen Rechenaufwand. Da hier das Quantisierungsrauschen des PWM-Modulators 58 mit der Frequenz $f_{\text{PWM}} = f_s = 19,2\text{kHz}$ dominant ist, ergibt sich eine akzeptable Störstromamplitude von 2,86µA. Schränkt man die Aussteuerung ein, so dass der PWM-Modulator 58 nur von 1 bis $2^m - 1$ aussteuert (also die Werte 0 bzw. 2^m nicht benötigt), so beinhaltet das 1-Bit-PWM-Signal mindestens einmal pro PWM-Zyklus eine steigende bzw. eine fallende Flanke. Daraus ergibt sich der Vorteil einer höheren Linearität, denn unsymmetrische Kurvenverläufe von steigenden und

fallenden Flanken dieses 1-Bit-PWM-Signals verursachen nun einen konstanten, d.h. einen vom Datenmuster weitgehend unabhängigen systematischen Fehler, der leicht durch Kalibrierung korrigiert werden kann. Da die resultierende Auflösung von 19 Bit aufgrund anderer Begrenzungen, wie begrenzte Linearität oder Offset-Drift des Operationsverstärkers A_1 , kaum mehr Nutzen bringt, kann andererseits der Rechenaufwand reduziert werden, indem die Abtastfrequenz reduziert wird.

Eine Möglichkeit zur Reduktion der Abtastfrequenz f_s ohne Reduktion der PWM-Frequenz f_{PWM} ist in Fig. 10B veranschaulicht, wobei ein Taktfrequenz-Teiler 60 und ein Halteglied 61 eingesetzt werden. Bezogen auf die Bandbreite von 25Hz gehen dadurch 1,5 Bit erzielbare Auflösung bei der Reduktion der Abtastfrequenz um eine Oktave verloren. Damit kann der Rechenaufwand reduziert werden, ohne dabei die Frequenz des dominanten Quantisierungsrauschens des PWM-Modulators 58 herabzusetzen, d.h. ohne eine höhere Störstromamplitude in Kauf zu nehmen. Als Beispiel kann für den Frequenzteiler 60 sowie für das Halteglied 61 $p = 6$ gewählt werden, was bei einer PWM-Frequenz des Taktsignals 15 von 19,2kHz eine Abtastfrequenz $f_s = 3200\text{Hz}$ ergibt. Der Parameter k zur Einstellung der Grenzfrequenz des digitalen Tiefpasses 47 wird in diesem Fall entsprechend der geänderten Abtastfrequenz auf $k = 64/3$ adaptiert, womit die Multiplikation mit $k^{-1} = 3/64$ eine Shift-Operation weniger, d.h. sechs Shift-Operationen, und eine Addition mehr benötigt. Damit wird der erforderliche Rechenaufwand sowohl für den digitalen Tiefpass 47 als auch für den $\Sigma\Delta$ -Modulator 57 um den Faktor 6 reduziert; dies ist besonders dann von Vorteil, wenn vom gleichen Mikrocomputer auch Rechenleistung zur Ausführung eines Demodulators für Modemsignale benötigt wird. Für die nutzbare Auflösung in Bezug auf die 25Hz Bandbreite ergeben sich in diesem Fall etwa 9 Bit für den $\Sigma\Delta$ -Modulator 57 und zusätzlich 6 Bit für den 7-Bit-PWM-Modulator 58, also 15 Bit insgesamt.

Abschließend soll der Einfluss der Abtastfrequenz $f_s = 3200\text{ Hz}$ auf die bei der D/A-Umsetzung eines Signals der Frequenz $f_0 = 25\text{Hz}$ beim Übergang vom zeitdiskreten Bereich in den zeitkontinuierlichen Bereich entstehenden Spiegelfrequenzen analysiert werden. Da sich das Spektrum eines (zeitdiskreten) digitalen Signals mit der Periode der Abtastfrequenz f_s wiederholt, sind (im zeitkontinuierlichen Bereich) nach der D/A-Umsetzung eines Signals der Frequenz f_0 auch sämtliche Spiegelfrequenzen $f = n \cdot f_s \pm f_0$ mit $n = 1, 2, \dots, \infty$, messbar. Zu berücksichtigen ist dabei auch der durch die $\text{sinc } x = (\sin x)/x$ -Funktion mit $|\text{sinc}(\pi f/f_s)|$ gegebene Amplitudengang des bei praktischen D/A-Umsetzern systeminherent vorhandenen Halteglieds. Da der digitale Tiefpass 47 alle Frequenzen oberhalb von 25Hz mit 40dB/Dekade dämpft, sei der schlechteste Fall mit einem 25Hz-Signal mit einer 8mA-Amplitude angenommen. Somit errechnen sich bei $f_s = 3200\text{Hz}$ Signalamplituden bei 3175Hz und 3225Hz von

$$\left| \text{sinc} \frac{3175 \pi}{3200} \right| \cdot 8\text{mA} = 63\mu\text{A} \quad \text{und} \quad \left| \text{sinc} \frac{3225 \pi}{3200} \right| \cdot 8\text{mA} = 62\mu\text{A}. \quad (4)$$

Bei 3175Hz beträgt die Dämpfung des Tiefpasses 25' laut Beispiel 28dB, d.h. die Amplitude der stärksten Spiegelfrequenzkomponente wird damit auf $2,4\mu\text{A}$ gedämpft. Die Summe aller Spiegelfrequenz-Komponenten ist daher deutlich geringer als das $\pm 30\mu\text{A}$ -Limit gemäß obiger Bestimmung 2 vorgibt. Im Vergleich dazu sei ein PWM-DC-D/A-Umsetzer gemäß Fig. 4D angenommen, der abweichend von Fig. 4D ebenfalls einen digitalen Tiefpass 47 zur Reduktion der Bandbreite benutzt und eine Auflösung von nur 13 Bit besitzt. Damit ergibt sich bei einer Taktfrequenz des Mikrocomputers von 2,4576MHz eine Abtastfrequenz von nur $f_s = 2^{-13} \cdot 2,4576\text{MHz} = 300\text{Hz}$. Die Amplituden der Spiegelfrequenzkomponenten bei 275Hz, 325Hz, 575Hz und 625Hz betragen ohne jedes Filter $719\mu\text{A}$, $608\mu\text{A}$, $344\mu\text{A}$ und $316\mu\text{A}$. Hier muss der analoge Tiefpass in Kombination mit dem digitalen Testfilter eine Dämpfung von etwa 10dB liefern, die entsprechende Grenzfrequenz für einen Tiefpass 2. Ordnung liegt bei weniger als 30Hz. Ein digitaler Tiefpass 47 wäre somit hier kaum von Nutzen.

Anhand der Fig. 11A und 11B sowie 12A bis 12C soll nun noch die erfindungsgemäße AC-D/A-Umsetzung für das digitale Stromsignal (Modemsignal) beispielhaft erläutert werden. Aufgrund der erforderlichen Genauigkeit von etwa 7 Bit bietet es sich an, die D/A-Umsetzung des Modemsignals ebenso nach dem PWM-Verfahren durchzuführen. Bei einer Taktrate von $f_0 = 2,4576\text{MHz}$ ergibt dies eine PWM-Frequenz von $f_s = 19200\text{Hz}$. Zur Reduktion des Quantisierungsrauschens von 19200Hz wird ein Bandpass 33' mit den Grenzfrequenzen von 6930Hz, 22310Hz und 6029Hz für

dessen Tiefpasskomponenten bzw. von 123Hz für dessen Hochpasskomponente verwendet. Die Amplituden- und Phasenverzerrungen im AC-Spektrum können dadurch ausreichend gering gehalten werden, für die PWM-Frequenz von 19200Hz beträgt die Dämpfung inklusive jener des digitalen Testfilters 27dB. Mit der maximalen Aussteuerung des Modemsignals von $\pm 1,4\text{mA}$ ergibt sich bei Verwendung eines PWM-Modulators gemäß Fig. 7 eine Störstromkomponente von $79,8\mu\text{A}$. Das ist beim Senden akzeptabel, jedoch wird im Ruhezustand das $\pm 6,22\mu\text{A}$ -Limit deutlich überschritten.

In der (in der Übertragungsanordnung von Fig.3 einsetzbaren) AC-D/A-Umsetzerschaltung 13' gemäß Fig. 11A kann ein während des Ruhezustandes aktiviertes Signal am Eingang 22 verwendet werden, um den Ausgang eines PWM-Modulators 62 wie oben erläutert während des Empfangens z.B. über ein Gatter 34' zu sperren. Ein Addierer 63 wird insbesondere durch Widerstände, nämlich die Widerstände R_4 und R_5 in Fig.8A, realisiert, wobei durch ein Widerstandsverhältnis von 2:1 eine entsprechend gewichtete Addition durchgeführt wird. Bei Verwendung kostengünstiger Widerstände mit 1% Toleranz kann sich der Gleichanteil während des Ruhezustandes von jenem während des Sendens um bis zu 1% der vollen Aussteuerung von $\pm 1,4\text{mA}$ unterscheiden, also um $28\mu\text{A}$. Die 25Hz-Komponente dieses Gleichstromfehlers wird durch den 123Hz-Hochpass noch auf etwa $5,7\mu\text{A}$ gedämpft, was deutlich unterhalb des $\pm 20\mu\text{A}$ -Limits gemäß der einleitend angegebenen Bestimmung 3 liegt. Zwischen dem PWM-Modulator 62 und dem Addierer 63 ist das Gatter 34' angeordnet, dessen zweitem, invertierendem Eingang das Signal vom Eingang 22 zugeführt wird, vgl. in Ergänzung zur Fig. 11A auch Fig. 5A.

Fig. 11B zeigt eine Variante dieser Technik, die ohne das Signal am Eingang 22 auskommt. Dabei wird der PWM-Modulator 62 von n-1 niedrigerwertige Bits zur Generierung des 1-Bit-Signals am zweiten Eingang 41 (vgl. Fig. 8B) angesteuert. Das MSB-Bit hingegen wird bei der Addition (Addierer 63) als Signal am dritten Eingang 42 (s. Fig. 8B) verwendet, wobei sich damit für die Widerstände R_4 und R_5 (s. Fig. 8A) nominal gleiche Widerstandswerte ergeben. Im Gegensatz zur Ausbildung gemäß Fig. 11A steht hier, gemäß Fig. 11B, bei gleicher PWM-Frequenz und Taktrate ein Bit mehr Auflösung zur Verfügung; andererseits verschlechtert sich die Linearität aufgrund der analogen Addition etwas. Als Vorteil ist aber noch die Halbierung des Quantisierungsrauschens im Sendemodus zu nennen. Im Ruhezustand ist nur das MSB-Bit aktiviert, und es ergeben sich daher die gleichen Eigenschaften wie bei der Ausführung nach Fig. 11A. Alternativ können hierbei natürlich auch mehr als ein MSB-Bit verwendet werden.

Sofern ein Mikrocomputer über einen weiteren PWM-Modulator verfügt, können zur AC-D/A-Umsetzung auch zwei PWM-Signale oder ein PWM-Signal und ein Rechtecksignal verwendet werden. Beim Beispiel gemäß Fig. 12A wird die Überlagerung eines PWM-Signals am zweiten Eingang 41 (s. Fig. 8B) mit einem Rechtecksignal als Signal am dritten Eingang 42 verwendet. Gilt für den Ruhezustand $\tau = T/2$, so überlagern sich die Signale an den Eingängen bzw. Leitungen 41 und 42 mit $R_4 = R_5$ (s. Fig. 8A) zu genau der Amplitude, welche deren DC-Stromanteil während des Sendens entspricht. Werden Widerstände mit 1% Toleranz gewählt, so hat dies keinen nachteiligen Einfluss auf die Genauigkeit des DC-Stromanteils während des Ruhezustandes bzw. auf die Linearität während des Sendens. Sollten sich die Widerstände R_4 und R_5 jedoch um 2% unterscheiden, so tritt ein maximales Rechtecksignal mit der PWM-Frequenz auf. Die Amplitude des so entstandenen Störstroms entspricht einem Rechtecksignal von 2% der $\pm 1,4\text{mA}$ Amplitude, und unter Berücksichtigung der Dämpfung durch das Bandpassfilter 33' und das digitale Testfilter ergibt dies einen Strom von $1,6\mu\text{A}$, der somit innerhalb des $6,22\mu\text{A}$ -Limits gemäß der Bestimmung 4 liegt. Da der DC-Anteil dieses Signals konstant ist und diese Technik grundsätzlich dieselbe Linearität besitzt wie die DC-D/A-Umsetzerschaltung 12', kann auf die Hochpassfunktion des Bandpassfilters 33' verzichtet werden, d.h. es genügt ein Tiefpassfilter (vgl. den Tiefpass 25' in Fig. 10A, 10B). In diesem Fall liefert die DC-D/A-Umsetzerschaltung 12' zum Ausgleich um $1,4\text{mA}$ konstant weniger Strom; in Fig. 8A muss hierfür nur der Kondensator C_5 durch einen Kurzschluss ersetzt werden.

Bei der Ausführung gemäß Fig. 12B werden jeweils beide PWM-Signale an den Eingängen bzw. Leitungen 41 und 42 durch das digitale AC-Signal am Eingang 21 angesteuert. Der eine PWM-Modulator 62' wird aber im Gegensatz zum anderen PWM-Modulator 62 durch die fallende Flanke des Taktsignals 16 gesteuert, wodurch das Signal am Eingang, d.h. auf der Steuersignal-Leitung 42, um einen halben PWM-Zyklus verzögert wird. Für den Ruhezustand tritt derselbe Effekt ein wie bei der Ausführung gemäß Fig. 12A mit dem konstanten Rechtecksignal; der einzige

Unterschied besteht darin, dass die Signale an den Eingängen bzw. Leitungen 41 und 42 hier nur noch jeweils die halbe Aussteuerung in Bezug auf das Stromsignal benötigen. Damit wird der maximale Störstrom im Ruhezustand auf $0,8\mu\text{A}$ halbiert.

Die in Fig. 12C dargestellte Ausführungsform unterscheidet sich von jener gemäß Fig. 12B nur im zweiten PWM-Modulator 64, der als "komplementärer" PWM-Modulator ein Ausgangssignal zum Eingang 41 hat, das gleichzeitig mit jenem (s. Eingang 42) des ersten PWM-Modulators 62 erfolgt, aber entlang der Zeitachse gespiegelt ist, d.h. die Ausgangssignale sind direkt komplementär. Dabei heben sich die amplitudenabhängigen Signalverzögerungen von Signal 41 und Signal 42 auf.

Bei allen Ausführungen gemäß Fig. 12A bis 12C kann auf die Hochpassfunktion des Bandpassfilters 33' (Fig. 11A, B) verzichtet werden.

Im Übrigen sind selbstverständlich die verschiedensten Varianten oder Kombinationen der beschriebenen Ausführungsformen denkbar, die dennoch dieselbe Grundidee, vor allem zur Vermeidung der Störströme im DC-Spektrum bzw. im AC-Spektrum während des Ruhezustandes, besitzen. Die digitalen Teile der beiden D/A-Umsetzerschaltungen 12' bzw. 13' (also Register, Filter, $\Sigma\Delta$ -Modulator, PWM-Modulator) können mit einer integrierten Schaltung oder mit einem entsprechend programmierten Mikrocomputer realisiert werden, wodurch meist eine ideale Lösung in Bezug auf Kosten sowie in Bezug auf Verfügbarkeit erlangt wird.

Weiters kann die Erfindung außer zur Signalisierung zwischen Messwertempfänger und Auswerteeinheit auch für andere Zwecke, etwa zur Signalübertragung zwischen einer Steuer- bzw. Regelschaltung und einer Aktuator-Ansteuerung, verwendet werden, und sie ist auch nicht auf 4-20mA-Signalisierungen, gemäß dem HART-Standard, beschränkt. Die Erfindung bringt aber naturgemäß gerade dort besondere Vorteile, wo Signalisierungen mit niedrigen Stromstärken gewünscht sind, und insofern ist sie insbesondere bei 4-20mA-Stromschleifen mit besonderem Vorteil anwendbar.

PATENTANSPRÜCHE:

1. Übertragungsanordnung zur Übertragung von Signalen, insbesondere Mess- bzw. Steuerungssignalen, in analoger Form, mit einer Gleichstrom (DC)-D/A-Umsetzerschaltung für ein DC-Nutzsignal, die einen Eingangsspeicher, z.B. ein Register, einen digitalen Modulator, insbesondere $\Sigma\Delta$ -Modulator, und einen analogen Tiefpass enthält, und mit einer Wechselstrom (AC)-D/A-Umsetzerschaltung für ein moduliertes AC-Modemsignal, die einen digitalen Pulsweitenmodulator und ein analoges Filter enthält, **dadurch gekennzeichnet**, dass in der DC-D/A-Umsetzerschaltung (12') dem digitalen Modulator (24', 57-58) ein digitales Tiefpassfilter (47) zugeordnet ist, und dass in der AC-D/A-Umsetzerschaltung (13') dem Pulsweitenmodulator (62), der das Modemsignal in ein 1-Bit-Signal umsetzt, ein analoger Summierer (63) nachgeordnet ist, dem ein weiteres zu summierendes Signal, wie z.B. ein während des Ruhezustands aktiviertes Gleichstrom-Signal, ein MSB-Signal oder ein Taktsignal (16), zugeführt ist.
2. Übertragungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass in der DC-D/A-Umsetzerschaltung (12') als digitaler Modulator ein $\Sigma\Delta$ -Modulator (57) mit einem m-bit-Quantisierer, mit $m > 1$, vorgesehen ist, dem ein Pulsweitenmodulator (58) zur Umsetzung des erhaltenen m-Bit-Signals in ein 1-Bit-Signal nachgeordnet ist.
3. Übertragungsanordnung nach Anspruch 2, **dadurch gekennzeichnet**, dass der $\Sigma\Delta$ -Modulator (57) und das ihm vorgeschaltete digitale Tiefpassfilter (47) eine Taktfrequenz aufweisen, die niedriger ist als jene des Pulsweitenmodulators (58), wobei zur zeitlichen Signal-Anpassung zwischen dem $\Sigma\Delta$ -Modulator (57) und dem Pulsweitenmodulator (58) ein Halteglied (61) angeordnet ist (Fig. 10B).
4. Übertragungsanordnung nach Anspruch 3, **dadurch gekennzeichnet**, dass zur Herleitung der niedrigeren Taktfrequenz ein Frequenzteiler (60) vorgesehen ist, an den der $\Sigma\Delta$ -Modulator (57) und das digitale Tiefpassfilter (47) mit Takteingängen angeschlossen sind, und dem das den Pulsweitenmodulator (58) steuernde Taktsignal (15) zugeführt ist.
5. Übertragungsanordnung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**,

- dass das digitale Tiefpassfilter (47) in der DC-D/A-Umsetzerschaltung (12') mit mehreren Tiefpassstufen (Fig. 9B) in Kaskadenschaltung, mit je einem Verzögerungsglied (51), dessen Ausgang über ein Summierglied (49) zum Eingang rückgekoppelt ist, und einen anschließenden digitalen Abschwächer (48), dessen Ausgang über ein Subtrahierglied (50) zum Eingang des Summierglieds (49) rückgekoppelt ist, ausgebildet ist.
6. Übertragungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass in der AC-D/A-Umsetzerschaltung (13') zwischen dem Pulsweitenmodulator (62) und dem analogen Summierer (63) ein Gatter (34') angeordnet ist, das an einem zweiten Eingang, z.B. einem invertierenden Eingang, das Ruhezustands-Gleichstromsignal zugeführt erhält (Fig. 11A).
 7. Übertragungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass der analoge Summierer (63) in der AC-D/A-Umsetzerschaltung (13') einerseits mit dem Ausgang des eine Anzahl (n-1) von LSB-Bits des Modemsignals in das 1-Bit-Signal umsetzenden Pulsweitenmodulators (62) und andererseits mit einer MSB-Bit-Zuleitung als Steuersignal-Leitung (42) verbunden ist, wobei die MSB-Bits auf der Steuersignal-Leitung (42) die LSB-Bits am Pulsweitenmodulator (62) zum kompletten Digitalwert ergänzen (Fig. 11B).
 8. Übertragungsanordnung nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, dass mit dem Ausgang des analogen Summierers (63) ein analoges Bandpassfilter (33') verbunden ist.
 9. Übertragungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass in der AC-D/A-Umsetzerschaltung (13') parallel zum Pulsweitenmodulator (62; 64) ein zweiter Pulsweitenmodulator (62) vorgesehen ist, wobei einer der Pulsweitenmodulatoren (62', 64) einen invertierenden Signaleingang und -ausgang oder einen invertierenden Taktsignaleingang aufweist, und wobei das Ausgangssignal des anderen Pulsweitenmodulators (62) ebenfalls dem analogen Summierer (63; Fig. 11) zugeführt ist (Fig. 12B, 12C).
 10. Übertragungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass in der AC-D/A-Umsetzerschaltung (13') parallel zum Pulsweitenmodulator (62') ein Rechtecksignalgenerator vorgesehen ist, der als Steuersignal auf einer Steuersignal-Leitung (42) ein Rechtecksignal (16) mit konstantem Pulsverhältnis abgibt (Fig. 12A).
 11. Übertragungsanordnung nach Anspruch 9 oder 10, **dadurch gekennzeichnet**, dass in der AC-D/A-Umsetzerschaltung (13') als analoges Filter (33') ein analoges Tiefpassfilter vorgesehen ist.
 12. Übertragungsanordnung nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet**, dass in der DC-D/A-Umsetzerschaltung (12') zumindest das digitale Filter (47) und der digitale Modulator (24', 57-58) durch einen Mikroprozessor gebildet sind.
 13. Übertragungsanordnung nach einem der Ansprüche 1 bis 12, **dadurch gekennzeichnet**, dass in der AC-D/A-Umsetzerschaltung (13') zumindest der digitale Pulsweitenmodulator (62) durch einen Mikroprozessor gebildet ist.
 14. Gleichstrom (DC)-D/A-Umsetzerschaltung für eine Übertragungsanordnung nach einem der Ansprüche 1 bis 13, mit einem Eingangsspeicher, z.B. ein Register, einem digitalen Modulator, insbesondere $\Sigma\Delta$ -Modulator, und einem analogen Tiefpass, **dadurch gekennzeichnet**, dass dem digitalen Modulator (24', 57-58) ein digitales Tiefpassfilter (47) zugeordnet ist.
 15. DC-D/A-Umsetzerschaltung nach Anspruch 14, **dadurch gekennzeichnet**, dass als digitaler Modulator ein $\Sigma\Delta$ -Modulator (57) mit einem m-Bit-Quantisierer, mit $m > 1$, vorgesehen ist, dem ein Pulsweitenmodulator (58) zur Umsetzung des erhaltenen m-Bit-Signals in ein 1-Bit Signal nachgeordnet ist.
 16. DC-D/A-Umsetzerschaltung nach Anspruch 15, **dadurch gekennzeichnet**, dass der $\Sigma\Delta$ -Modulator (57) und das ihm vorgeschaltete digitale Tiefpassfilter (47) eine Taktfrequenz aufweisen, die niedriger ist als jene des Pulsweitenmodulators (58), wobei zur zeitlichen Signal-Anpassung zwischen dem $\Sigma\Delta$ -Modulator (57) und dem Pulsweitenmodulator (58) ein Halteglied (61) angeordnet ist.
 17. DC-D/A-Umsetzerschaltung nach Anspruch 16, **dadurch gekennzeichnet**, dass zur Herleitung der niedrigeren Taktfrequenz ein Frequenzteiler (60) vorgesehen ist, an den der

- $\Sigma\Delta$ -Modulator (57) und das digitale Tiefpassfilter (47) mit Takteingängen angeschlossen sind, und dem das den Pulsweitenmodulator (58) steuernde Taktsignal (15) zugeführt ist.
- 5 18. DC-D/A-Umsetzerschaltung nach einem der Ansprüche 14 bis 17, **dadurch gekennzeichnet**, dass das digitale Tiefpassfilter (47) mit mehreren Tiefpassstufen (Fig. 9B) in Kaskadenschaltung, mit je einem Verzögerungsglied (51), dessen Ausgang über ein Summierglied (49) zum Eingang rückgekoppelt ist, und einen anschließenden digitalen Abschwächer (48), dessen Ausgang über ein Subtrahierglied (50) zum Eingang des Summierglieds (49) rückgekoppelt ist, ausgebildet ist.
- 10 19. DC-D/A-Umsetzerschaltung nach einem der Ansprüche 14 bis 18, **dadurch gekennzeichnet**, dass zumindest das digitale Filter (47) und der digitale Modulator (24', 57-58) durch einen Mikroprozessor gebildet sind.
- 15 20. Wechselstrom (AC)-D/A-Umsetzerschaltung für eine Übertragungsanordnung nach einem der Ansprüche 1 bis 13, mit einem digitalen Pulsweitenmodulator und einem analogen Filter, **dadurch gekennzeichnet**, dass dem Pulsweitenmodulator (62), der das Modemsignal in ein 1-Bit-Signal umsetzt, ein analoger Summierer (63) nachgeordnet ist, dem ein weiteres zu summierendes Signal, wie z.B. ein während des Ruhezustands aktiviertes Gleichstrom-Signal, ein MSB-Signal oder ein Taktsignal (16), zugeführt ist.
- 20 21. AC-D/A-Umsetzerschaltung nach Anspruch 20, **dadurch gekennzeichnet**, dass zwischen dem Pulsweitenmodulator (62) und dem analogen Summierer (63) ein Gatter (34') angeordnet ist, das an einem zweiten Eingang, z.B. einem invertierenden Eingang, das Ruhezustands-Gleichstromsignal zugeführt erhält.
- 25 22. AC-D/A-Umsetzerschaltung nach Anspruch 20 oder 21, **dadurch gekennzeichnet**, dass der analoge Summierer (63) einerseits mit dem Ausgang des eine Anzahl (n-1) von LSB-Bits des Modemsignals in das 1-Bit-Signal umsetzenden Pulsweitenmodulators (62) und andererseits mit einer MSB-Bit-Zuleitung als Steuersignal-Leitung (42) verbunden ist, wobei die MSB-Bits auf der Steuersignal-Leitung (42) die LSB-Bits am Pulsweitenmodulator (62) zum kompletten Digitalwert ergänzen (Fig. 11B).
- 30 23. AC-D/A-Umsetzerschaltung nach einem der Ansprüche 20 bis 22, **dadurch gekennzeichnet**, dass mit dem Ausgang des analogen Summierers (63) ein analoges Bandpassfilter (33') verbunden ist.
- 35 24. AC-D/A-Umsetzerschaltung nach Anspruch 20, **dadurch gekennzeichnet**, dass parallel zum Pulsweitenmodulator (62'; 64) ein zweiter Pulsweitenmodulator (62) vorgesehen ist, wobei einer der Pulsweitenmodulatoren (62', 64) einen invertierenden Signaleingang und -ausgang (Fig. 12C) oder einen invertierenden Taktsignaleingang (Fig. 12B) aufweist, und wobei das Ausgangssignal des anderen Pulsweitenmodulators (62) als Steuersignal (42) dem analogen Summierer (63) zugeführt ist.
- 40 25. AC-D/A-Umsetzerschaltung nach Anspruch 20, **dadurch gekennzeichnet**, dass parallel zum Pulsweitenmodulator (62') ein Rechtecksignalgenerator vorgesehen ist, der als Steuersignal auf einer Steuersignal-Leitung (42) ein Rechtecksignal (16) mit konstantem Pulsverhältnis abgibt (Fig. 12A).
- 45 26. AC-D/A-Umsetzerschaltung nach Anspruch 24 oder 25, **dadurch gekennzeichnet**, dass als analoges Filter (33') ein analoges Tiefpassfilter vorgesehen ist.
27. AC-D/A-Umsetzerschaltung nach einem der Ansprüche 20 bis 26, **dadurch gekennzeichnet**, dass zumindest der digitale Pulsweitenmodulator (62) durch einen Mikroprozessor gebildet ist.

HIEZU 9 BLATT ZEICHNUNGEN

50

55

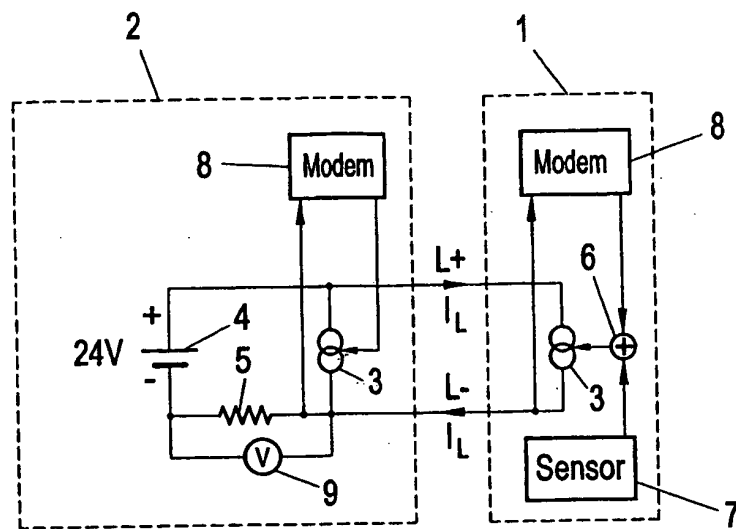


FIG. 1

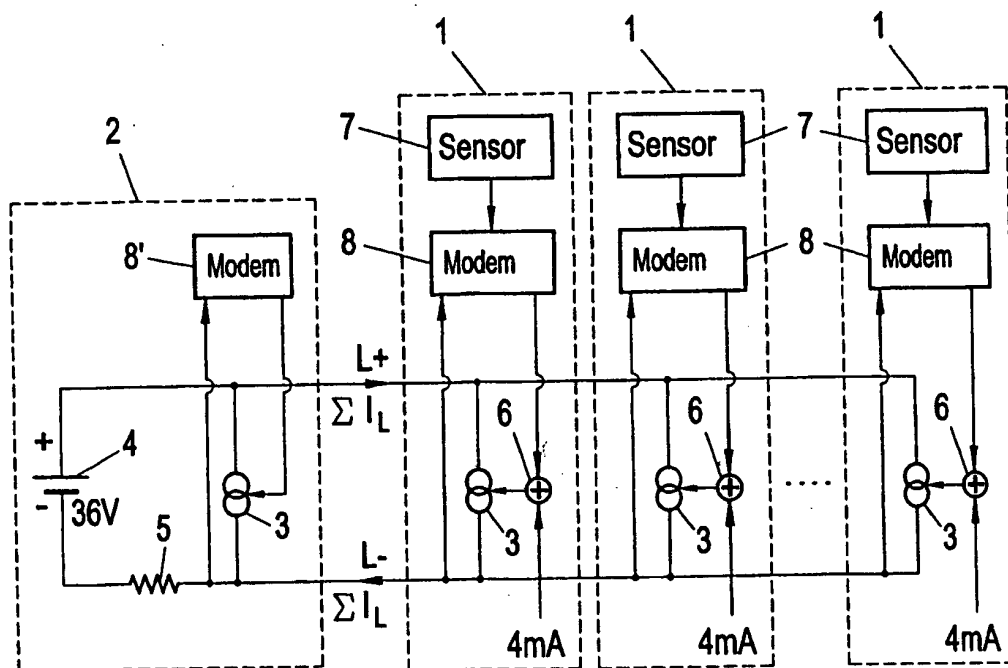


FIG. 2

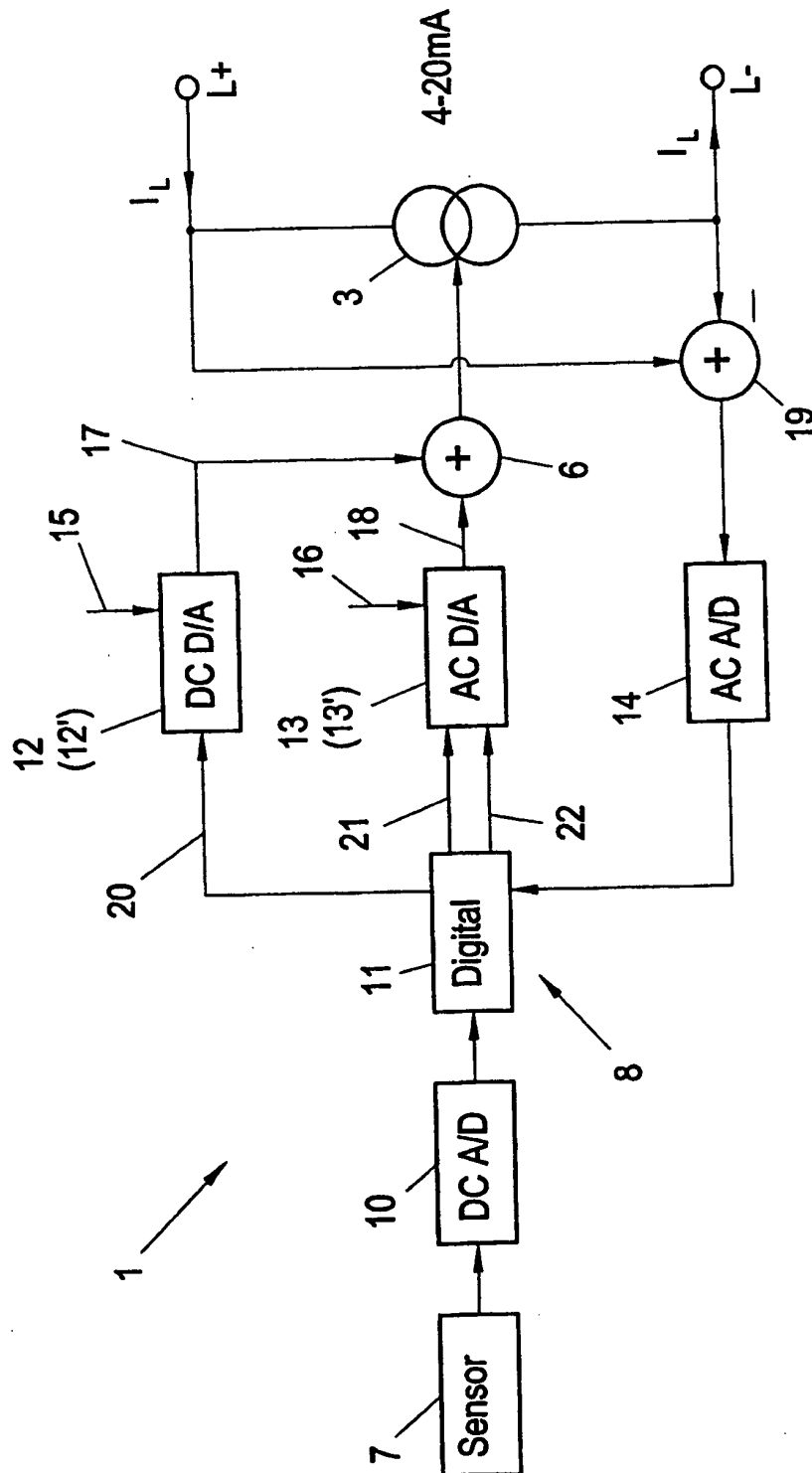


FIG. 3

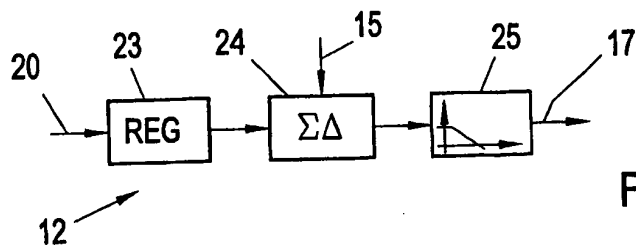


FIG. 4A

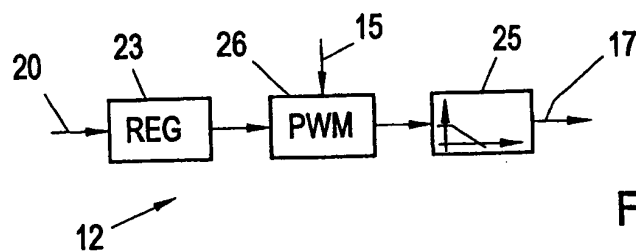


FIG. 4B

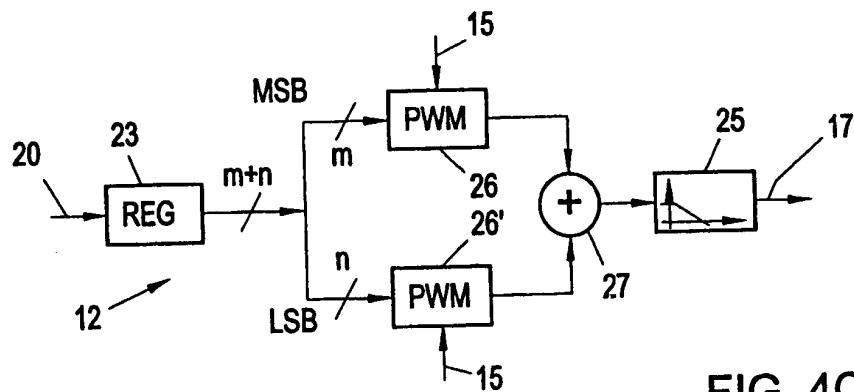


FIG. 4C

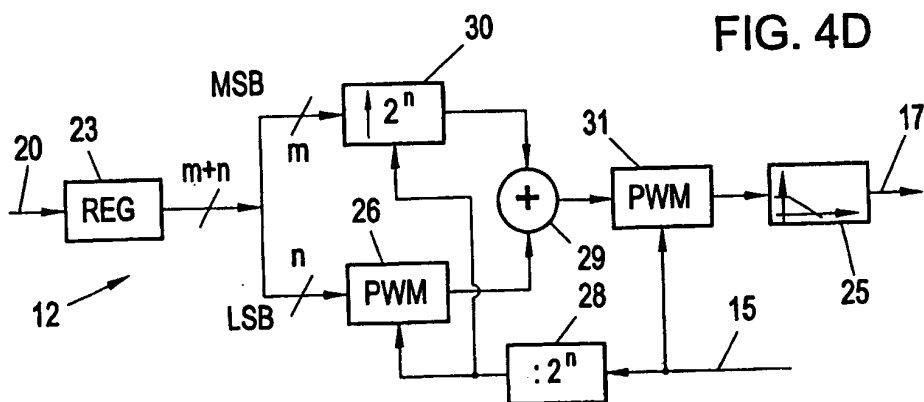


FIG. 4D

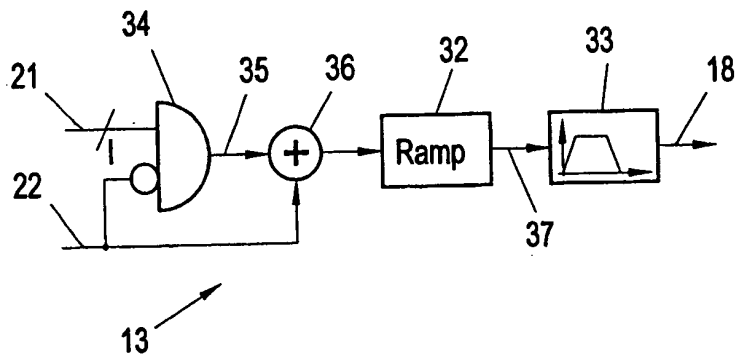


FIG. 5A

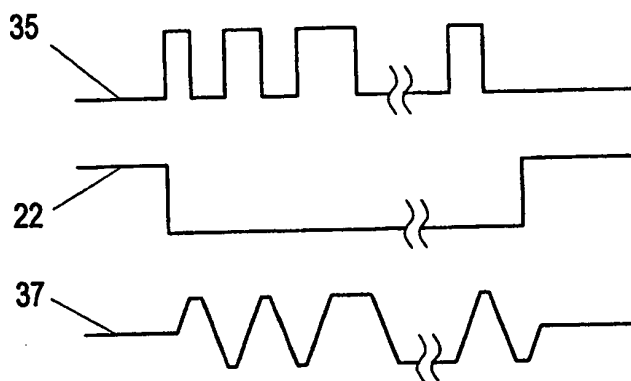


FIG. 5B

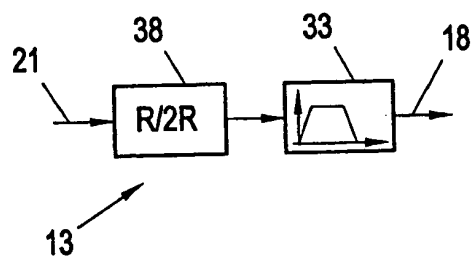


FIG. 6

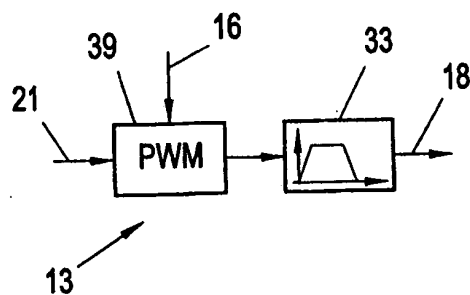


FIG. 7

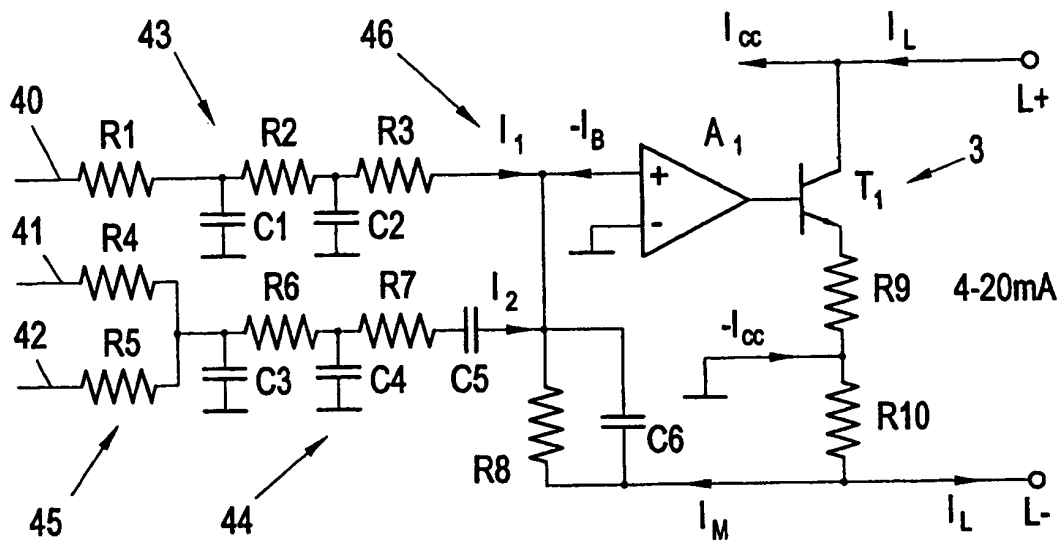


FIG. 8A

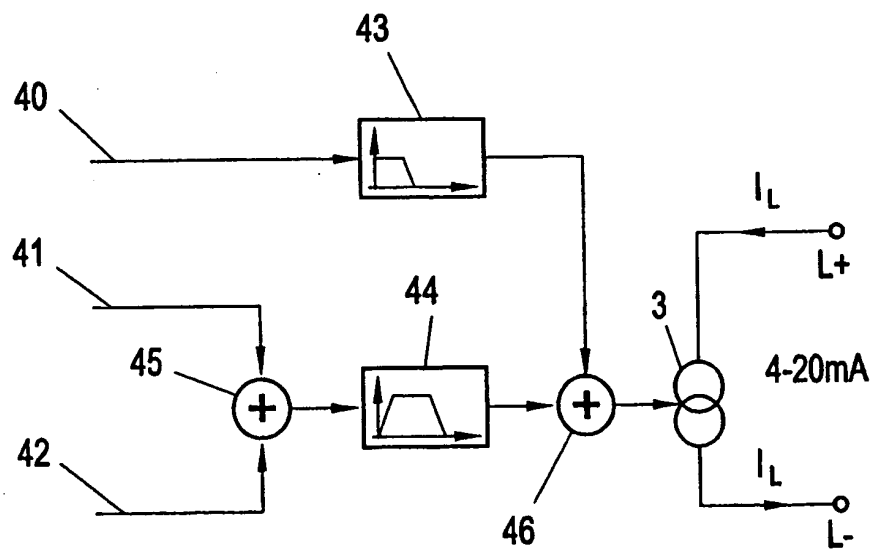


FIG. 8B

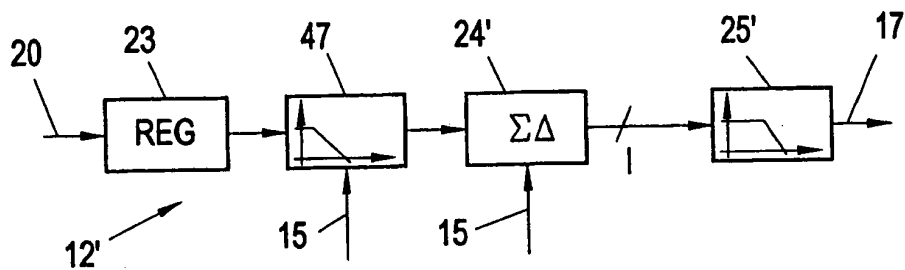


FIG. 9A

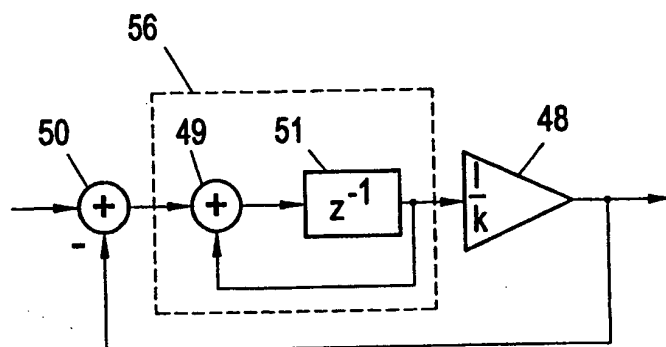


FIG. 9B

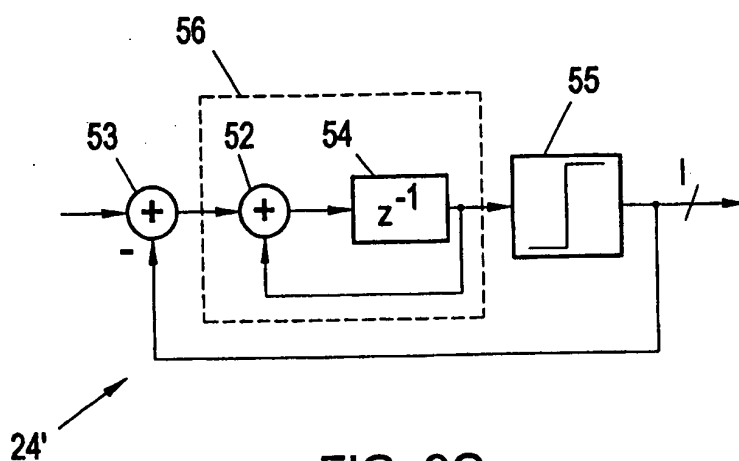


FIG. 9C

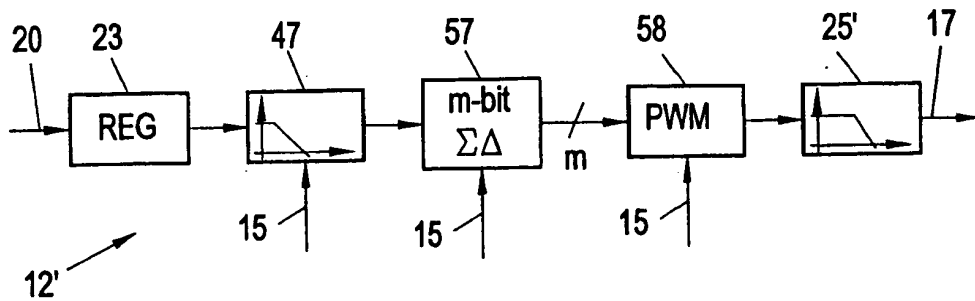


FIG. 10A

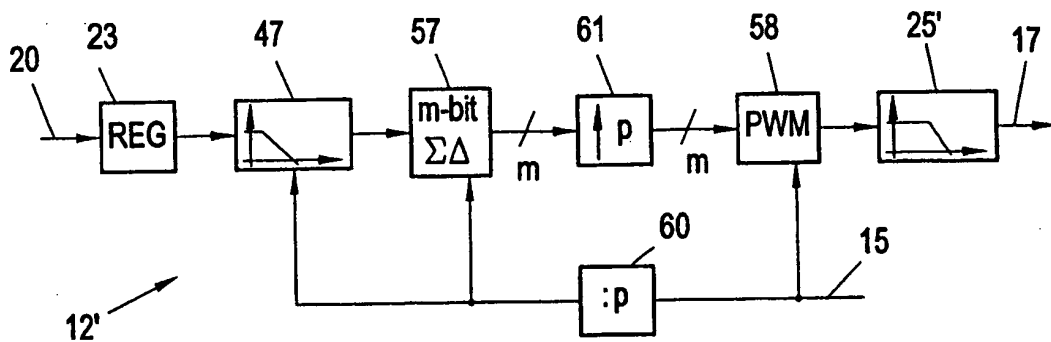


FIG. 10B

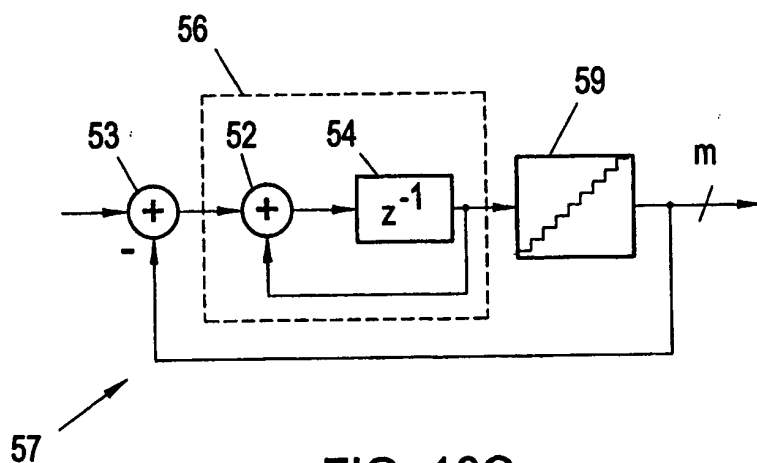


FIG. 10C

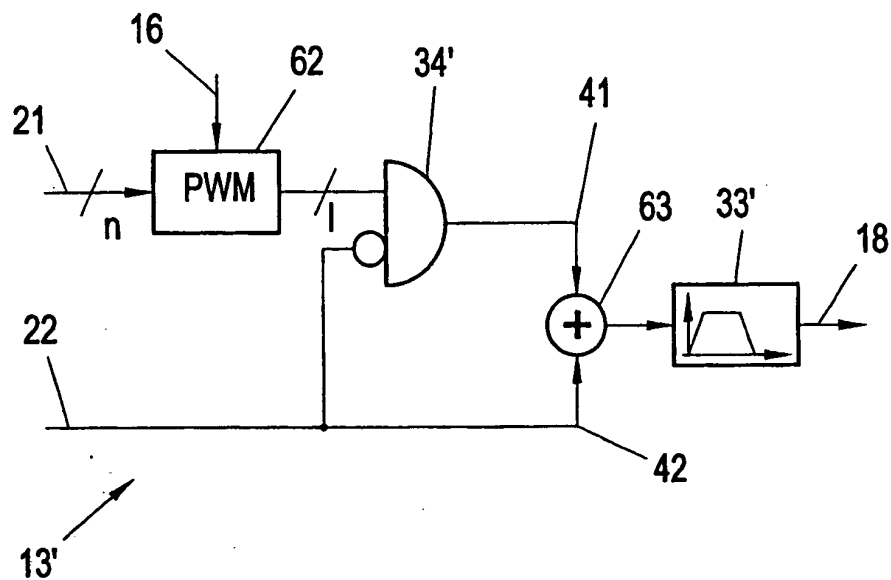


FIG. 11A

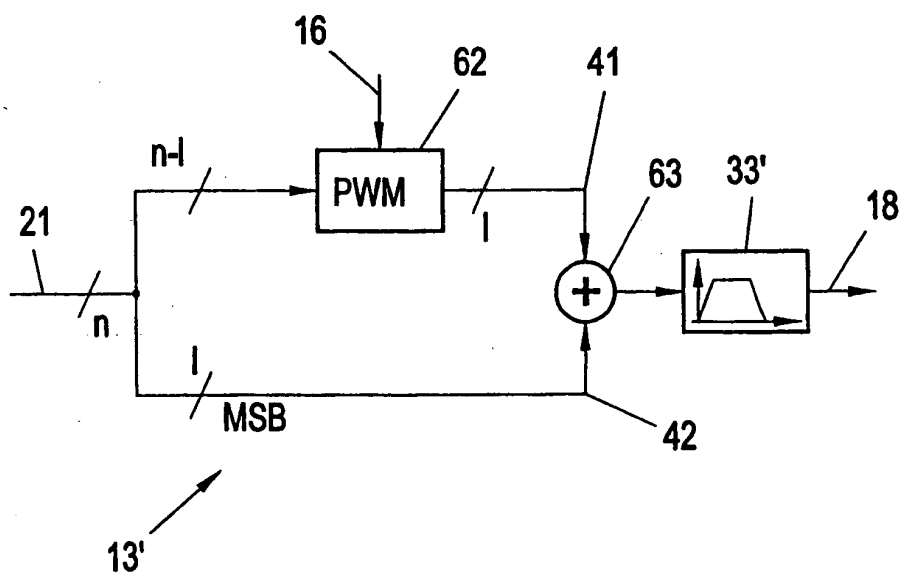


FIG. 11B

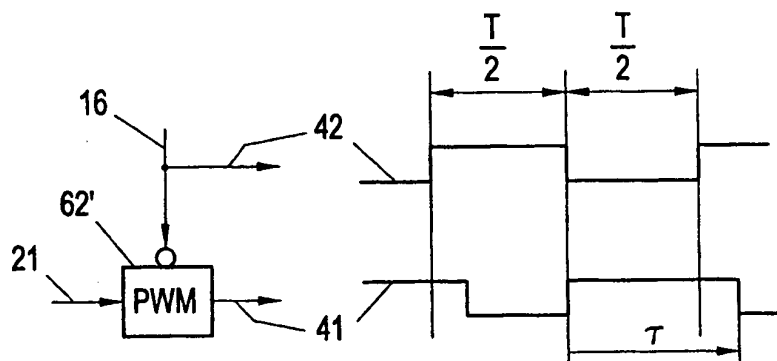


FIG. 12A

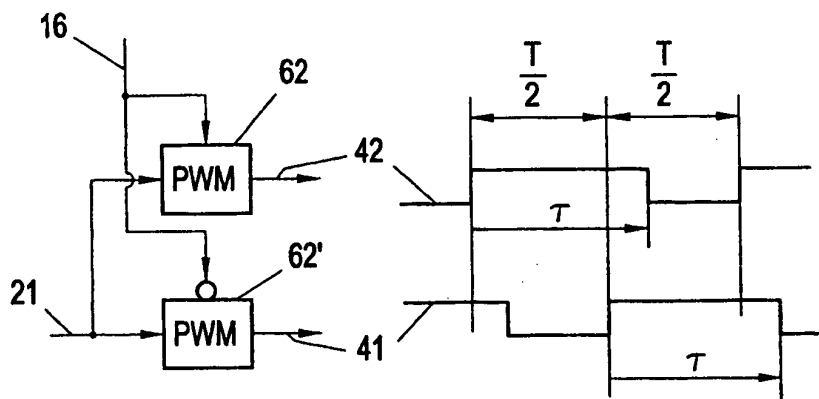


FIG. 12B

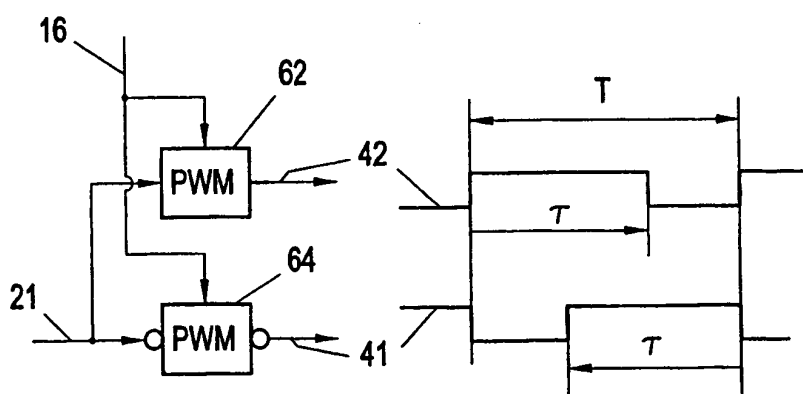


FIG. 12C