

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4202504号
(P4202504)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int.Cl.		F I		
HO3M 1/74 (2006.01)		HO3M 1/74		
HO3K 17/687 (2006.01)		HO3K 17/687		H
HO3K 17/693 (2006.01)		HO3K 17/693		A

請求項の数 17 外国語出願 (全 20 頁)

(21) 出願番号	特願平11-1172	(73) 特許権者	599172830
(22) 出願日	平成11年1月6日(1999.1.6)		フジツブ マイクロエレクトロニクス ヨーロッパ ゲゼルシャフト ミット ベシユレンクテル ハフツング
(65) 公開番号	特開平11-274934		ドイツ国、ドライアイヒーブッフシュラク 63303, アム ジーベンシュタイン 6-10
(43) 公開日	平成11年10月8日(1999.10.8)		
審査請求日	平成17年12月22日(2005.12.22)	(74) 代理人	100077517
(31) 優先権主張番号	9800387:4		弁理士 石田 敬
(32) 優先日	平成10年1月8日(1998.1.8)	(74) 代理人	100092624
(33) 優先権主張国	英国 (GB)		弁理士 鶴田 準一
		(74) 代理人	100108383
			弁理士 下道 晶久
		(74) 代理人	100082898
			弁理士 西山 雅也

最終頁に続く

(54) 【発明の名称】 ディファレンシャルスイッチング回路およびディジタルアナログ変換器

(57) 【特許請求の範囲】

【請求項1】

ディファレンシャルスイッチング回路であって、
該ディファレンシャルスイッチング回路の共通ノードと前記ディファレンシャルスイッチング回路の第1の出力ノードとの間に接続された第1のスイッチ要素と、

前記共通ノードと前記ディファレンシャルスイッチング回路の第2の出力ノードとの間に接続された第2のスイッチ要素と、

前記第1及び第2のスイッチ要素にそれぞれ対応する第1及び第2のドライバ手段であって、各該第1及び第2のドライバ手段は、印加される入力信号に依存してそれぞれ第1及び第2の状態の間でその要素を切換えるための対応する前記スイッチ要素に接続され、前記第1及び第2の状態のうち一方はオン状態で、前記第1及び第2の状態のうちもう一方はオフ状態であり、前記第1及び第2のドライバ手段は、前記第1及び第2のスイッチ要素のうち一方が前記第2の状態を有するときは前記第1及び第2のスイッチ要素のうちもう一方が前記第1の状態を有するように協働する第1及び第2のドライバ手段と、
を含み、ここで、

各前記スイッチ要素は、電界効果トランジスタであり、なおかつ、もう一方の前記スイッチ要素に対応するドライバ手段における整合のための電界効果トランジスタと対であり、前記整合のための電界効果トランジスタは、その対となる前記スイッチ要素に対応する前記ドライバ手段と動作的に結合され、各前記整合のための電界効果トランジスタのゲート-ソース間の電位は、前記整合のための電界効果トランジスタの所定のスイッチング動

作がその対となる前記スイッチ要素の前記第 1 の状態から前記第 2 の状態へのスイッチングに整合されるように、前記ディファレンシャルスイッチング回路が使用されているとき、その対となる前記スイッチ要素のゲート - ソース間の電位に整合され、前記所定のスイッチング動作は、前記他方のスイッチ要素の、前記第 2 の状態から前記第 1 の状態への切換えを引き起こす役割をすることを特徴とするディファレンシャルスイッチング回路。

【請求項 2】

各前記整合要素のトランジスタのソースは、前記ディファレンシャルスイッチング回路が使用されているとき、その対となる前記スイッチ要素の前記電界効果トランジスタのソース電位に等しいか又は前記ソース電位を追跡するような電位に維持される請求項 1 に記載のディファレンシャルスイッチング回路。

10

【請求項 3】

各前記ドライバ手段は、入力信号を受信するための入力と、その対応する前記スイッチ要素に接続された出力であって、前記第 1 及び第 2 の状態の間でその要素を切換えるためにスイッチング信号を印加するための出力と、を有し、前記第 1 のドライバ手段の入力及び前記第 2 のドライバ手段の入力のそれぞれにおいて受信された前記入力信号は相互に相補的であり、

各前記ドライバ手段は、該ドライバ手段に対するディセーブル信号の印加によって、その前記入力における入力信号の変化にตอบสนองしてその前記スイッチング信号を変えるよう動作可能な応答状態から、前記入力信号にตอบสนองしても前記スイッチング信号を変えない非応答状態へ切換え可能であり、

20

各前記入力信号が相補的に変化するとき前記ドライバ手段の一方が初めに前記応答状態にあり、前記ドライバ手段のもう一方が初めに前記非応答状態にあるような、他方の前記ドライバ手段の前記入力信号から前記第 1 及び第 2 のドライバ手段のそれぞれに対して前記ディセーブル信号を得るために接続されたクロスカップリング手段を前記ディファレンシャルスイッチング回路は更に備える請求項 1 又は 2 に記載のディファレンシャルスイッチング回路。

【請求項 4】

初めに前記非応答状態にあるドライバ手段は、前記各入力信号が相補的に変化するとき、その対応する前記スイッチ要素がオンであるドライバ手段である請求項 3 に記載のディファレンシャルスイッチング回路。

30

【請求項 5】

前記第 1 及び第 2 のドライバ手段のそれぞれに対する前記ディセーブル信号は、他方の前記ドライバ手段によって生成される前記スイッチング信号から得られる請求項 3 又は 4 に記載のディファレンシャルスイッチング回路。

【請求項 6】

前記第 1 及び第 2 のドライバ手段のそれぞれに対する前記ディセーブル信号は、他方の前記ドライバ手段によって生成される前記スイッチング信号と全く同じ信号である請求項 3 又は 4 に記載のディファレンシャルスイッチング回路。

【請求項 7】

各前記ドライバ手段は、
第 1 及び第 2 の供給線と、
前記対応するスイッチ要素がオンになるように、前記出力の電位を前記第 1 の供給線の電位にするよう選択的に起動可能である第 1 の回路と、
前記対応するスイッチ要素がオフになるように、前記出力の電位を前記第 2 の供給線の電位にするよう選択的に起動可能である第 2 の回路と、
を有する請求項 3 から 6 のいずれか一項に記載のディファレンシャルスイッチング回路。

40

【請求項 8】

前記第 2 の回路の動作は、前記ディセーブル信号によってディセーブルされる請求項 7 に記載のディファレンシャルスイッチング回路。

【請求項 9】

50

前記第 1 の回路は、前記第 1 の回路が起動される時、前記出力の電位が前記第 1 の供給線の電位になるようなレートを制御するための電流制御手段を有する請求項 7 又は 8 に記載のディファレンシャルスイッチング回路。

【請求項 10】

前記ドライバ手段の前記第 1 の回路も前記第 2 の回路も起動しないとき、各前記ドライバ手段は、オン状態にある前記対応するスイッチ要素を維持するために、所定のオン電位に前記出力の電位を維持するための開回路回避手段をさらに有する請求項 7 から 9 のいずれか一項に記載のディファレンシャルスイッチング回路。

【請求項 11】

前記第 2 の供給線電位は、前記共通ノードの電位と等しいか又は近い電位である請求項 7 から 10 のいずれか一項に記載のディファレンシャルスイッチング回路。

10

【請求項 12】

前記第 1 及び第 2 の相互補完入力信号をそれぞれ生成するための第 1 及び第 2 のレート制御手段を更に備え、各前記レート制御手段は、それが生成する前記入力信号のスループレートを制御する役割をする請求項 3 から 11 のいずれか一項に記載のディファレンシャルスイッチング回路。

【請求項 13】

前記ドライバ手段の前記入力信号が変化するとき、初めに前記非応答状態にあるドライバ手段からその対応する前記スイッチ要素へ結合される電荷を補償するための、各前記スイッチ要素に接続される補償手段をさらに備える請求項 3 から 12 のいずれか一項に記載のディファレンシャルスイッチング回路。

20

【請求項 14】

前記補償手段は、初めに前記応答状態にあるドライバ手段の前記入力信号が変化するとき、初めの前記非応答状態にあるドライバ手段に対応する前記スイッチ要素に反対電荷をクロスカップリングすることによって補償されるようにもたらされるよう操作可能である請求項 13 に記載のディファレンシャルスイッチング回路。

【請求項 15】

前記補償手段は、各前記ドライバ手段に対して、該当する前記ドライバ手段の前記出力と他方の前記ドライバ手段の前記入力との間に動作的に結合されるコンデンサを備える請求項 13 又は 14 に記載のディファレンシャルスイッチング回路。

30

【請求項 16】

請求項 1 から 15 のいずれか一項に記載のディファレンシャルスイッチング回路と、該ディファレンシャルスイッチング回路の前記共通ノードに動作的に接続され、実質的に一定の電流を前記共通ノードに運ぶための電流源又は電流シンクと、を有する特徴とするデジタルアナログ変換器。

【請求項 17】

複数のディファレンシャルスイッチング回路であって、そのそれぞれが請求項 1 から 15 のいずれか一項に記載のディファレンシャルスイッチング回路であり、前記複数のディファレンシャルスイッチング回路のそれぞれの前記第 1 の出力ノードは互いに接続されており、前記複数のディファレンシャルスイッチング回路のそれぞれの前記第 2 の出力ノードは互いに接続されているような、複数のディファレンシャルスイッチング回路と、

40

該複数のディファレンシャルスイッチング回路にそれぞれ対応する複数の電流源又は電流シンクであって、その前記対応するディファレンシャルスイッチング回路の前記共通ノードに動作的に接続され、実質的に一定の電流を前記共通ノードに運ぶための電流源又は電流シンクと、

を有することを特徴とするデジタルアナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばデジタルアナログ変換器で使用されるためのディファレンシャルスイ

50

ッチング回路（差動スイッチング回路）に関する。

【0002】

【従来の技術】

添付された図面の図1は、以前から考えられている電流スイッチされるデジタルアナログ変換器(DAC)1の部分を示す。DAC1は、 n ビットのデジタル入力ワードを対応するアナログ信号へ変換するように設計される。

DAC1は、個別に2値重み付けされた複数の電流源 $2_1 \sim 2_n$ を有し、そのそれぞれはDACに印加されたデジタル入力ワードの n ビットに対応する。各電流源は実質的に一定の電流を通し、異なる電流源によって通される電流値は次のように2値重み付けされる。すなわち、デジタル入力ワードの最下位ビットに対応する電流源 2_1 は電流 I を通し、デジタル入力ワードの最下位の次のビットに対応する電流源 2_2 は電流 $2I$ を通す、というように、変換器の連続した各電流源に対してそのようになる。

10

【0003】

DAC1は、複数のディファレンシャルスイッチング回路 $4_1 \sim 4_n$ をさらに有し、そのそれぞれは n 個の電流源 $2_1 \sim 2_n$ に対応する。各ディファレンシャルスイッチング回路4はその対応する電流源2に接続され、電流源によって生成された電流を、変換器の第1の接続線Aに接続された第1の端子か又は変換器の第2の接続線Bに接続された第2の端子かのどちらにも切替える。ディファレンシャルスイッチング回路は、デジタル入力ワードの1ビットを受信し(例えばディファレンシャルスイッチング回路 4_1 は入力ワードの最下位ビットを受信し)、当該ビット値に従って第1の端子又は第2の端子のどちらかを選択する。DACの第1の出力電流 I_A は、ディファレンシャルスイッチング回路の第1の端子へ運ばれた各電流の合計であり、DACの第2の出力電流 I_B は、ディファレンシャルスイッチング回路の第2の端子へ運ばれた各電流の合計である。アナログ出力信号は、電圧 V_A と電圧 V_B との電圧差 $V_A - V_B$ であるが、その電圧 V_A はDAC1の第1の出力電流 I_A が抵抗 R に流れることによって生成され、電圧 V_B はDAC1の第2の出力電流 I_B が別の抵抗 R に流れることによって生成される。

20

【0004】

図2は、図1の変換器のようなデジタルアナログ変換器での使用に適したディファレンシャルスイッチング回路の以前から考えられている形式を示す。

このディファレンシャルスイッチング回路4は、第1及び第2のPMOS電界効果トランジスタ(FET)S1及びS2を備える。トランジスタS1及びS2のそれぞれのソースは共通ノードCNに接続されるが、その共通ノードCNには対応する電流源(図1における $2_1 \sim 2_n$)が接続される。トランジスタS1及びS2の各ドレインは、回路のそれぞれ第1の出力ノード I_{OUTA} 及び第2の出力ノード I_{OUTB} に接続されるが、それは、図1のディファレンシャルスイッチング回路の各々の第1及び第2の端子にそれぞれ対応する。

30

【0005】

各トランジスタS1及びS2は、そのゲートに接続された対応するドライバ回路 6_1 又は 6_2 を有する。相補的な入力信号IN1及びIN2は、ドライバ回路 6_1 及び 6_2 の入力にそれぞれ印加される。各ドライバ回路は、スイッチング信号SW1又はSW2をそのそれぞれの関係するトランジスタS1又はS2に対して生成するためにそのそれぞれが受信した入力信号IN1又はIN2を緩衝しかつ反転させることにより、定常状態においてトランジスタS1及びS2のうち的一方がオンしもう一方がオフするようになる。例えば、図2そのもので示されるように、入力信号IN1がハイレベル(H)でありかつ入力信号IN2がローレベル(L)であるとき、トランジスタS1に対するスイッチング信号SW1(ゲート駆動電圧)はローレベルLにあるのでトランジスタがオンし、一方で、トランジスタS2に対するスイッチング信号SW2(ゲート駆動電圧)はハイレベルHにあるのでトランジスタがオフする。それゆえこの状態では、共通ノードへ流れる入力電流の全電流 I_{IN} は、出力ノード I_{OUTA} を通り、出力ノード I_{OUTB} には電流は通らない。

40

【0006】

【発明が解決しようとする課題】

50

トランジスタS1がオフでトランジスタS2がオンであるように図2の回路4の状態を変えることを望むとき、相補的な変化が入力信号IN1及びIN2において同時になされ、入力信号IN2がLからHへ変化すると同時に、入力信号IN1がHからLへ変化する。これらの相補的な変化の結果、トランジスタS1及びS2が同時に切換わる、すなわちトランジスタS2がターンオンするちょうどその瞬間にトランジスタS1がターンオフするであろうことが予想される。しかし実際は、ターンオンのスピードとターンオフのスピードは必然的にいくらか非対称である。これは、回路の一方又は両方の出力ノードにおいて順に故障を引き起こすかもしれない、共通ノード I_{IN} における瞬間的な故障になり得、スイッチの全てが完全に切換わるまでDACのアナログ出力値における瞬間的なエラーを生じさせる。アナログ出力信号におけるこれらの故障はコードに依存するかもしれない、また出力スペクトラムにおいて高調波歪みを生じたりあるいは非高調波のスパーク(non-harmonic spurs)を生じたりするかもしれない。

10

【0007】

ディファレンシャルスイッチング回路のスイッチングに関する故障の大きさは入力信号IN1及びIN2における相補的な変化の対称性に依存するので、互いに同期してこのような入力信号を生成してディファレンシャルスイッチング回路に運ぶということに最も注意が向けられている。しかし実際には、入力信号が完全に対称であっても、入力信号からスイッチング信号を得るドライバ回路 6_1 及び 6_2 は、実際にトランジスタS1及びS2を制御するスイッチング信号SW1及びSW2に対して非対称性を必然的にもたらしることがわかっている。このような非対称性から、どの個々のディファレンシャルスイッチング回路においても過渡的な出力電流歪みが生じる結果となる。さらに、複数のディファレンシャルスイッチング回路を用いるDACにおいては、異なる回路間のスイッチング時間の変動も生じる結果となる。これらの変動は、DACのスプリアスのないダイナミックレンジ(spurious-free dynamic range:SFDR) (特定の帯域幅にわたって、出力信号の振幅実効値と、ピークのスプリアス信号との間の差をデシベルで測定)を低くする。これらの変動はまた、変換器のアナログ出力信号のコード依存性をもたらす。

20

【0008】

【課題を解決するための手段】

本発明の第1の態様によれば、ディファレンシャルスイッチング回路は、回路構成部の共通ノードと回路構成部の第1の出力ノードとの間に接続された第1のスイッチ要素と、前記共通ノードと回路構成部の第2の出力ノードとの間に接続された第2のスイッチ要素と、前記第1及び第2のスイッチ要素にそれぞれ対応する第1及び第2のドライバ手段であって、そのそれぞれは、入力信号を受信するための入力と要素をオン又はオフに切換えるためにスイッチング信号が印加される対応するスイッチ要素の制御端子に接続された出力とを有し、各ドライバスイッチは、ディセーブル信号をそれに印加することによって、前記入力における入力信号の変化にตอบสนองして前記スイッチング信号を変えるよう操作可能な応答状態から、この入力信号の変化にตอบสนองしても前記スイッチング信号は変化しない非応答状態へ切り替え可能であり、第1のドライバ手段の入力及び第2のドライバ手段の入力においてそれぞれ受信される前記入力信号は相互に相補的であるような第1及び第2のドライバ手段と、それぞれの入力信号が相補的な変化をするとき、前記ドライバ手段の一方が初めに応答状態にあり、前記ドライバ手段のもう一方が初めに非応答状態にあるように第1及び第2のドライバ手段のそれぞれに対して前記ディセーブル信号を他方のドライバ手段の前記入力信号から得るために接続されるクロスカップリング(cross-coupling)手段と、を有する。

30

40

【0009】

このようなディファレンシャルスイッチング回路構成部においては、スイッチ要素の対称なスイッチングが、入力信号が対称な変化をしない場合でも保証される。初めに非応答状態にあるドライバ手段は、好適には、前述の各入力信号が相補的な変化をするときに、対応するスイッチ要素がオンするようなドライバ手段である。

【0010】

50

各ドライバ手段は必然的に内部で種々の信号を生成し、その信号はスイッチング信号そのものを有し、それは入力信号から得られる。回路構成部の部品数を減らすためにこの信号を得ることができるということを利用できる。

例えば、第1及び第2ドライバ手段のそれぞれに対する前記ディセーブル信号は、他方のドライバ手段によって生成される前記スイッチング信号と全く同じ信号からでも得てもよい。

【0011】

スイッチ要素のタイプは重要ではない。例えば、どの伝導タイプのバイポーラ又はFETトランジスタ(npnあるいはpnnpバイポーラ、n形あるいはp形FET)でも使うことができる。

各スイッチ要素がp形伝導のトランジスタであるとき、好適には、各ドライバ手段によってその対応するスイッチ要素に印加されるスイッチング信号は、入力信号とディセーブル信号との論理NORである。一方で、各スイッチ要素がn形伝導のトランジスタであるとき、好適には、各ドライバ手段によってその対応するスイッチ要素に印加されるスイッチング信号は、入力信号とディセーブル信号との論理NANDである。これらNOR及びNAND機能は、少ない数のバイポーラトランジスタ又はFETトランジスタのどちらを使っても実現できるので簡単で便利である。

【0012】

好適には、各ドライバ手段は、前述のスイッチ要素トランジスタと同じ伝導タイプのディセーブルトランジスタを有するが、それは、ターンオンしたとき、スイッチング信号の電位を、そのドライバ手段の対応するスイッチ要素がターンオフされるようなオフ電位にする役割をする。

スイッチ要素がFETのとき、各ドライバ手段では、ディセーブルトランジスタのゲート電位は、他方のドライバ手段の対応するスイッチ要素の電界効果トランジスタのゲート電位と整合される(これと同じであるか又はこれより少ない変動のオフセットだけを有する)。例えば、ディセーブルトランジスタのゲートとスイッチ要素FETのゲートとは互いに接続されてもよい。

【0013】

代わりに、あるいはさらに、好適には、各ドライバ手段では、ディセーブルトランジスタのソース電位は、他方のドライバ手段の対応するスイッチ要素の電界効果トランジスタのソース電位と整合される(これと同じであるかまたはこれより少ない変動のオフセットだけを有する)。例えば、各ドライバ手段では、ディセーブルトランジスタのソースは共通ノードに接続されてもよい。

【0014】

これらの手段により、ディセーブルトランジスタ及び当該スイッチ要素が共に切換わることが保証される。

好適な実施態様では、各ドライバ手段は、第1及び第2の供給線と、対応するスイッチ要素をターンオンするために出力電位を第1の供給線の電位にすることが選択的に可能な第1の回路と、対応するスイッチ要素をターンオフするために出力電位を第2の供給線の電位にすることが選択的に可能な第2の回路と、を有する。

【0015】

このようなドライバ手段は、望ましいような簡単な構造を有する。

好適には、この第2の回路の動作は、前述のディセーブル信号によることが望ましく、ドライバ手段の動作を、制御のために簡単に及び便利にすることになる。

第1の回路は、好適には、第1の回路が起動されたとき出力電位を第1の供給線の電位にするようなレートを制御するための電流制御手段を有する。これは第1の回路が起動されたときの出力ノードの電位における故障を防ぐ助けとなる。

【0016】

第1及び第2の回路が両方とも同時に起動されないのは、スイッチング信号をノイズによって影響され得る浮遊状態にするので望ましくない。従って、好適には、各ドライバ手段

10

20

30

40

50

は、当該ドライバ手段のうちの第1の回路も第2の回路も起動されないとき、対応するスイッチ要素をオン状態に維持するために、所定のオン電位に出力電位を維持するための開回路回避手段をさらに有する。

【0017】

第2の供給線の電位は例えばV_{dd}（あるいは設計に依存するV_{ss}）のような固定電位であってもよい。しかし、好適には、第2の供給線の電位は共通ノードの電位に等しいか近い値である。これによって、第2の回路の回路要素は、共通ノードの電位が通常浮遊電位にある時でさえ、第2の回路が制御するスイッチ要素と同じ電位を受信することができ、共通ノードの電位の変動に関わりなく第2の回路とそのスイッチ要素との間のスイッチングスピードの調整を確実にする。

10

【0018】

好適には、回路構成部は、相互相補的な第1及び第2の入力信号をそれぞれ生成するため第1及び第2のレート制御手段をさらに備え、各レート制御手段は、回路構成部が生成する入力信号のスルーレートを制御する役割をする。これは故障及び、過度に速い入力信号における相補的な変化に関連する他の望ましくない影響を防ぐ効果がある。

【0019】

好適には、第1及び第2のレート制御手段は、第1及び第2の信号のそれぞれのスルーレートを等しくする役割をする。これは故障及び、異なるレートの入力信号における相補的な変化に関連する他の望ましくない影響を防ぐ効果がある。

好適には、回路構成部は、各スイッチ要素に接続された補償手段をさらに備え、この補償手段はドライバ手段の入力信号が変化するとき最初に非応答状態にあるドライバ手段から対応するスイッチ要素へ結合された電荷を補償する。この望まれない結合は、ドライバ手段におけるトランジスタ、特に第2の回路のトランジスタの寄生容量に起因して生じるかもしれない。

20

【0020】

この補償は、最初に応答状態にあるドライバ手段の入力信号が変化するとき、初めの非応答状態にあるドライバ手段に対応するスイッチ要素に反対電荷(countercharge)をクロスカップリング(交差結合)することによって有利にもたらされる。最初に応答状態にあるドライバ手段では、望ましくない電荷カップリングに起因して最初に非応答状態にあるドライバで生じるスイッチング信号の電位の変化に対して相補的な変化をするような少なくとも1つの信号が必然的に存在する。

30

【0021】

例えば、前記補償手段は、各ドライバ手段に対して、当該ドライバ手段の出力と他方のドライバ手段の入力との間に動作的に結合されたコンデンサを備えてもよい。これは補償処理を簡単かつ効果的にするが、これは特に、コンデンサがFETから又は、スイッチ要素のFETに大きさ及び/又は伝導タイプが整合されているようなものから形成され得るからである。

【0022】

本発明の第2の態様によれば、本発明の前述の第1の態様を具体化するディファレンシャルスイッチング回路構成部と、ディファレンシャルスイッチング回路の共通ノードに動作的に接続され、実質的に一定の電流をそこに運ぶための電流源又は電流シンクとを有するデジタルアナログ変換器が提供される。

40

本発明の第3の態様によれば、複数のディファレンシャルスイッチング回路であって、そのそれぞれは本発明の前述の第1の態様を具体化するディファレンシャルスイッチング回路構成部であり、複数のディファレンシャルスイッチング回路のそれぞれの第1の出力ノードが互いに接続されており、複数のディファレンシャルスイッチング回路のそれぞれの第2の出力ノードが互いに接続されているような複数のディファレンシャルスイッチング回路と、複数の電流源又は電流シンクであって、それは複数のディファレンシャルスイッチング回路にそれぞれ対応し、各電流ソース又は電流シンクは対応するディファレンシャルスイッチング回路に動作的に接続され、実質的に一定の電流をそこに運ぶための複数の

50

電流源又は電流シンクとを有するディジタルアナログ変換器が提供される。

【0023】

本発明の第2及び第3の態様の実施例では、SFDRが著しく改良されている「完全にセグメント化された」又は「部分的にセグメント化された」DACを提供することができる。この場合、異なる電流源/異なる電流シンクによって湧き出される/浸透される電流が同一であってもよい。

代替例では、異なる電流源/異なる電流シンクによって湧き出される/浸透される電流が2値重み付けされてもよい。

【0024】

好適な実施態様では、カスコードトランジスタが、電流源又は電流シンクあるいは各電流源又は電流シンクと、対応するディファレンシャルスイッチング回路又は各対応するディファレンシャルスイッチング回路と、の間に接続される。これは、電流源/電流シンクのトランジスタをそれらの電位における変動から保護する助けをするが、この変動はDACの動作中に電流源/電流シンクの振幅が共通ノード電位の変化として作用するものである。

10

【0025】

【発明の実施の形態】

例を用いて添付された図面を参照して説明する。

図3は、本発明を具体化するディファレンシャルスイッチング回路10の部分のブロック図である。回路10は、それぞれ第1及び第2のスイッチ要素S1及びS2を有し、この例においては、それらはp形電界効果トランジスタ(FET)である。2つのトランジスタのそれぞれのソースには共通ノードCNが接続され、トランジスタのそれぞれのドレインには回路の第1及び第2の出力ノードOUT1及びOUT2がそれぞれ接続される。

20

【0026】

図3のディファレンシャルスイッチング回路は第1及び第2のドライバ回路12及び14をさらに有し、各ドライバ回路12又は14は、回路の2つの相補的な入力信号IN1及びIN2の1つを受信するためのメイン入力と、ディセーブル信号DIS1又はDIS2を受信するためのディセーブル入力とを有する。各ドライバ回路12又は14はまた、ゲートにスイッチング信号SW1又はSW2を印加するための、それぞれに対応するトランジスタS1又はS2のゲートに接続された出力を有する。

30

【0027】

図3の回路10は、第1のクロスカップリング回路18及び第2のクロスカップリング回路20を有するクロスカップリング回路構成部16をさらに有する。クロスカップリング回路18は第1の入力信号IN1を受信するために接続され、そこから第2のドライバ回路14に対するディセーブル信号DIS2を得る。もう一方で、クロスカップリング回路20は第2の入力信号IN2を受信するために接続され、そこから第1のドライバ回路12に印加されるディセーブル信号DIS1を得る。

【0028】

図3の回路は以下のように動作する。各ドライバ回路12又は14は、それに印加されるディセーブル信号DIS1又はDIS2に依存する2つの異なる状態のうちの、1つにおいて動作する。ディセーブル信号がドライバ回路に印加されないとき、ドライバ回路によって生成されるスイッチング信号SW1又はSW2がドライバ回路へ印加される入力信号IN1又はIN2の変化にตอบสนองして変化するような応答状態において、ドライバ回路は動作する。ドライバ回路が反転機能を有する場合、入力信号が応答状態においてハイからローへ変化するとき、ドライバ回路によって生成されるスイッチング信号はローからハイへ変化し、またその逆も成り立つ。ドライバ回路が非反転機能を有する場合、スイッチング信号における変化は、入力信号における変化と同じである。

40

【0029】

一方で、ドライバ回路がディセーブル信号を受信するとき、ドライバ回路によって生成されるスイッチング信号SW1又はSW2が当該ドライバ回路へ印加される入力信号IN1又はIN

50

2 における変化にตอบสนองしても変化しないような、非応答状態に置かれることになる。
相補的な入力信号IN1 及びIN2 が安定である（変化しない）ときにディセーブル信号DIS1 及びDIS2のうちの 1つだけが生成されるようにクロスカップリング回路構成部16は動作する。従って、ディセーブル信号を受信するドライバ回路は非応答状態に置かれ、ディセーブル信号を受信しないドライバ回路は応答状態に保たれる。それゆえ、相補的な変化が入力信号IN1 及びIN2 において生じるとき、非応答状態にあるドライバ回路は、ディセーブル信号がまだ提供される限りは、そのメイン入力において見られる入力信号の変化を効果的に無視する。

【0030】

それぞれのドライバ回路に印加される入力信号IN1 又はIN2 はまた、非応答ドライバ回路にディセーブル信号を印加するクロスカップリング回路18及び20のうちの 1つに印加される。それに応じて、当該クロスカップリング回路は、応答ドライバ回路の入力信号の遷移を検出し、かつその遷移の検出の後で非応答ドライバ回路を解放する。従って、非応答ドライバ回路は、応答ドライバ回路の入力における入力信号の変化の検出の後で応答状態に変化する。その結果として、初め非応答状態にあったドライバ回路は、初め応答状態にあったドライバ回路のスイッチング信号における変化と対等の関係で、そのスイッチング信号を変化させる。

【0031】

2つのドライバ回路12及び14のスイッチング動作はクロスカップリング回路構成部16によって調節されるので、図3の回路に印加される入力信号IN1 及びIN2 における相補的な変化は完全に対照的である必要はもはやない。初め非応答状態にあったドライバ回路に印加される入力信号は、初め応答状態にあったドライバ回路における相補的な変化の前ならいつでも、また、その相補的な変化のあとの一定時間に対してでさえ、変化することができる。

【0032】

図3に示されるように、ディセーブル信号DIS1及びDIS2はそれぞれ入力信号IN1 及びIN2 から得られるにもかかわらず、クロスカップリング回路18及び20が当該入力信号を直接受信することは必ずしも必要ない。例えば、各ドライバ回路は必然的に種々の異なる信号を内部で生成するが、その信号はドライバ回路のメイン入力に印加される入力信号から（依存して）得られる。同様に、各ドライバ回路によって生成されるスイッチング信号はまた、当該ドライバ回路の入力信号から得られる信号でもある。それゆえ本発明の実施例では、ドライバ回路の内部信号からあるいはスイッチング信号自身から、ディセーブル信号を得ることができる。この理由から、いくつかの実施例においては、クロスカップリング回路16はドライバ回路入力ではなく、ドライバ回路内部ノード又はドライバ回路出力へ結合され得る。さらに、適切にドライバ回路を設計することによって、クロスカップリング回路構成部が単に2つのドライバ回路12及び14間のクロスカップリング接続からなるという点でさえ、クロスカップリング回路構成部を簡単にできる。

【0033】

上述のように、図3の回路において、クロスカップリング回路構成部は、入力信号における相補的な変化のあらゆる対に対して、2つのドライバ回路のうち的一方だけが初めに応答状態にあり、2つの回路のうちのもう一方が初めに非応答状態にあるようになっている。ドライバ回路が初めに応答状態にあるということは重要ではない。例えば、対応するトランジスタS1又はS2が、応答状態において初めにオフ状態にあるようなドライバ回路を有するように選んでもよい。この場合、その応答ドライバ回路の入力信号が変化を開始するとすぐに、この入力信号を受信するクロスカップリング回路は、そこにおける変化を検出し、かつ非応答ドライバ回路からディセーブル信号を取り除くが、それによってオフのトランジスタがターンオンを開始するとすぐにオンのトランジスタがターンオフを開始する。代替例として、対応するトランジスタがオンであるドライバ回路が、初めに応答状態にあるようなドライバ回路に選ばれてもよい。この場合は、クロスカップリング回路構成部が応答ドライバ回路へ印加された入力信号における遷移を検出するとすぐに、非応答ドラ

10

20

30

40

50

イバ回路からディセーブル信号を取り除くことによって、初めに応答状態にあるドライバ回路の制御の下でオンのトランジスタがターンオフを開始すると同時に、初めに非応答状態にあるドライバ回路の制御の下でオフのトランジスタがターンオンを開始するようになる。

【 0 0 3 4 】

次に本発明の好適な実施例を説明する。

図 4 は、本発明の第 1 実施例によるディファレンシャルスイッチング回路 20 を示す図である。本実施例では、スイッチング要素 S1 及び S2 は p 形 F E T であり、ドライバ回路 12 及び 14 はそれぞれ N O R 機能を有する。それゆえ、各ドライバ回路 12 又は 14 によって生成されるスイッチング信号は、その回路に印加される入力信号 IN1 又は IN2 と、もう一方のドライバ回路によって生成されるスイッチング信号との論理 N O R である。それゆえ、この実施例では、各ドライバ回路のディセーブル信号 DIS1 又は DIS2 はもう一方のドライバ回路のスイッチング信号 SW2 又は SW1 と全く同じである。

10

【 0 0 3 5 】

次に、図 4 の実施例の動作を図 5 ~ 8 を参照して説明する。

図 5 は、図 4 の回路の初期状態を示す。この初期状態では、第 1 の入力信号 IN1 はハイの論理レベル H にあり、第 2 の入力信号 IN2 は (第 1 の入力信号 IN1 の相補として) ローの論理レベル L にあると仮定する。スイッチング要素 S1 及び S2 に印加されるスイッチング信号 SW1 及び SW2 は、それぞれ L 及び H であるので S1 はオンで S2 はオフである。また、初期状態では、第 1 のドライバ回路 12 は、ディセーブル信号を受信 (DIS1 = H) して非応答状態にあるが、第 2 のドライバ回路はディセーブル信号を受信しない (DIS1 = L) ので従って応答状態にある。

20

【 0 0 3 6 】

図 6 において、第 1 の入力信号 IN1 は H から L へ変化するが、第 2 の入力信号 IN2 における対応する変化 (L から H) はまだ生じていない。それゆえ、第 2 の入力信号 IN2 から得られる第 1 のドライバ回路 12 に対するディセーブル信号 DIS1 は、H レベルのままであり、従って、第 1 のドライバ回路の出力は、第 1 の入力信号 IN1 における変化に応答して変化することを妨げることになる。それゆえに、スイッチ要素 S1 はオンのままであり、スイッチ要素 S2 はオフのままである。

【 0 0 3 7 】

図 7 では、IN2 が L から H へ変化する。この場合は、第 2 のドライバ回路 14 が応答状態にある (ディセーブル信号が提供されていない) ので、スイッチング信号 SW2 は H から L への変化を開始する。それゆえ、スイッチ要素 S2 はターンオンを開始する。同時に、第 1 のドライバ回路 12 に印加されるディセーブル信号 DIS1 は H から L へ変化し、それによってスイッチング信号 SW1 は L から H への変化を開始し、それによってスイッチ要素 S1 はターンオフを開始する。この方法で、スイッチ要素 S1 のターンオフはスイッチ要素 S2 のターンオンと整合される。

30

【 0 0 3 8 】

図 7 において、第 2 のドライバ回路 14 は、第 1 のスイッチング信号 SW1 が H へ変化するときディセーブル信号を受信するので、結局非応答状態になることがわかるであろう。それに応じて、相補的な入力信号 IN1 及び IN2 における次の変化が生じるとき、第 1 のドライバ回路 12 だけが (第 1 の入力信号 IN1 における) 変化に初めに応答し、第 2 のドライバ回路 14 は、第 1 の入力信号における (L から H への) 変化が生じるまで非応答状態のままである。

40

【 0 0 3 9 】

図 8 は、本発明の第 2 の実施例によるディファレンシャルスイッチング回路 30 を示す図である。この実施例では、スイッチ要素 S1 及び S2 はそれぞれ n 形 F E T であり、第 1 及び第 2 のドライバ回路 12 及び 14 はそれぞれ N A N D 機能を有する。各ドライバ回路によって生成されるスイッチング信号 SW1 又は SW2 は、その回路に印加される入力信号 IN1 又は IN2 と、当該回路に印加されるディセーブル信号 DIS1 又は DIS2 との論理 N A N D である。図 4

50

の実施例のように各ドライバ回路に対するディセーブル信号DIS1又はDIS2は、もう一方のドライバ回路のスイッチング信号SW2 又はSW1 によって直接提供されるが、しかしこの実施例では、各ディセーブル信号DIS1及びDIS2はアクティブ・ローである。

【 0 0 4 0 】

図 8 のディファレンシャルスイッチング回路30の動作は、第 1 の実施例の図 5 ~ 7 にそれぞれ対応する図 9 ~ 1 1 によって例示される。

図 9 に示されるように、初期状態において、入力信号は、IN1=L 及びIN2=H であると仮定する。それゆえ、スイッチング信号SW1=H であり、スイッチング信号SW2=L であるので、スイッチ要素S1はオンであり、スイッチ要素S2はオフである。この状態では、第 1 のドライバ回路12は、第 2 のスイッチング信号SW 2 が L である結果としてディセーブル信号DIS1
10 を受信するので非応答状態にある。もう一方で、第 2 のドライバ回路14は (ディセーブル信号DIS2のない) 応答状態にある。

【 0 0 4 1 】

図 1 0 において第 1 の入力信号 IN1 は L から H へ変化する。しかし、第 1 のドライバ回路12は非応答状態にあるので、第 1 のスイッチング信号SW1 は H のままであり、そしてスイッチ要素S1はオンのままであり、スイッチ要素S2はオフのままである。図 1 1 に示されるように、この状態は第 2 の入力信号 IN2 が H から L へ変化するまで維持される。第 2 のドライバ回路14は応答状態にあるので、スイッチング信号SW2 は L から H への変化を開始し、それによってスイッチ要素S2はターンオンを開始する。同時に、ディセーブル信号DIS1
20 は第 1 のドライバ回路12から取り除かれるので、第 1 のスイッチング信号SW1 は H から L への変化を開始する。それゆえ、S2がターンオンを開始すると同時に、S1はターンオフを開始する。

【 0 0 4 2 】

図 1 1 において、第 2 のドライバ回路14は結局には非応答状態になり、第 1 のドライバ回路12は最後には応答状態になることがわかるであろう。それゆえ、入力信号 IN1 及びIN2 における次の相補的な変化が生じるとき、第 1 のドライバ回路12だけが (第 1 の入力信号 IN1 における) 変化に応答し、第 2 のドライバ回路14は、第 1 の入力信号 IN1 における (H から L への) 変化が生じる時間まで非応答状態のままである。

【 0 0 4 3 】

図 1 2 は第 1 の実施例 (図 4) における可能性のあるトランジスタレベルでの実現を示す図である。図 1 2 に示される回路40は、第 1 及び第 2 の p 形 F E T S1及びS2を有する。トランジスタS1及びS2のそれぞれのドレインは回路40の第 1 及び第 2 の出力ノードOUT1及びOUT2にそれぞれ接続されており、トランジスタS1及びS2のそれぞれのソースは共通ノードCNに接続されている。

【 0 0 4 4 】

プルアップ回路PU1 又はPU2 とプルダウン回路PD1 又はPD2 とを備えるドライバ回路12又は14は、各トランジスタS1又はS2にそれぞれ連携されている。各プルダウン回路PD1 又はPD2 は、回路40の電源供給線Vss とトランジスタS1又はS2のゲートとの間に接続される n 形 F E T 41又は42を備える。入力信号 IN1 又は IN2 はトランジスタ41又は42に印加される。
40

【 0 0 4 5 】

各プルアップ回路PU1 又はPU2 は、スイッチトランジスタS1又はS2のゲートと共通ノードCNとの間に直列に接続された (PU1 に対しては43及び44、並びにPU2 に対しては45及び46の) 2 つの p 形 F E T を備える。トランジスタ43及び45はそれらのゲートにおいて、それぞれ入力信号 IN1 及び IN2 を受信する。トランジスタ44及び46は、それぞれディセーブル信号DIS1及びDIS2を受信するディセーブルトランジスタである。これらのディセーブル信号DIS1及びDIS2は、スイッチングトランジスタS2及びS1のゲートからそれぞれクロスカップリングされる。(換言すれば、第 1 のドライバ回路12によって生成されるスイッチング信号SW1 はディセーブル信号DIS2を直接提供し、一方で、第 2 のドライバ回路14によって生成されるスイッチング信号SW2 はディセーブル信号DIS1を直接提供する。) 所望ならば
50

、各プルアップ回路PU1 又はPU2 における2つのp形FETの順番を置き換えることができる。

【0046】

次に、図12の回路の動作を図13～15と図16のタイミング図とを参照して説明する。

図13において、初め、第1の入力信号IN1は $IN1=H$ であり、第2の入力信号IN2は(第1の入力信号IN1に対して相補的に) $IN2=H$ であると仮定する。それゆえに、トランジスタ41, 45, 46及びS1はオンであり、トランジスタ42, 43, 44及びS2はオフである。第1のドライバ回路12のディセーブルトランジスタ44は(ディセーブル信号DIS1=Hを受信している) オフであるので第1のドライバ回路12は非応答状態であるが、これに対し、第2のドライバ回路14はそのディセーブルトランジスタ46がオンであるので応答状態にある。

10

【0047】

図14では、IN2がLからHへ変化する前に、IN1はHからLへ変化する。結果として、第1のドライバ回路12におけるトランジスタ41はターンオフし、図16の点線で示されるように、アクティブに駆動されない(すなわち共通ノードCNにも供給線Vssにも接続されない)ような高インピーダンス(トライステートTS:tri-state)状態に第1のスイッチング信号SW1を効果的に置く。しかし、高インピーダンス状態に入る前は第1のスイッチング信号SW1はLであったので、ローレベルLのままであるのでS1はオンのままである。第1のドライバ回路12のディセーブルトランジスタ44は、IN2がLのままである限りディセーブル信号DIS1を受信する。IN1における変化が第1のスイッチング信号SW1を変化させることを妨げるのはこのディセーブルトランジスタ44である。

20

【0048】

図15に示されるように、IN2がLからHへ変化するとき、第2のドライバ回路14において、トランジスタ42はターンオンし、トランジスタ45はターンオフする。トランジスタ46は、SW1がこの時間でまだL(トライステート状態)であるので、初めはオンである。結果として、SW2はHからLへの変化を開始する。共通ノードCNとトランジスタS2のゲートとの間の電位差がトランジスタS2のしきい値電圧 V_{TP} を超えると、トランジスタS2はターンオンを開始する。同時にディセーブルトランジスタ44もまた、そのゲートとソースとの間の電位差がそのしきい値電圧 V_{TP} を超えると、ターンオンを開始する。第1のドライバ回路12がそれによって非応答状態から応答状態へ変化し、第1のスイッチング信号SW1はプルアップ回路PU1によってプルアップされて、トランジスタS2がターンオンを開始するを開始すると同時にトランジスタS1がターンオフを開始するようになる。

30

【0049】

図12の回路において、ディセーブルトランジスタ44は、2つのトランジスタ44及びS2のソースが同じ電位 V_{CN} を有し、かつ2つのトランジスタのゲートもまた同じ電位SW2を受信するという意味で、第2のスイッチングトランジスタS2に整合される。スイッチングトランジスタS1及びディセーブルトランジスタ46もまたそのような整合された対を形成する(この場合、ゲートの電位は共にSW1である)。この特徴のおかげで、ディセーブルトランジスタがターンオンするレートは、それと対になるスイッチングトランジスタがターンオンするレートに整合する。それゆえ、他方のスイッチングトランジスタ(例えばS1)のゲート信号が立ち上がりを開始する瞬間が、ディセーブルトランジスタ(44)と対になるスイッチングトランジスタ(S2)がターンオンを開始する瞬間と整合する。

40

【0050】

図12のプルアップ回路PU1及びPU2が共通ノードCNに接続されることは本質的なことではない。プルアップ回路PU1及びPU2は V_{CN} ではない電位に接続され得るが、これらの電位は V_{CN} と少なくとも一致すべきであり、例えば V_{CN} を追跡すべきである(つまりそこから一定のあるいは小さな変動のオフセットを有する)。(ディセーブルトランジスタ及び対応するスイッチングトランジスタからなる)整合された対のトランジスタパラメータが異なるに違いないとき、例えばオンであるときのトランジスタを通過する必要のある異

50

なる電流のためにこのようなオフセットを有するのが望ましいかもしれない。

【 0 0 5 1 】

図 1 2 の回路において、プルアップ回路PU1 及びPU2 のトランジスタ43及び45が、同じドライバ回路のディセーブルトランジスタ及びプルアップトランジスタの両方が瞬間的に同時にオンする可能性のある状況を防止する役割をする。同じドライバ回路のディセーブルトランジスタ及びプルダウントランジスタの両方が同時に（非オーバーラップが保証された）オン状態が他のいくつかの手段によって保証され得るのであるならば、トランジスタ43及び45は取り除かれ得る。

【 0 0 5 2 】

次に図 1 7 を参照すると、トランジスタレベルにおける第 1 の実施例の別の好適な実現が示されている。

このような回路は、D A Cでの使用に適しており、完全のために、図 1 7 は、ディファレンシャルスイッチング回路50に加えて、ディファレンシャルスイッチング回路50の共通ノードCNと供給線V d dとの間に直列接続される電流源52及びカスコードトランジスタ(cas coding transistor)54を示している。電流源52は、例えば図 1 において示される2進で重み付けされた電流源 $2_1 \sim 2_n$ のうちの一つに対応する。しかし、電流源は必ずしも2値重み付けされる必要はない。いわゆる「セグメント化された」あるいは「部分的にセグメント化された」D A C構造において示されるように、例えば「データ変換システム設計の原理(Principles of Data Conversion System Design)」、Behzad Razavi、pp.90 ~ 94 において説明されているように、電流源が一致される可能性もまたある。電流源52は、V d dに対して固定されたバイアス電圧 V_{pccs} を受信するためにゲート（又は複数のゲート）が接続される大きなp形F E T（又は考えられ得るいくつかの並列接続されたより小さいp形F E T）によって提供される。カスコードトランジスタ54もまたp形F E Tであり、V d dに対してまた固定されるさらに予め決定されたバイアス電圧 V_{pcasc} をゲートで受信する。カスコードトランジスタ54は電流源トランジスタ52のドレインを一定の電圧に維持し、そうして、その回路の変化の出力ノードOUT1及びOUT2の電位としての、出力における電圧動揺から電流源トランジスタを保護するが、その電圧変動は異なるスイッチング回路50の共通ノードCNの電圧 V_{tail} における変動によって引き起こされる。電流源トランジスタ52は大きなトランジスタ（あるいは並列接続されたいくつかの小さなトランジスタ）であるということを想起してレイアウトの融通性を容易にするために、電流源トランジスタ52のドレインとカスコードトランジスタ54のソースとの間の接続は比較的長くてもよい。ある設計においては、カスコードトランジスタは省略されてもよい。

【 0 0 5 3 】

図 1 7 に示される電流源回路の代わりに電流シンク回路を用いることもできるが、この場合、トランジスタの伝導タイプは逆であり、トランジスタS2及びS4に対するバイアス電位はV s sに対して固定であるべきである。

図 1 7 におけるディファレンシャルスイッチング回路50は、要素PU1、PU2、PD1、PD2、S1及びS2、並びに図 1 2 のディファレンシャルスイッチング回路40の要素41、42、43、44、45及び46、に対応する要素を有し、同じ参照符号はそれに応じて両方の図面に使われる。

【 0 0 5 4 】

図 1 7 のディファレンシャルスイッチング回路50において、各ドライバ回路12又は14は、n形F E T 55及び56を有するトライステートプルダウン回路TPD1又はTPD2を有する。n形トランジスタは、そのドライバ回路12又は14のディセーブル信号DIS1又はDIS2を受信するために接続されるゲートを有し、そのドライバ回路12又は14によって駆動されるスイッチングトランジスタS1又はS2のゲートに接続されるドレインを有する。ドライブ回路のディセーブルトランジスタ44又は46がターンオンする前にトライステート（高インピーダンス）の状態にドライバ回路のスイッチング信号SW1 又はSW2 になるのを防ぐために、トライステートプルダウン回路PD1 及びPD2 がドライバ回路12及び14において提供される。トライステートプルダウン回路におけるn形トランジスタ55又は56は、ドライバ回路に印加さ

10

20

30

40

50

れるディセーブル信号が存在する限りオン状態にホールドされる。それゆえ、当該ドライバ回路のスイッチング信号はディセーブル信号が取り除かれるまでホールドされ、ドライバ回路のプルダウン回路PD1 又はPD2 が入力信号の変化のためにアクティブでないとき、ドライバ回路によって駆動されるスイッチングトランジスタのゲート電位における変動に起因する考えられ得る問題を防止する。

【 0 0 5 5 】

図 1 7 のディファレンシャルスイッチング回路はまた、各プルダウン回路PD1 又はPD2 において、図 1 2 に示されるトランジスタ41及び42に加えて、さらなる n 形トランジスタ58 又は59を有する。これらのトランジスタ58及び59はそれぞれトランジスタ41及び42に直列接続され、それぞれのゲートにおいて、 V_{ss} に対して固定されている所定のバイアス電圧 V_{nbias} を受信する。プルダウン回路が起動されているとき、トランジスタ58及び59はそれぞれ、スイッチング信号SW1 及びSW2 の変化のレートを制御する一定の電流シンクとしての役割を果たす。これは、スイッチングトランジスタS1及びS2の迅速なスイッチングによって引き起こされる出力ノード電位における故障を避ける助けとなる。

10

【 0 0 5 6 】

図 1 7 のディファレンシャルスイッチング回路50はそれぞれレート制御反転回路RCI1及びRCI2をさらに有するが、そのレート制御反転回路RCI1及びRCI2はその回路の相補的な入力信号IN2 及びIN1 をそれぞれ受信する。各レート制御反転回路RCI1及びRCI2は、 V_{dd} と V_{dd} に対して固定されている所定のバイアス電位 V_{pbias} との間に接続された電流源トランジスタ61及び71を有する。各レート制御反転回路RCI1及びRCI2は、電流シンクトランジスタ62又は72をさらに有するが、所定のバイアス電圧 V_{nbias} (あるいは所望ならば、例えばドライバ間のカップリングを低減するために、 V_{ss} に対してまた固定される V_{nbias} とは異なる、別の所定のバイアス電圧) をそのゲートで受信する。各レート制御反転回路RCI1及びRCI2は、p 形トランジスタ63又は73と n 形トランジスタ64又は74とからなる反転器をさらに有し、その反転器のトランジスタは電流源及び電流シンクトランジスタ61と62との間、又は71と72との間に直列接続される。反転器の2つのトランジスタは、そのゲートにおいて入力信号IN1 又はIN2 を受信する。

20

【 0 0 5 7 】

レート制御反転器RCI1及びRCI2は、ドライバ回路12及び14のプルアップ及びプルダウン回路に印加されるゲート駆動信号の上がり下がりレートを制御する。それゆえに、2つの入力信号IN1 及びIN2 が相補的な変化をするとき、2つのレート制御反転回路RCI1及びRCI2うちの一方の出力信号が下がると同時に、レート制御反転回路RCI1及びRCI2うちのもう一方の出力信号が上がり、それによって回路の出力ノードの電圧における電位故障を避けることができる。加えて、電流源トランジスタ及び電流シンクトランジスタ61, 71, 62及び72は、入力信号の遷移において過度に大きい電流の流れを避けるために、出力信号の上がり下がりレートを安定的に制限する役割を有する。

30

【 0 0 5 8 】

図 1 7 のディファレンシャルスイッチング回路50は、第 1 及び第 2 のクロスカップリングコンデンサC1及びC2をさらに有するが、そのコンデンサは、各レート制御反転回路の出力を、他方のドライバ回路によって駆動されるスイッチングトランジスタS1又はS2のゲートに結合する役割をする。これらのクロスカップリングコンデンサは次の現象のゆえに提供される。

40

【 0 0 5 9 】

図 1 3 及び 1 4 を再び参照すると、初めに非応答状態にあるドライバ回路12はハイの論理レベルHをその入力(図 1 3 におけるIN1)に有する。このドライバ回路におけるトランジスタ43は、そのゲート電極とソース電極との間に寄生容量(オーバーラップキャパシタンス:overlap capacitance)を有し、ゲートがHでソースがLであるとき、この寄生容量に格納された電荷は、寄生容量 C_{gs} とゲート-ソース間の電位差 V_{gs} (V_{dd}) との積に等しい。図 1 3 の入力信号IN1 がHからLへ変化するとき、図 1 4 に示されるように、トランジスタ43の寄生容量に格納された電荷は、スイッチングトランジスタS1のゲートに結

50

合され、それはこのときはLに違いなく、まだ動いていない。トライステートプルダウン回路TPD1におけるトランジスタ55(図17)が少なくともそれがターンオフするまでこのことが起きるのを防ぐ役割を部分的に果たすにもかかわらず、このことは、S1のゲート電位を負の電源 V_{ss} より下に引き出す傾向がある。

【0060】

この問題を克服するために、クロスカップリングコンデンサC1及びC2が図17の回路に含まれるが、このクロスカップリングコンデンサC1及びC2は、オンであるスイッチングトランジスタのゲートに、ゲート電位の上述の負の引き出しが生じるときに立ち上がる信号を結合する役割をする。図13及び14に示される場合では、例えば、このような立ち上り信号は、レート制御反転回路RCI2の出力において入手可能であり、それゆえにこの立ち上り信号は、ゲート電位の負の引き出しを補償するためにコンデンサC2を介してスイッチングトランジスタS1のゲートに結合される。

10

【0061】

レート制御反転回路RCI1及びRCI2がそれらの出力の上がり下がりレートを整合してあるので、回路RCI2の出力の立ち上りのレートは、回路RCI1の出力の立ち下がりレートを整合し、電荷の補償の正確さを確実にする。

コンデンサC1及びC2はそれぞれのFETによって提供されることができ、各FETは、コンデンサの一方の電極として共通に接続されたソース電極及びドレイン電極と、コンデンサのもう一方の電極として接続されたゲートを有する。

【0062】

20

C1及びC2を提供するFETは、トランジスタ43及び45として好適には同じ伝導タイプ(すなわち図17の実施例ではp形)である。さらに、コンデンサFETのキャパシタンスがトランジスタ43及び45の寄生容量と整合されるのを確実にするために、コンデンサFETの大きさはトランジスタ43及び45の大きさと整合されなければならない。

【図面の簡単な説明】

【図1】以前から考えられている電流スイッチDACの部分を示す図である。

【図2】DACでの使用のための以前から考えられているディファレンシャルスイッチング回路の部分を示す図である。

【図3】本発明を具体化するディファレンシャルスイッチング回路の部分を示す図である。

30

【図4】本発明の第1の実施例によるディファレンシャルスイッチング回路の部分のブロック回路図である。

【図5】第1の実施例の動作の説明図(その1)である。

【図6】第1の実施例の動作の説明図(その2)である。

【図7】第1の実施例の動作の説明図(その3)である。

【図8】本発明の第2の実施例によるディファレンシャルスイッチング回路の部分のブロック回路図である。

【図9】第2の実施例の動作の説明図(その1)である。

【図10】第2の実施例の動作の説明図(その2)である。

【図11】第2の実施例の動作の説明図(その3)である。

40

【図12】第1の実施例の第1の実現を示す回路図である。

【図13】図12を実現した場合の動作の説明図(その1)である。

【図14】図12の実現した場合の動作の説明図(その2)である。

【図15】図12の実現した場合の動作の説明図(その3)である。

【図16】図12の実現した場合の動作の説明に使うタイミング図である。

【図17】DACにおける使用のための第1の実施例の別の実現の回路図である。

【符号の説明】

1 ... デジタルアナログ変換器

2, 5, 2 ... 電流源

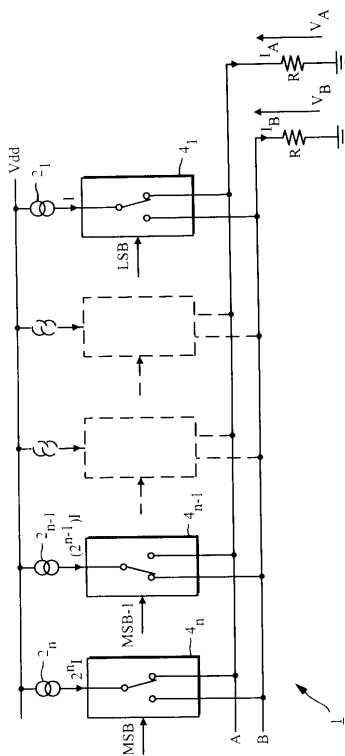
4, 10, 30, 50 ... ディファレンシャルスイッチング回路

50

- 1 2 ... 第 1 のドライバ回路
- 1 4 ... 第 2 のドライバ回路
- 1 6 ... クロスカップリング回路構成部
- 1 8 ... 第 1 のクロスカップリング回路
- 2 0 ... 第 2 のクロスカップリング回路
- 4 0 ... 回路
- 4 1 , 4 2 , 4 3 , 4 4 , 4 5 , 4 6 , 5 5 , 5 6 , 5 8 , 5 9 , 6 3 , 7 3 , S1 , S2...
トランジスタ
- 5 4 ... カスコードトランジスタ
- 6 1 , 7 1 ... 電流源トランジスタ
- 6 2 , 7 2 ... 電流シンクトランジスタ
- CN... 共通ノード
- IN1 , IN2 ... 入力信号
- DIS1 , DIS2... デイセーブル信号
- SW1 , SW2 ... スイッチング信号
- OUT1 , OUT2... 出力ノード

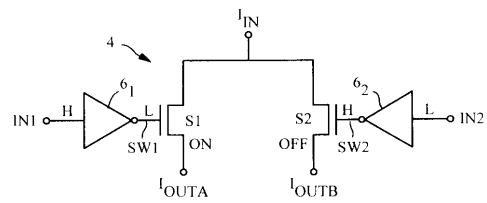
【 図 1 】

図 1

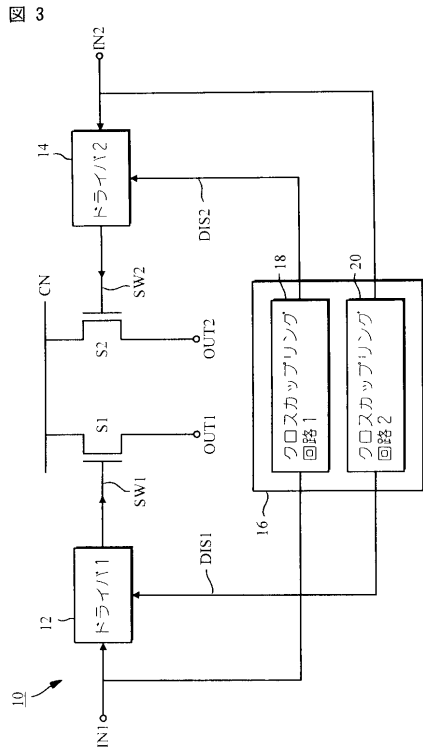


【 図 2 】

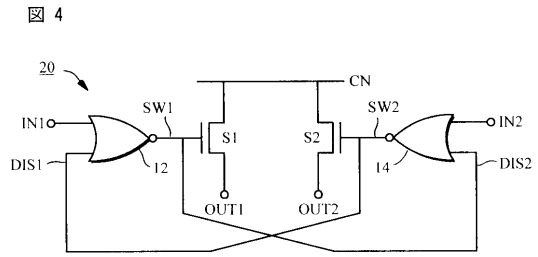
図 2



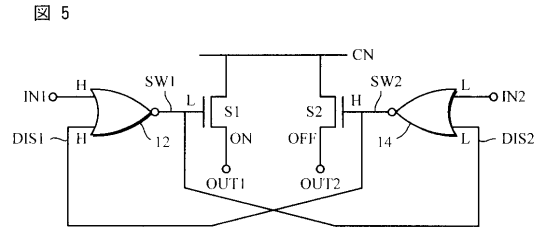
【図3】



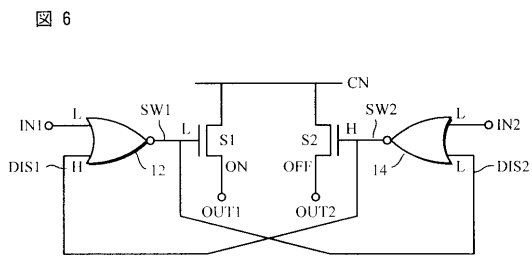
【図4】



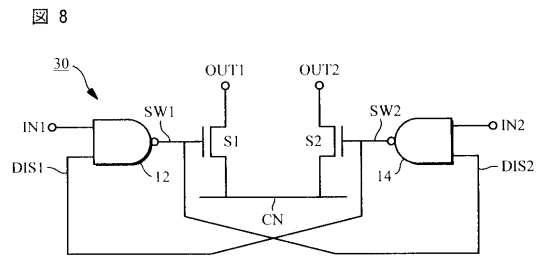
【図5】



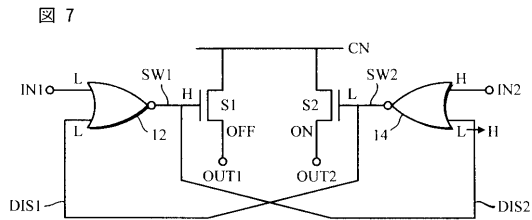
【図6】



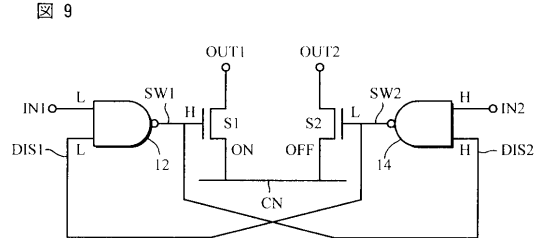
【図8】



【図7】

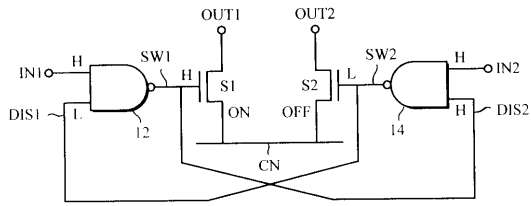


【図9】



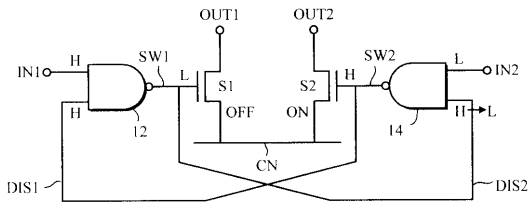
【 10 】

10



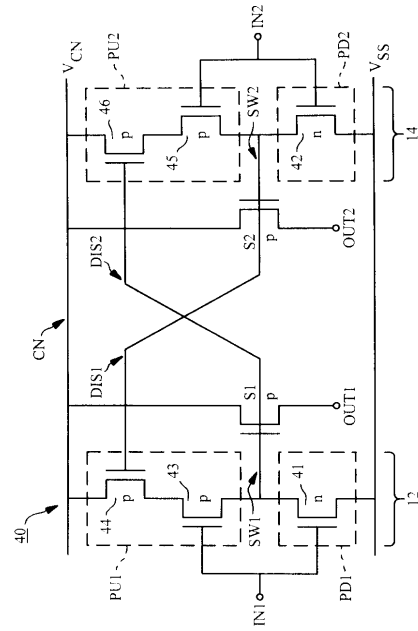
【 11 】

11



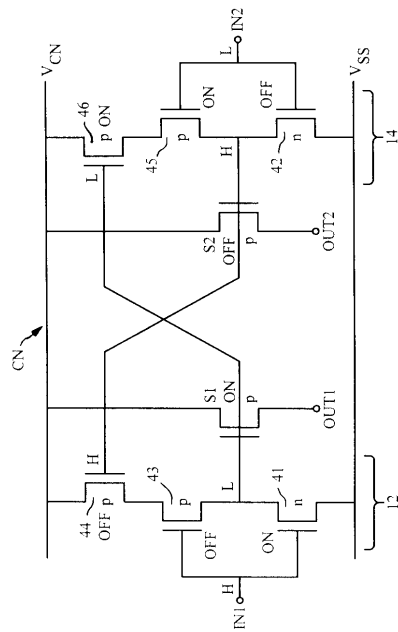
【 12 】

12



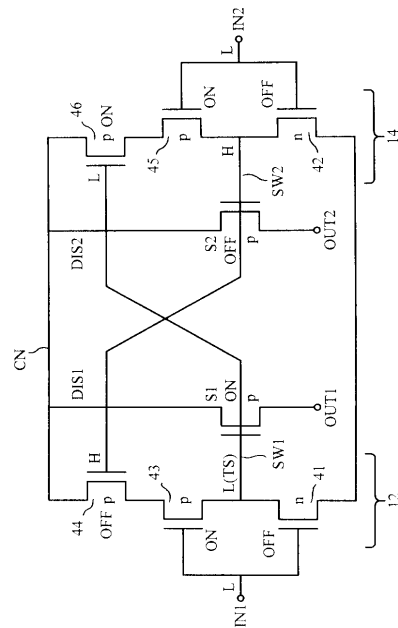
【 13 】

13



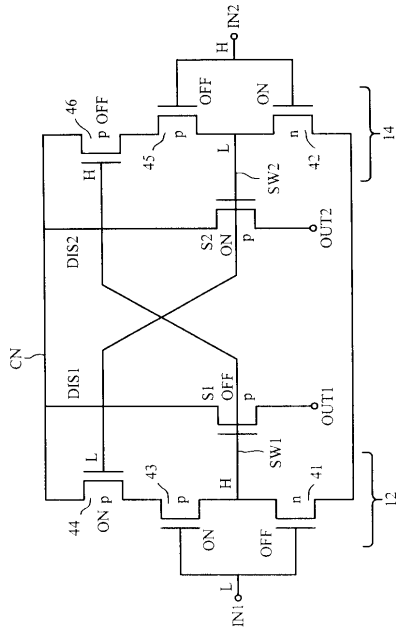
【 14 】

14



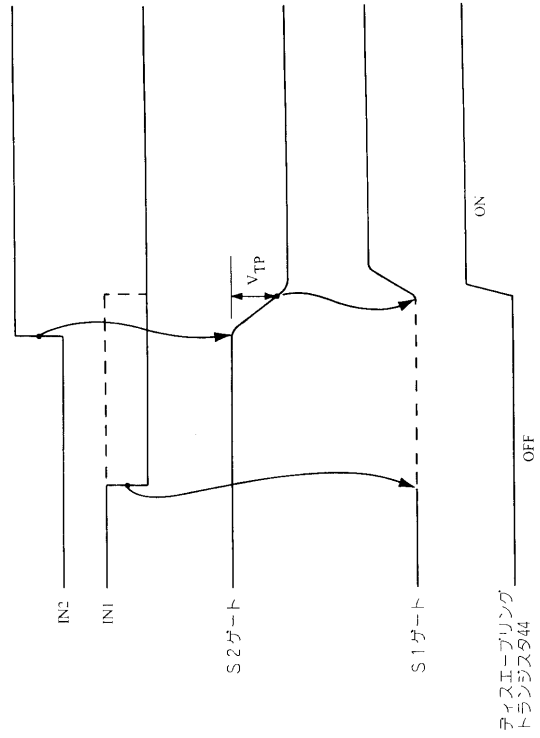
【 図 15 】

図 15



【 図 16 】

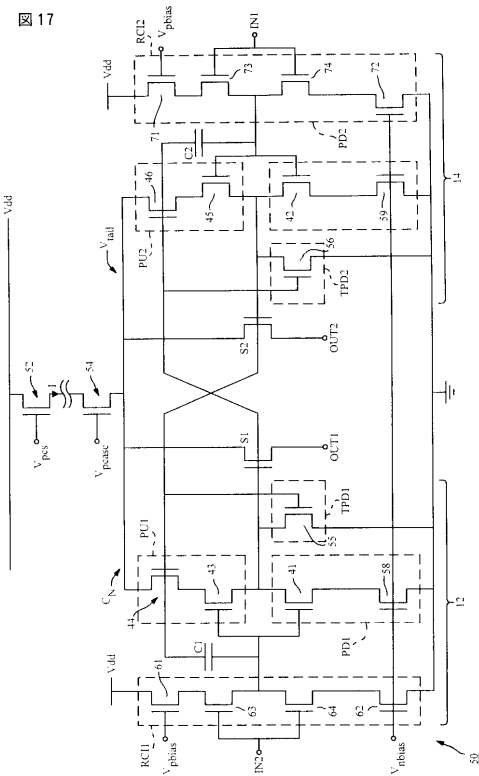
図 16



トリスエープリング
トランジスタ44

【 図 17 】

図 17



フロントページの続き

(74)代理人 100081330

弁理士 樋口 外治

(72)発明者 イアン ジュソ デディック

イギリス国, ミドルセックス ユービー5 5エイチダブリュ, ノーソルト, ベルビュー ロード
15

審査官 小曳 満昭

(56)参考文献 特開平09-232931(JP, A)

特開平05-308288(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/687

H03M 1/00- 1/88