

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月19日(19.01.2017)



(10) 国際公開番号

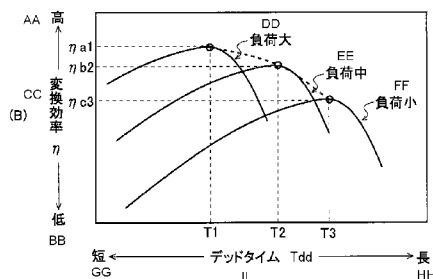
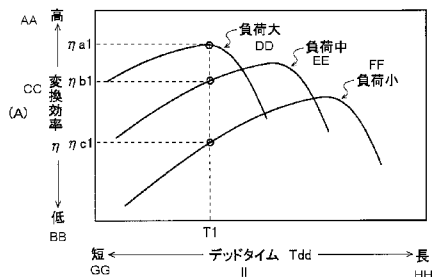
WO 2017/010134 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2016/061990
- (22) 国際出願日: 2016年4月14日(14.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-139652 2015年7月13日(13.07.2015) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 矢追 善史(YAOL, Yoshifumi). 塩見 竹史(SHIOMI, Takeshi). 片岡 耕太郎(KATAOKA, Kohitaroh). 足立 浩一郎(ADACHI, Kohichiroh). 柴田 晃秀(SHIBATA, Akihide). 岩田 浩(IWATA, Hiroshi).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: POWER CONVERSION DEVICE AND CONTROL METHOD THEREFOR

(54) 発明の名称: 電力変換装置およびその制御方法



AA High
BB Low
CC Conversion efficiency
DD Large load
EE Medium load
FF Small load
GG Short
HH Long
II Dead time

(57) Abstract: The present invention provides a power conversion device that can sufficiently suppress a reduction in conversion efficiency due to load fluctuations even if the characteristics of a circuit element vary or change. If conversion efficiency η drops due to load fluctuations in a DC-DC converter, a value smaller than an anticipated optimal value of dead time T_{dd} in a post-fluctuation load state is used as an initial value to calculate the conversion efficiency η for operations for which dead time T_{dd} is sequentially increased by predetermined incremental units ΔT . Due to this configuration, found is a suitable dead time T_{ddP} in which the conversion efficiency η is substantially maximized in the post-fluctuation load state, and a switching element is controlled so that ON and OFF are executed at that suitable dead time T_{ddP} .

(57) 要約: 本発明は、回路素子の特性がばらついたり変化したりしても負荷変動による変換効率の低下を十分に抑制できる電力変換装置を提供する。DC-DCコンバータにおいて負荷変動により変換効率 η が低下する場合に、変動後の負荷状態でのデッドタイム T_{dd} の予想される最適値よりも小さい値を初期値として、デッドタイム T_{dd} を予め決められた増分単位 ΔT ずつ順次増加させながら動作させて変換効率 η を算出する。これにより、変動後の負荷状態において変換効率 η がほぼ最大となる適正デッドタイム T_{ddP} を求め、その適正デッドタイム T_{ddP} でオン・オフ動作するようにスイッチング素子を制御する。

WO 2017/010134 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：電力変換装置およびその制御方法

技術分野

[0001] 本発明は、複数のスイッチング素子を用いて構成されるブリッジ回路を含む電力変換装置およびその制御方法に関する。

背景技術

[0002] 一般に、DC-DCコンバータ等のスイッチング素子を用いた電力変換装置において電力変換時に生じる損失は、電力変換装置の内部の抵抗成分に起因する損失（「導通損失」と呼ばれる）と、スイッチング素子のスイッチング動作に起因する損失（「スイッチング損失」と呼ばれる）とに大別される。このうち導通損失は、電流が低減すると大幅に小さくなるが、スイッチング損失は、電流が低減してもその低減程度には小さくならない。このため、スイッチング素子を用いた電力変換装置では、軽負荷時にスイッチング損失が支配的となり、これが変換効率の低下を招いていた。

[0003] そこでスイッチング素子を用いた電力変換装置では、このような軽負荷時の変換効率の低下を抑えるための構成が従来より提案されている。例えば、特許文献1（日本国特開2006-158137号公報）に記載された位相シフト方式のスイッチング電源装置では、ブリッジ接続されたスイッチング素子S1A～S4AにコンデンサC1～C4がそれぞれ並列に接続されることにより適切な共振回路が構成され、この共振回路の共振特性によってスイッチング素子の短絡損失が抑制される。また、特許文献2（日本国特開2014-236596号公報）に記載の電力変換装置では、4個のスイッチング素子を用いて構成されたフルブリッジを含むスイッチ回路の出力側に、2個のスイッチング素子を含む整流部が設けられており、スイッチ回路への入力値（入力電圧や入力電流）とスイッチ回路からの出力値（出力電圧や出力電流）とのうちで一方または双方に基づいて、整流部（の2個のスイッチング素子）のオン／オフ制御を行うように構成されている。この構成により、

軽負荷時の効率を従来よりも向上させることができる。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開2006-158137号公報

特許文献2：日本国特開2014-236596号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載のスイッチング電源装置は、出力回路の負荷の大きさに応じて共振回路の特性を適切なものとするために、この共振回路を構成する容量素子のうちの少なくとも1つの容量値を出力回路の負荷の大きさに応じて変化させるように構成されている。しかし、容量値を変化させるために接続を切り替えるコンデンサの個数（段数）には限界があり、負荷に応じて容量値を細かく調整して共振回路の特性を最適化することは困難である。また、それらコンデンサの特性のばらつきや経年変化により、共振回路の特性を適切なものとするのが困難な場合もある。

[0006] また、特許文献2に記載の電力変換装置は、軽負荷時に効率を向上させるために、スイッチ回路で入出力される電圧および電流の情報に基づき整流部（のスイッチング素子）のオン／オフが制御される。しかし、スイッチ回路において互いに直列に接続された高圧側および低圧側のスイッチング素子が共にオフ状態となる時間すなわちデッドタイムとして固定値 α が設定されているので、負荷変動によるスイッチ回路内のスイッチング素子の電圧や電流の波形変化に伴うスイッチング損失の発生を十分に抑制することができない。その結果、負荷変動化による変換効率の低下を抑えて変換効率を十分に高く維持するのは困難である。

[0007] そこで本発明は、回路素子の特性がばらついたり変化したりしても負荷変動による変換効率の低下を十分に抑制することができる電力変換装置およびその制御方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の局面は、高圧側入力端子と低圧側入力端子との間に印加される入力直流電圧から負荷部に供給すべき出力電圧を生成する電力変換装置であって、

互いに直列に接続された第1高圧側スイッチング素子および第1低圧側スイッチング素子からなり前記高圧側入力端子と前記低圧側入力端子との間に接続された第1のスイッチング素子対を含むスイッチ回路と、

前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子のオン・オフを制御するための制御部と、

前記高圧側入力端子および前記低圧側入力端子を介して与えられる入力電力を求めるための入力側測定回路と、

前記負荷部に供給される出力電力を求めるための出力側測定回路とを備え、

前記制御部は、

前記入力側測定回路および前記出力側測定回路の測定結果に基づき当該電力変換装置の変換効率を算出する変換効率演算部と、

前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子が共にオフ状態となるデッドタイムを所定範囲内で変更しつつ前記変換効率演算部により算出される変換効率を監視することにより、当該変換効率が極大となる前記デッドタイムを適正デッドタイムとして求める適正デッドタイム探索処理を実行するための適正デッドタイム探索制御部と、

前記適正デッドタイム探索処理により適正デッドタイムが求められると、前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第1のスイッチング制御信号を生成する制御信号生成部とを含むことを特徴とする。

[0009] 本発明の第2の局面は、本発明の第1の局面において、

前記適正デッドタイム探索制御部は、前記適正デッドタイム探索処理にお

いて、前記デッドタイムを所定の初期値から順次増大させつつ前記変換効率の増減を判定することにより、前記変換効率が極大となる前記デッドタイムを前記適正デッドタイムとして求めることを特徴とする。

[0010] 本発明の第3の局面は、本発明の第1の局面において、

前記変換効率演算部は、前記入力側測定回路および前記出力側測定回路の測定結果に基づき変換効率を算出するとともに、前記出力側測定回路の測定結果に基づき負荷に応じた変換効率下限値を決定し、

前記適正デッドタイム探索制御部は、前記算出される変換効率が前記決定される変換効率下限値よりも小さい場合に前記適正デッドタイム探索処理を実行することを特徴とする。

[0011] 本発明の第4の局面は、本発明の第1の局面において、

前記制御部は、前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子のスイッチング周波数を所定範囲内で変更しつつ前記変換効率演算部により算出される変換効率を監視することにより、当該変換効率が極大となる前記スイッチング周波数を適正スイッチング周波数として求める適正周波数探索処理を実行するための適正周波数探索制御部を更に含み、

前記制御信号生成部は、前記適正周波数探索処理により適正スイッチング周波数が求められたときに、前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子が当該適正周波数でオン・オフするように前記第1のスイッチング制御信号を生成することを特徴とする。

[0012] 本発明の第5の局面は、本発明の第4の局面において、

前記周波数探索制御部は、前記適正周波数探索処理において、前記スイッチング周波数を所定の初期値から順次減少させつつ前記変換効率の増減を判定することにより、前記変換効率が極大となる前記スイッチング周波数を前記適正スイッチング周波数として求めることを特徴とする。

[0013] 本発明の第6の局面は、本発明の第4の局面において、

前記変換効率演算部は、前記入力側測定回路および前記出力側測定回路の測定結果に基づき変換効率を算出するとともに、前記出力側測定回路の測定

結果に基づき負荷に応じた変換効率下限値を決定し、

前記適正周波数探索制御部は、前記算出される変換効率が前記決定される変換効率下限値よりも小さい場合に前記適正周波数探索処理を実行することを特徴とする。

[0014] 本発明の第7の局面は、本発明の第1の局面において、

前記スイッチ回路内の各スイッチング素子の両端間における容量と前記スイッチ回路内の各スイッチング素子を流れる電流の経路中におけるインダクタンスとにより、前記スイッチ回路内の各スイッチング素子でソフトスイッチングが行われるように構成された共振回路を、更に備えることを特徴とする。

[0015] 本発明の第8の局面は、本発明の第1から第7の局面に係る、DC-DCコンバータとして動作する電力変換装置であって、

変圧器と、

前記変圧器の2次側に接続され前記出力電圧として直流電圧を出力する整流回路と

を更に備え、

前記スイッチ回路は、

互いに直列に接続された第2高圧側スイッチング素子および第2低圧側スイッチング素子からなり前記第1のスイッチング素子対と並列に接続された第2のスイッチング素子対を更に含み、

前記変圧器の一次側にインバータとして接続されており、

前記制御信号生成部は、

前記適正デッドタイム探索処理により適正デッドタイムが求められると、前記第2高圧側スイッチング素子および前記第2低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第2のスイッチング制御信号を更に生成し、

前記適正周波数探索処理により適正スイッチング周波数が求められたときに、前記第1および第2高圧側スイッチング素子ならびに前記第1および

第2 低圧側スイッチング素子が当該適正周波数でオン・オフするように前記第1 および第2 のスイッチング制御信号を生成することを特徴とする。

[0016] 本発明の第9 の局面は、本発明の第8 の局面において、

前記制御部は、固定側スイッチング素子としての前記第1 高圧側スイッチング素子および前記第1 低圧側スイッチング素子を基準として、シフト側スイッチング素子としての前記第2 高圧側スイッチング素子および前記第2 低圧側スイッチング素子との間にスイッチング位相差をなすように、前記第1 高圧側、第1 低圧側、第2 高圧側、および、第2 低圧側スイッチング素子のオン・オフを位相シフト方式により制御することを特徴とする。

[0017] 本発明の第10 の局面は、高圧側入力端子と低圧側入力端子との間に印加される入力直流電圧から負荷部に供給すべき出力電圧を生成する電力変換装置の制御方法であって、

前記高圧側入力端子および前記低圧側入力端子を介して与えられる入力電力を測定する入力側測定ステップと、

前記負荷部に供給される出力電力を測定する出力側測定ステップと、

前記電力変換装置に含まれるスイッチング素子のオン・オフを制御する制御ステップと

を備え、

前記電力変換装置は、互いに直列に接続された第1 高圧側スイッチング素子および第1 低圧側スイッチング素子からなり前記高圧側入力端子と前記低圧側入力端子との間に接続された第1 のスイッチング素子対を含むスイッチ回路を備え、

前記制御ステップは、

前記入力側測定ステップおよび前記出力側測定ステップでの測定結果に基づき前記電力変換装置の変換効率を算出する変換効率演算ステップと、

前記第1 高圧側スイッチング素子および前記第1 低圧側スイッチング素子が共にオフ状態となるデッドタイムを所定範囲内で変更しつつ前記変換効率演算ステップで算出される変換効率を監視することにより、当該変換効率

が極大となる前記デッドタイムを適正デッドタイムとして求める適正デッドタイム探索ステップと、

前記適正デッドタイム探索ステップで適正デッドタイムが求められると、前記第 1 高圧側スイッチング素子および前記第 1 低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第 1 のスイッチング制御信号を生成する制御信号生成ステップとを含むことを特徴とする。

[0018] 本発明の他の局面は、本発明の上記第 1 から第 10 の局面および後述の各実施形態に関する説明から明らかであるので、その説明を省略する。

発明の効果

[0019] 本発明の第 1 の局面によれば、スイッチ回路内の第 1 高圧側スイッチング素子および第 1 低圧側スイッチング素子が共にオフ状態となるデッドタイムを所定範囲内で変更しつつ入力側測定回路および出力側測定回路の測定結果に基づき算出される変換効率を監視することにより、当該変換効率が極大となるデッドタイムを適正デッドタイムとして求める適正デッドタイム探索処理を実行するための適正デッドタイム探索制御部が設けられている。この適正デッドタイム探索処理により適正デッドタイムが求められると、上記第 1 高圧側スイッチング素子および上記第 1 低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第 1 のスイッチング制御信号が生成される。これにより、負荷が変動しても、変動後の負荷において変換効率がほぼ最大となるようにスイッチ回路内のスイッチング素子のデッドタイムが調整される。この適正デッドタイム探索処理では、上記デッドタイムを所定範囲内で変更しつつ変換効率を監視することで変換効率が極大となる適正デッドタイムが求められるので、回路素子の特性がばらついたり変化したりしても負荷変動による変換効率の低下を十分に抑制することができる。

[0020] 本発明の第 2 の局面によれば、上記適正デッドタイム探索処理において、スイッチ回路内の第 1 高圧側スイッチング素子および第 1 低圧側スイッチング素子が共にオフ状態となるデッドタイムを所定の初期値から順次増大させ

つつ変換効率の増減を判定することにより、変換効率が極大となる適正デッドタイムが求められる。したがって、信頼性低下を招く発熱を生じるような大きな電力損失を回避しつつ適正デッドタイム探索処理が実行され、これにより負荷変動による変換効率の低下を十分に抑制することができる。

[0021] 本発明の第3の局面によれば、入力側測定回路および出力側測定回路の測定結果に基づき算出される変換効率が、出力側測定回路の測定結果に基づき負荷に応じて決定される変換効率下限値以上である場合には、通常の電力変換動作により出力電圧が生成されて負荷部に供給される。一方、上記算出される変換効率が上記決定される変換効率下限値よりも小さい場合には、適正デッドタイム探索処理が実行されることにより変換効率が極大となる適正デッドタイムが求められ、この適正デッドタイムに対応したスイッチング制御信号が生成される。したがって、負荷変動による変換効率の低下が比較的小さい場合には、適正デッドタイム探索処理を実行することなく通常の電力変換動作を継続し、負荷変動によって変換効率が大きく低下した場合にのみ適正デッドタイム探索処理を実行することが可能となる。

[0022] 本発明の第4の局面によれば、スイッチ回路内の第1高圧側スイッチング素子および第1低圧側スイッチング素子のスイッチング周波数を所定範囲内で変更しつつ入力側測定回路および出力側測定回路の測定結果に基づき算出される変換効率を監視することにより、当該変換効率が極大となるスイッチング周波数を適正スイッチング周波数として求める適正周波数探索処理を実行するための適正周波数探索制御部が設けられている。この適正周波数探索処理により適正スイッチング周波数が求められたときには、上記第1高圧側スイッチング素子および上記第1低圧側スイッチング素子が当該適正スイッチング周波数でオン・オフするように第1のスイッチング制御信号が生成される。これにより、負荷が変動しても、変動後の負荷において変換効率がほぼ最大となるようにスイッチ回路内のスイッチング素子のスイッチング周波数が調整される。この適正周波数探索処理では、上記スイッチング周波数を所定範囲内で変更しつつ変換効率を監視することで変換効率が極大となる適

正スイッチング周波数が求められるので、回路素子の特性がばらついたり変化したりしても負荷変動による変換効率の低下を十分に抑制することができる。

[0023] 本発明の第5の局面によれば、上記適正周波数探索処理において、スイッチ回路内の第1高圧側スイッチング素子および第1低圧側スイッチング素子のスイッチング周波数を所定の初期値から順次減少させつつ変換効率の増減を判定することにより、変換効率が極大となる適正デッドタイムが求められる。したがって、信頼性低下を招く発熱を生じるような大きな電力損失を回避しつつ適正周波数探索処理が実行され、これにより負荷変動による変換効率の低下を十分に抑制することができる。

[0024] 本発明の第6の局面によれば、入力側測定回路および出力側測定回路の測定結果に基づき算出される変換効率が、出力側測定回路の測定結果に基づき負荷に応じて決定される変換効率下限値以上である場合には、通常の電力変換動作により出力電圧が生成されて負荷部に供給される。一方、上記算出される変換効率が上記決定される変換効率下限値よりも小さい場合には、適正周波数探索処理が実行されることにより変換効率が極大となる適正周波数が求められ、この適正周波数に対応したスイッチング制御信号が生成される。したがって、負荷変動による変換効率の低下が比較的小さい場合には、適正周波数探索処理を実行することなく通常の電力変換動作を継続し、負荷変動によって変換効率が大きく低下した場合にのみ適正周波数探索処理を実行することが可能となる。

[0025] 本発明の第7の局面によれば、共振回路によりスイッチ回路内の各スイッチング素子でソフトスイッチングが行われ、これによりスイッチング損失が低減されて変換効率が向上する。

[0026] 本発明の第8の局面によれば、スイッチ回路と変圧器と整流回路とを備えるDC-DCコンバータにおいて、負荷変動による効率の低下が抑制されるように第1高圧側スイッチング素子と第1低圧側スイッチング素子との間でのデッドタイムならびに第2高圧側スイッチング素子と第2低圧側スイッチ

ング素子との間でのデッドタイムが調整される。また、負荷変動による効率の低下が抑制されるように、第1および第2高圧側スイッチング素子ならびに第1および第2低圧側スイッチング素子のスイッチング周波数が調整される。

[0027] 本発明の第9の局面によれば、位相シフト方式のDC-DCコンバータにおいて、負荷変動による効率の低下が抑制されるように第1高圧側スイッチング素子と第1低圧側スイッチング素子との間でのデッドタイムならびに第2高圧側スイッチング素子と第2低圧側スイッチング素子との間でのデッドタイムが調整される。また、負荷変動による効率の低下が抑制されるように、第1および第2高圧側スイッチング素子ならびに第1および第2低圧側スイッチング素子のスイッチング周波数が調整される。したがって、位相シフト方式によりスイッチング損失を抑えつつ、負荷変動による変換効率の低下を十分に抑制することができる。

[0028] 本発明の他の局面の効果については、本発明の上記第1から第9の局面の効果および下記実施形態についての説明から明らかであるので、説明を省略する。

図面の簡単な説明

[0029] [図1]本発明の第1の実施形態に係るDC-DCコンバータの一構成例を示す回路図である。

[図2]上記第1の実施形態における制御回路の構成を示すブロック図である。

[図3]上記第1の実施形態に係るDC-DCコンバータの動作を説明するためのタイミングチャートである。

[図4]上記第1の実施形態における制御回路で実行される適正デッドタイム探索処理を示すフローチャートである。

[図5]上記第1の実施形態の効果を従来例と比較しつつ説明するための図（A，B）である。

[図6]上記第1の実施形態に係るDC-DCコンバータの他の構成例を示す回路図である。

[図7]本発明の第2の実施形態に係るDC-DCコンバータの構成を示すブロック図である。

[図8]上記第2の実施形態における探索処理を示すフローチャートである。

[図9]上記第2の実施形態の作用および効果を説明するための図(A, B)である。

[図10]本発明の第3の実施形態に係るDC-DCコンバータを使用したフラットパネル型表示装置の構成を示すブロック図である。

[図11]上記第3の実施形態に係るDC-DCコンバータの構成を示す回路図である。

[図12]上記第3の実施形態における制御回路の構成を示すブロック図である。

[図13]上記第3の実施形態に係るDC-DCコンバータの動作を説明するためのタイミングチャートである。

発明を実施するための形態

[0030] 以下、添付図面を参照しつつ本発明の実施形態について説明する。なお以下では、下記の各実施形態においてスイッチング素子としてMOS (Metal Oxide Semiconductor) トランジスタが使用されているが、スイッチング素子はMOSトランジスタに限定されるものではなく、バイポーラトランジスタやIGBT (Insulated Gate Bipolar Transistor) 等の他のスイッチング素子を使用してもよい。また以下において、「高圧側」は「正極側」に相当し、「低圧側」は「負極側」に相当する。さらにまた、「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0031] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、本発明の第1の実施形態に係る電力変換装置である位相シフト方式のDC-DCコンバータの一構成例を示す回路図である。このDC-DC

コンバータは、インバータとしてのスイッチ回路 10 と、整流回路 20 と、変圧器 T 11 と、入力側測定回路 11 と、出力側測定回路 21 と、制御回路 110 を備え、高圧側入力端子 T i H および低圧側入力端子 T i L と、高圧側出力端子 T o H および低圧側出力端子 T o L とを有している。高圧側入力端子 T i H と低圧側入力端子 T i L の間に直流の入力電圧 V i n が印加され、高圧側出力端子 T o H と低圧側出力端子 T o L の間にレベルの変換された直流の出力電圧 V o u t が生成される。

[0032] スイッチ回路 10 は、4 個のスイッチング素子としての N チャネル型 MOS トランジスタ Q 11 ~ Q 14 を含み、これらのトランジスタ Q 11 ~ Q 14 はブリッジ回路を構成している。すなわち、第 1 の高圧側トランジスタ Q 11 と第 1 の低圧側トランジスタ Q 12 とは互いに直列に接続されて第 1 のスイッチング素子対を構成すると共に、第 2 の高圧側トランジスタ Q 13 と第 2 の低圧側トランジスタ Q 14 とは互いに直列に接続されて第 2 のスイッチング素子対を構成し、第 1 のスイッチング素子対と第 2 のスイッチング素子対とは互いに並列に接続されている。また、スイッチ回路 10 はコイル L 11 を含み、第 1 の高圧側トランジスタ Q 11 のソース端子と第 1 の低圧側トランジスタ Q 12 のドレイン端子との接続点は、このコイル L 11 を介して変圧器 T 11 の 1 次側巻線の一端に接続され、第 2 の高圧側トランジスタ Q 13 のソース端子と第 2 の低圧側トランジスタ Q 14 のドレイン端子との接続点は、変圧器 T 11 の 1 次側巻線他端に接続されている。第 1 および第 2 の高圧側トランジスタ Q 11, Q 13 のドレイン端子は共に高圧側入力端子 T i H に接続され、第 1 および第 2 の低圧側トランジスタ Q 12, Q 14 のソース端子は共に低圧側入力端子 T i L に接続されている。

[0033] スイッチ回路 10 におけるコイル L 11 は、トランジスタ Q 11 ~ Q 14 の寄生容量であるソースドレイン間容量とで共振回路を構成し、その共振現象により電流の位相を調整することによって、トランジスタ Q 11 ~ Q 14 がスイッチングする際の電圧波形と電流波形が正の値で交差することに起因する電力損失であるスイッチング損失を低減する。すなわちスイッチ回路

10では、電圧または電流が実質的にゼロの状態でトランジスタQ11～Q14のスイッチングが行われること（このようなスイッチングは「ソフトスイッチング」と呼ばれる）によりスイッチング損失が低減される。なお、コイルL11の代わりに又はこれに加えて、変圧器T11の1次側巻線の漏れインダクタンスを利用して共振回路が構成されるようにしてもよい。また、この共振回路の構成要素としてのインダクタンスの位置は、コイルL11や漏れインダクタンスの位置に限定されるものではなく、各トランジスタQ11～Q14を流れる電流の経路中であればよい。さらに、スイッチ回路10内の各トランジスタQ11～Q14の両端間にコンデンサを設け、当該両端間の寄生容量に代わり又はこれに加えて当該コンデンサを用いてこの共振回路が構成されるようにしてもよい。

[0034] 整流回路20は、ダイオードを内蔵した2個のスイッチング素子としてのNチャネル型MOSトランジスタQ15、Q16と、コイルL12と、コンデンサC11とを備えている。図1に示すように、トランジスタQ15は、そのドレイン端子が変圧器T11の2次側巻線の一端に接続され、そのソース端子が低圧側出力端子TOLに接続されている。トランジスタQ16は、そのドレイン端子が変圧器T11の2次側巻線他端に接続され、そのソース端子が低圧側出力端子TOLに接続されている。変圧器T11の2次巻線の間タップは、コイルL12およびコンデンサC11を介して低圧側出力端子TOLに接続されている。コイルL12とコンデンサC11とは平滑化のためのLCフィルタを構成し、コイルL12とコンデンサC11との接続点は高圧側出力端子TOHに接続されている。なお、スイッチング素子としてのトランジスタQ15の2つの導通端子のうち、その寄生ダイオードのカソード側の端子がドレイン端子であり、その寄生ダイオードのアノード側の端子がソース端子である。このことは、トランジスタQ16においても同様であり、後述の他の構成例（図6）および他の実施形態（図11）におけるスイッチング素子としてのトランジスタにおいても同様である。

[0035] また図1に示すように、本実施形態に係るDC-DCコンバータでは、そ

の入力側に、高圧側および低圧側入力端子 T_{iH} , T_{iL} を介して外部から与えられる入力電力を求めるために入力電圧 V_{in} および入力電流 I_{in} を測定するための入力側測定回路 11 が設けられ、その出力側に、高圧側および低圧側出力端子 T_{oH} , T_{oL} を介して外部に供給される出力電力を求めるために出力電圧 V_{out} および出力電流 I_{out} を測定するための出力側測定回路 21 が設けられている。入力側測定回路 11 で得られる入力電圧 V_{in} の測定値（以下「入力電圧測定値」という） V_i および入力電流 I_{in} の測定値（以下「入力電流測定値」という） I_i は、制御回路 110 に入力される。出力側測定回路 21 で得られる出力電圧 V_{out} の測定値（以下「出力電圧測定値」という） V_o および出力電流 I_{out} の測定値（以下「出力電流測定値」という） I_o も、制御回路 110 に入力される。

[0036] 制御回路 110 は、上記の入力電圧測定値 V_i 、入力電流測定値 I_i 、出力電圧測定値 V_o 、および、出力電流測定値 I_o を受け取り、スイッチ回路 10 のトランジスタ $Q_{11} \sim Q_{14}$ および整流回路 20 のトランジスタ Q_{15} , Q_{16} をそれぞれオン／オフさせるためのスイッチング制御信号 $G_1 \sim G_{16}$ を生成し、トランジスタ $Q_{11} \sim Q_{16}$ のゲート端子にそれぞれ与える。スイッチング制御信号 $G_{11} \sim G_{14}$ に基づくトランジスタ $Q_{11} \sim Q_{14}$ のオン／オフ動作によりスイッチ回路 10 が位相シフト方式のインバータとして動作し、スイッチング制御信号 G_{15} , G_{16} に基づくトランジスタ Q_{15} , Q_{16} のオン／オフ動作により整流回路 20 において導通損失が抑制される。なお本実施形態では、インバータとしてのスイッチ回路 10 のスイッチング周波数すなわちトランジスタ $Q_{11} \sim Q_{14}$ をオン・オフするスイッチング周波数は固定である。

[0037] <1. 2 制御回路の構成>

図 2 は、本実施形態における制御回路 110 の構成を示すブロック図である。この制御回路 110 は、フィードバック制御演算部 111 と、電圧指令値設定部 112 と、スイッチング制御信号生成回路 113 と、駆動回路 114 と、変換効率演算部 116 と、適正デッドタイム探索制御部 118 とを備

えている。これらの構成要素のうちフィードバック制御演算部 111、変換効率演算部 116、および適正デッドタイム探索制御部 118では、デジタル処理が行われるので、これらのデジタル処理の前に、制御回路 110に入力される上記の入力電圧測定値 V_i 、入力電流測定値 I_i 、出力電圧測定値 V_o 、および、出力電流測定値 I_o は、図示しないAD変換器でデジタル信号に変換される（この点は他の実施形態においても同様）。

[0038] フィードバック制御演算部 111は、このDC-DCコンバータの出力電圧 V_{out} を電圧指令値 V_{ref} に維持すべく、出力電圧測定値 V_o と電圧指令値 V_{ref} との差に基づく制御演算により後述の位相シフト時間 T_s を示す位相シフト時間制御信号 C_{ts} を生成する。この位相シフト時間制御信号 C_{ts} は、スイッチング制御信号生成回路 113に入力される。

[0039] 変換効率演算部 116は、上記の入力電圧測定値 V_i 、入力電流測定値 I_i 、出力電圧測定値 V_o 、および、出力電流測定値 I_o からこのDC-DCコンバータの変換効率 η を算出する（以下この変換効率を「算出された変換効率 η 」ともいう）。また、変換効率演算部 116は、この変換効率 η が、現時点の負荷に応じて決まる下限値（以下「現下限値」という） η_{clim} よりも小さいか否かを判定する。すなわち、変換効率の下限値 η_{lim} と出力電流 I_{out} との関係を与えるテーブルが変換効率演算部 116内に予め保持されており、変換効率演算部 116は、このテーブルを参照して出力電流測定値 I_o に対応する下限値 η_{lim} を現下限値 η_{clim} として求め、算出される変換効率 η が現下限値 η_{clim} よりも小さいか否かに応じて、適正デッドタイム探索処理の要否を示す信号（以下「探索要否信号」という） C_{sr} を生成する。この探索要否信号 C_{sr} は、算出された変換効率 η と共に適正デッドタイム探索制御部 118に入力される。

[0040] 算出された変換効率 η が現下限値 η_{clim} よりも小さい場合には、探索要否信号 C_{sr} は「探索要」を示す信号として適正デッドタイム探索制御部 118に入力される。これに応じて適正デッドタイム探索制御部 118は、後述の適正デッドタイム探索処理を実行して適正なデッドタイム T_{dd} を求め、

この適正デッドタイム T_{dd} を示すデッドタイム制御信号 C_{dt} を出力する。算出された変換効率 η が現下限値 η_{clim} 以上である場合には、探索要否信号 C_{sr} は「探索不要」を示す信号として適正デッドタイム探索制御部118に入力される。この場合、適正デッドタイム探索制御部118は、後述の適正デッドタイム探索処理を実行せず、現時点のデッドタイム制御信号 C_{dt} を変更することなくそのまま出力する。

[0041] スイッチング制御信号生成回路113は、フィードバック制御演算部111からの位相シフト時間制御信号 C_{ts} および適正デッドタイム探索制御部118からのデッドタイム制御信号 C_{dt} に基づき、位相シフト方式に従ってスイッチ回路10のトランジスタ $Q_{11} \sim Q_{14}$ および整流回路20のトランジスタ Q_{15} , Q_{16} をオン／オフさせるための制御信号を生成する。駆動回路114は、これらの制御信号を、トランジスタ $Q_{11} \sim Q_{16}$ を駆動可能なレベルに増幅し、スイッチング制御信号 $G_{11} \sim G_{16}$ として出力する。これらのスイッチング制御信号 $G_{11} \sim G_{16}$ は、トランジスタ $Q_{11} \sim Q_{16}$ のゲート端子に与えられる。

[0042] 上記制御回路110は、駆動回路114以外については、例えばCPU（中央演算処理装置）とメモリを含むマイクロコンピュータ（以下「マイコン」と略記する）とAD変換器およびDA変換器を使用し、マイコンが上述の動作に対応するプログラムを実行することにより、ソフトウェア的に実現することができる。またこれに代えて、上記制御回路110を専用ハードウェア（典型的には、専用に設計された特定用途向け集積回路）として実現することも可能である。この場合、フィードバック制御演算部111および変換効率演算部116は複数の演算器を組み合わせることにより実現することができる。適正デッドタイム探索制御部118は、後述の適正デッドタイム探索処理（図4）の説明からわかるように、現デッドタイム T_{dA} 、前デッドタイム T_{dB} 、現変換効率 η_A 、および前変換効率 η_B を一時的に保持するためのレジスタや、幾つかの演算器、比較器等を組み合わせることによりハードウェア的に実現することができる。

[0043] < 1. 3 DC-DCコンバータの概略動作 >

図3は、本実施形態に係るDC-DCコンバータの動作を説明するためのタイミングチャートであり、各トランジスタQ11～Q16のゲート端子にそれぞれ与えられるスイッチング制御信号G11～G16の波形、すなわち各トランジスタQ11～Q16のオン／オフ状態の変化を示している。本実施形態では、位相シフト方式が使用されているので、スイッチ回路10における各トランジスタQ11～Q14のオン期間のスイッチング周期Tpに対する比率すなわちデューティ比は固定されている。これらのトランジスタQ11～Q14のうち第1のスイッチング素子対Q11, Q12を基準として第2のスイッチング素子対Q13, Q14との間に生じる位相差を変化させることにより、出力電圧Voutが制御される。図3からわかるように、この位相差は、第1の高圧側トランジスタQ11のオン期間と第2の低圧側トランジスタQ14のオン期間とが重なる期間すなわちトランジスタQ11, Q14が共にオン状態となる期間Tsと、第1の低圧側トランジスタQ12のオン期間と第2の高圧側トランジスタQ13のオン期間とが重なる期間すなわちトランジスタQ12, Q13が共にオン状態となる期間Tsとに相当する（以下、これらの期間Tsを「位相シフト時間Ts」という）。本実施形態では、出力電圧測定値Voと電圧指令値Vrefとの差が打ち消されるように位相シフト時間Tsを調整するフィードバック制御を行うために、フィードバック制御演算部111による位相シフト時間制御信号Ctsの算出が行われる（図2参照）。

[0044] また本実施形態では、変圧器T11の2次側の整流回路20における導通損失をできるだけ抑制するために、トランジスタQ15, Q16のオン／オフも制御される。すなわち、トランジスタQ15は、スイッチ回路10のトランジスタQ11およびQ14が共にオン状態となる期間（位相シフト時間Tsに相当する期間）の前後にデッドタイムTd56, Td57をそれぞれ加えた期間でオフ状態となり、それ以外の期間でオン状態となるように、スイッチング制御信号G15により制御される。トランジスタQ16も、スイ

ッチ回路 10 のトランジスタ Q 12 および Q 13 が共にオン状態となる期間（位相シフト時間 T_s に相当する期間）の前後にデッドタイム T_{d56} , T_{d57} をそれぞれ加えた期間でオフ状態となり、それ以外の期間でオン状態となるように、スイッチング制御信号 G 16 により制御される。

[0045] 第 1 のスイッチング素子対を構成するトランジスタ Q 11, Q 12 が共にオフ状態となるデッドタイム T_{d12} 、および、第 2 のスイッチング素子対を構成するトランジスタ Q 13, Q 14 が共にオフ状態となるデッドタイム T_{d34} は、後述の図 4 のフローチャートに示す適正デッドタイム探索処理により決定される。

[0046] なお本実施形態では、第 1 の低圧側トランジスタ Q 12 のオン期間の直前に設けられるデッドタイムと直後に設けられるデッドタイムとは、同一の時間 T_{d12} とされているが、これらのデッドタイムを異なる時間に設定してもよい。また、第 1 の高圧側トランジスタ Q 11 のオン期間の直前に設けられるデッドタイムと直後に設けられるデッドタイムとは、同一の時間 T_{d12} とされているが、これらのデッドタイムを異なる時間に設定してもよい。同様に、第 2 の高圧側トランジスタ Q 13 のオン期間の直前に設けられるデッドタイムと直後に設けられるデッドタイムとは、同一の時間 T_{d34} とされているが、これらのデッドタイムを互いに異なる時間に設定してもよい。

[0047] また本実施形態では、第 1 の高圧側トランジスタ Q 11 のオン期間の前後に設けられるデッドタイム T_{d12} と第 2 の高圧側トランジスタ Q 13 のオン期間の前後に設けられるデッドタイム T_{d34} とは、同一の時間に設定されているが、これらのデッドタイム T_{d12} , T_{d34} を互いに異なる時間に設定してもよい。

[0048] < 1. 4 適正デッドタイム探索処理 >

図 4 は、本実施形態における制御回路 110 で実行される適正デッドタイム探索処理を示すフローチャートである。

[0049] 変換効率演算部 116 からの探索要否信号 C_{sr} が「探索要」を示す場合に、適正デッドタイム探索処理が開始されて適正デッドタイム探索制御部 1

18が以下のように動作する。

[0050] まず、図3に示すデッドタイム T_{d12} 、 T_{d34} に相当するデッドタイム T_{dd} の初期化を行う（ステップS10）。具体的には、適正デッドタイム T_{dd} を探索するために導入された変数である前デッドタイム T_{dB} に、予め決定されたデッドタイム初期値 T_{d0} を代入する。一般に、デッドタイム T_{dd} の最適値は、負荷が大きいほど短くなる（後述の図5参照）。このため、デッドタイム T_{dd} の予想される最適値よりも長い値をデッドタイム初期値 T_{d0} とすると、高負荷時に大きな電力損失が生じて回路中で大きな発熱が発生することにより信頼性が低下する可能性がある。これに対し、デッドタイム T_{dd} の予想される最適値よりも短い値をデッドタイム初期値 T_{d0} とすると、デッドタイム T_{dd} がその初期値 T_{d0} であるときには、低負荷時に大きな電力損失が生じるが、回路中で発生する熱量の絶対値は小さくなり、その結果、信頼性の低下を小さく抑えることができる。そこで本実施形態では、デッドタイム初期値 T_{d0} は、デッドタイム T_{dd} の予想される最適値よりも短い値に予め設定されている。

[0051] 前デッドタイム T_{dB} がこのようなデッドタイム初期値 T_{d0} に設定された後、変換効率演算部116で算出された変換効率 η を、変換効率の増減を判定するために導入された変数である前変換効率 η_B に代入する（ステップS12）。

[0052] 次に、前デッドタイム T_{dB} を予め決められた増分単位 ΔT (>0) だけ増分させることにより得られる値を現デッドタイム T_{dA} とする（ステップS14）。すなわち、 $T_{dA} = T_{dB} + \Delta T$ である。この後、この現デッドタイム T_{dA} を示すデッドタイム制御信号 C_{dt} を出力する（ステップS15）。このデッドタイム制御信号 C_{dt} はスイッチング制御信号生成回路113に入力される。なお、増分単位 ΔT は、デッドタイム T_{dd} がこの増分単位 ΔT だけ変化したときの変換効率 η の変化が十分に小さくなるように選定される。

[0053] その後、上記デッドタイム制御信号 C_{dt} に基づきスイッチ回路10およ

び整流回路 20 が動作し、その動作中に得られる入力電圧測定値 V_i および入力電流測定値 I_i ならびに出力電圧測定値 V_o および出力電流測定値 I_o から算出される変換効率 η を変換効率演算部 116 から現変換効率 η_A として受け取り（ステップ S16）、この現変換効率 η_A が前変換効率 η_B よりも大きいかな否かを判定する（ステップ S18）。この判定の結果、現変換効率 η_A が前変換効率 η_B よりも大きい場合にはステップ S20 へ進み、現変換効率 η_A が前変換効率 η_B 以下の場合にはステップ S22 へ進む。

[0054] ステップ S20 では、現変換効率 η_A の値を前変換効率 η_B に代入すると共に、現デッドタイム T_{dA} の値を前デッドタイム T_{dB} に代入する。その後、ステップ S14 へ戻り、以後、現変換効率 η_A が前変換効率 η_B よりも大きい間は、ステップ S14～S20 を繰り返し実行し、現変換効率 η_A が前変換効率 η_B 以下になると、ステップ S22 へ進む。

[0055] ステップ S22 へ進んだ時点では、前変換効率 η_B は現在の負荷状態での最大の変換効率にほぼ等しい値となっている。そこで、前デッドタイム T_{dB} を示すデッドタイム制御信号 C_{dt} を出力する状態に設定し（ステップ S22）、この適正デッドタイム探索処理を終了する。

[0056] このデッドタイム制御信号 C_{dt} に基づき、スイッチング制御信号生成回路 113 および駆動回路 114 により生成されるスイッチング制御信号 $G_{11} \sim G_{16}$ が、トランジスタ $Q_{11} \sim Q_{16}$ のゲート端子に印加される。これにより、スイッチ回路 10 および整流回路 20 は、DC-DC コンバータとしての変換効率がほぼ最大となるようなデッドタイムで動作する。すなわち、適正デッドタイム探索処理を終了した時点での前デッドタイム T_{dB} を T_{ddP} とおくと、 $T_{d12} = T_{d34} = T_{ddP}$ となるようにスイッチ回路 10 のトランジスタ $Q_{11} \sim Q_{14}$ が動作し、整流回路 20 のトランジスタ Q_{15} 、 Q_{16} もそれに応じた動作となる（図 3 参照）。このようなデッドタイム制御信号 C_{dt} の出力は、次に適正デッドタイム探索処理が実行されてデッドタイム T_{dd} の適正值が新たに算出されるまで維持される。

[0057] 本実施形態に係る DC-DC コンバータが上記のようにデッドタイム T_d

$d = T_{dd}P$ の状態で作動している間において、負荷の変動によりDC-DCコンバータとしての変換効率が低下し、変換効率演算部116で算出される変換効率 η が現下限値 η_{clim} よりも小さいと判定されると、その判定結果を示す探索要否信号 C_{sr} が適正デッドタイム探索制御部118に入力される。これにより、上述の適正デッドタイム探索処理が再び開始される。

[0058] なお、適正デッドタイム探索処理についての上記説明では、制御回路110が専用ハードウェアで実現される場合も考慮して、図4に示す各ステップが適正デッドタイム探索制御部118によって実行されるものとして説明したが、制御回路110の主要部がマイコンを用いてソフトウェア的に実現される場合には、所定プログラムに基づき、図4に示す各ステップはマイコンによって実行され、変換効率演算部116の処理もマイコンによって実行される。

[0059] <1.5 効果>

上記のような本実施形態によれば、従来のDC-DCコンバータでは負荷の変動によって変換効率が低下する場合であっても、その低下量が大きくなならないうちにその変換効率の低下が検出され、適正デッドタイム探索処理（図4）が実行されることにより、変換効率がほぼ最大となるようにスイッチ回路10におけるデッドタイム T_{d12} 、 T_{d34} が自動的に調整される。以下、この点を図5を参照して詳しく説明する。図5（A）は、デッドタイムが固定された従来のDC-DCコンバータにおいて負荷が変動した場合の変換効率 η の変化を示しており、図5（B）は、本実施形態に係るDC-DCコンバータにおいて負荷が変動した場合の変換効率 η の変化を示している。

[0060] 図1に示すようなDC-DCコンバータでは、変換効率が最大となるデッドタイムすなわち T_{dd} は、図5に示すように負荷によって変化する。しかし、従来のDC-DCコンバータでは、デッドタイム T_{dd} が例えば T_1 で固定されているので、図5（A）に示すように変換効率は、負荷が大きい場合は高いが、負荷が小さくなるにしたがって $\eta_{a1} \rightarrow \eta_{b1} \rightarrow \eta_{c1}$ という

ように低下する。

[0061] これに対し本実施形態に係るDC-DCコンバータでは、負荷が変動して変換効率 η が現下限値 η_{clim} よりも小さくなると、上述の適正デッドタイム探索処理（図4）が実行されることにより、変動後の負荷において変換効率 η がほぼ最大となるようにスイッチ回路10におけるデッドタイム T_{d12} 、 T_{d34} が自動的に調整される。例えば、図5（B）に示すように、負荷が大きい場合に変換効率 η が最大（ $\eta = \eta_{a1}$ ）となるようにデッドタイム T_{dd} が T_1 に設定され、負荷が中程度になると、その中程度の負荷において変換効率 η が最大（ $\eta = \eta_{b2}$ ）となるようにデッドタイム T_{dd} が T_2 に設定され、負荷が小さくなると、その小さい負荷において変換効率 η が最大（ $\eta = \eta_{c3}$ ）となるようにデッドタイム T_{dd} が T_3 に設定される。

[0062] このように本実施形態によれば、負荷が変動しても、適正デッドタイム探索処理により、変動後の負荷において変換効率 η がほぼ最大となるようにスイッチ回路10におけるデッドタイム $T_{dd} = T_{d12} = T_{d34}$ が自動的に調整される。この適正デッドタイム探索処理では、デッドタイム T_{dd} をその予想される最適値よりも小さい値から順次（増分単位 ΔT ずつ）大きくしていくことで変換効率 η が極大となるデッドタイムが求められるので、DC-DCコンバータにおける回路素子の特性がばらついたり変化したりしても、負荷変動による変換効率の低下を十分に抑制することができる。また、一般にデッドタイム T_{dd} の最適値は負荷が大きいほど短くなるので、この適正デッドタイム探索処理によれば、信頼性低下を招く発熱を生じるような大きな電力損失を回避しつつ、負荷変動による変換効率の低下を十分に抑制することができる。

[0063] <1.6 第1の実施形態の他の構成例>

図6は、本実施形態に係るDC-DCコンバータの他の構成例を示す回路図である。このDC-DCコンバータは、整流回路20の構成を除き、図1に示した既述の構成と同様の構成を有している。そこで以下では、当該他の構成例における整流回路20の構成を説明し、その整流回路20以外の構成

については説明を省略する。

[0064] 上記他の構成例における整流回路20は、ダイオードを内蔵した2個のスイッチング素子としてのMOSトランジスタQ17、Q18と、2個のコイルL13、L14と、コンデンサC12とを備えている。図6に示すようにトランジスタQ17は、そのドレイン端子が変圧器T11の2次側巻線の一端に接続され、そのソース端子が低圧側出力端子TOLに接続されている。トランジスタQ18は、そのドレイン端子が変圧器T11の2次側巻線の他端に接続され、そのソース端子が低圧側出力端子TOLに接続されている。また、トランジスタQ17のドレイン端子は、コイルL13を介して高圧側出力端子TOHに接続され、トランジスタQ18のドレイン端子は、コイルL14を介して高圧側出力端子TOHに接続されている。コンデンサC12は、高圧側出力端子TOHと低圧側出力端子TOLとの間に接続され、コイルL13、L14とで平滑化のためのLCフィルタを構成している。

[0065] 上記他の構成例では、図1の構成例における制御回路110で生成されるスイッチング制御信号G15、G16と同一の信号がスイッチング制御信号G17、G18としてそれぞれ生成され、トランジスタQ17、Q18のゲート端子にそれぞれ与えられる（図6参照）。また、スイッチ回路10内のトランジスタQ11～Q14のゲート端子には、図1の構成例と同様、スイッチング制御信号G11～G14がそれぞれ与えられる。これにより、図6の上記他の構成例によるDC-DCコンバータも、図1の構成例によるDC-DCコンバータと同様に動作し同様の効果を奏する（図3～図5参照）。

[0066] <2. 第2の実施形態>

次に、本発明の第2の実施形態に係るDC-DCコンバータについて説明する。上記第1の実施形態では、スイッチ回路10におけるトランジスタQ11～Q14をオン・オフするスイッチング周波数は固定であるが、本実施形態では、トランジスタQ11～Q14のデッドタイム $T_{dd} = T_{d12} = T_{d34}$ のみならず、スイッチング周波数も可変であり、DC-DCコンバータとしての変換効率ができるだけ高く維持されるようにデッドタイム T_d

dおよびスイッチング周波数 f_{sw} の双方が負荷に応じて調整される。

[0067] 図7は、本実施形態に係るDC-DCコンバータにおける制御回路120の構成を示すブロック図である。本実施形態における制御回路120以外の部分の構成は上記第1の実施形態と同様であるので（図1参照）、同一部分には同一の参照符号を付して説明を省略する。

[0068] 本実施形態における制御回路120も、上記第1の実施形態における制御回路110と同様、入力電圧測定値 V_i 、入力電流測定値 I_i 、出力電圧測定値 V_o 、および、出力電流測定値 I_o を受け取り、スイッチ回路10のトランジスタ $Q_{11} \sim Q_{14}$ および整流回路20のトランジスタ Q_{15} , Q_{16} をそれぞれオン／オフさせるためのスイッチング制御信号 $G_1 \sim G_{16}$ を生成し、トランジスタ $Q_{11} \sim Q_{16}$ のゲート端子にそれぞれ与える。また、この制御回路120は、上記第1の実施形態における制御回路110（図2）と同様、フィードバック制御演算部111と、電圧指令値設定部112と、スイッチング制御信号生成回路113と、駆動回路114と、変換効率演算部116とを備える。これらの構成要素はいずれも、上記第1の実施形態における対応する構成要素と同一であるので説明を省略する。

[0069] <2. 1 制御回路の構成>

本実施形態における制御回路120は、上記第1の実施形態における適正デッドタイム探索制御部118に代えて、適正周波数探索制御部117aと適正デッドタイム探索制御部117bとを含む探索制御部117を備えている。この探索制御部117は、後述の適正デッドタイム探索処理と適正周波数探索処理を実行し、これにより適正なデッドタイム T_{ddP} および適正なスイッチング周波数 f_{swP} を求め、これらをそれぞれ示すデッドタイム制御信号 C_{dt} およびスイッチング周波数制御信号 C_{fsw} を生成する。これらデッドタイム制御信号 C_{dt} およびスイッチング周波数制御信号 C_{fsw} はスイッチング制御信号生成回路113に入力される。スイッチング制御信号生成回路113は、フィードバック制御演算部111からの位相シフト時間制御信号 C_{ts} と、探索制御部117からのデッドタイム制御信号 C_{dt}

およびスイッチング周波数制御信号 $C_{fs w}$ とに基づき、スイッチ回路 10 のトランジスタ $Q_{11} \sim Q_{14}$ および整流回路 20 のトランジスタ Q_{15} , Q_{16} をオン／オフさせるための制御信号を生成する。

[0070] なお、このような制御回路 120 も上記第 1 の実施形態における制御回路 110 と同様、駆動回路 114 以外については、マイコンと A/D 変換器および D/A 変換器とを使用し、マイコンが所定プログラムを実行することにより、ソフトウェア的に実現することができる。またこれに代えて、上記制御回路 120 を専用ハードウェアとして実現することも可能である。

[0071] 本実施形態に係る DC-DC コンバータにおいて、負荷変動時等に実行される後述の適正デッドタイム探索処理および適正周波数探索処理を除く概略的な動作は上記第 1 の実施形態と同様であるので（図 3）説明を省略する。

[0072] < 2. 2 探索処理 >

図 8 は、本実施形態における制御回路 120 で実行される探索処理を示すフローチャートである。この探索処理は、適正周波数探索制御部 117a により実行される適正周波数探索処理と適正デッドタイム探索制御部 117b により実行される適正デッドタイム探索処理とからなる。図 8 に示すフローチャートでは、適正周波数探索処理（S30～S42）の実行後に適正デッドタイム探索処理（S50～S62）が実行されるが、これに代えて、適正デッドタイム探索処理の実行後に適正周波数探索処理が実行される構成であってもよい。

[0073] 本実施形態においても、上記第 1 の実施形態と同様、変換効率演算部 116 からの探索要否信号 C_{sr} が「探索要」を示す場合に探索処理が開始され、この探索処理において探索制御部 117 が以下のように動作する。

[0074] まず、スイッチング周波数 f_{sw} の初期化を行う（ステップ S30）。具体的には、適正スイッチング周波数を探索するために導入された変数である前スイッチング周波数 f_{swB} に、予め決定された周波数初期値 f_0 を代入する。一般に、スイッチング周波数 f_{sw} の最適値は、負荷が大きいほど高くなる（後述の図 9（A）参照）。このため、スイッチング周波数 f_{sw} の

予想される最適値よりも低い値を周波数初期値 f_0 とすると、高負荷時に変圧器 T 1 1 等の回路構成要素としての部品で生じる電力損失により信頼性が低下する可能性がある。これに対し、スイッチング周波数 f_{sw} の予想される最適値よりも高い値を周波数初期値 f_0 とすると、負荷状態に拘わらず、回路構成要素としての部品での電力損失は小さく、その結果、回路構成要素としての部品の信頼性低下を抑えることができる。そこで本実施形態では、周波数初期値 f_0 は、スイッチング周波数 f_{sw} の予想される最適値よりも高い値に予め設定されている。

[0075] 前スイッチング周波数 f_{swB} がこのような周波数初期値 f_0 に設定された後、変換効率演算部 1 1 6 で算出された変換効率 η を、変換効率の増減を判定するために導入された変数である前変換効率 η_B に代入する（ステップ S 3 2）。

[0076] 次に、前スイッチング周波数 f_{swB} を予め決められた減分単位 Δf (> 0) だけ減じることにより得られる値を現スイッチング周波数 f_{swA} とする（ステップ S 3 4）。すなわち、 $f_{swA} = f_{swB} - \Delta f$ である。この後、この現スイッチング周波数 f_{swA} を示すスイッチング周波数制御信号 C_{fw} を出力する（ステップ S 3 5）。このスイッチング周波数制御信号 C_{fw} はスイッチング制御信号生成回路 1 1 3 に入力される。なお、減分単位 Δf は、スイッチング周波数 f_{sw} がこの減分単位 Δf だけ変化したときの変換効率 η の変化が十分に小さくなるように選定される。

[0077] その後、上記スイッチング周波数制御信号 C_{fw} に基づきスイッチ回路 1 0 および整流回路 2 0 が動作し、その動作中に得られる入力電圧測定値 V_i および入力電流測定値 I_i ならびに出力電圧測定値 V_o および出力電流測定値 I_o から算出される変換効率 η を変換効率演算部 1 1 6 から現変換効率 η_A として受け取り（ステップ S 3 6）、この現変換効率 η_A が前変換効率 η_B よりも大きいかな否かを判定する（ステップ S 3 8）。この判定の結果、現変換効率 η_A が前変換効率 η_B よりも大きい場合にはステップ S 4 0 へ進み、現変換効率 η_A が前変換効率 η_B 以下の場合にはステップ S 4 2 へ進む。

- [0078] ステップS40では、現変換効率 ηA の値を前変換効率 ηB に代入すると共に、現スイッチング周波数 f_{swA} の値を前スイッチング周波数 f_{swB} に代入する。その後、ステップS34へ戻り、以後、現変換効率 ηA が前変換効率 ηB よりも大きい間は、ステップS34～S40を繰り返し実行し、現変換効率 ηA が前変換効率 ηB 以下になると、ステップS42へ進む。
- [0079] ステップS42へ進んだ時点では、前変換効率 ηB は、現在の負荷状態においてスイッチング周波数 f_{sw} を変化させたときの最大の変換効率にほぼ等しい状態となっている。そこで、前スイッチング周波数 f_{swB} を示すスイッチング周波数制御信号 $C_{f_{sw}}$ を出力する状態に設定して（ステップS42）、適正周波数探索処理を終了し、ステップS50へ進む。
- [0080] ステップS50へ進むと、適正デッドタイム探索処理が開示される。この適正デッドタイム探索処理を構成するステップS50～S62は、それぞれ、上記第1の実施形態における適正デッドタイム探索処理を構成するステップS10～S22と同じであるので（図4参照）、説明を省略する。
- [0081] 上記の適正周波数探索処理（S30～S42）が終了した時点では、DC-DCコンバータは、スイッチング周波数 f_{sw} を変化させたときに変換効率 η がほぼ最大となるスイッチング周波数で動作する状態となっている。また、上記の適正デッドタイム探索処理（S50～S62）が終了した時点では、DC-DCコンバータは、デッドタイム T_{dd} を変化させたときに変換効率 η がほぼ最大となるデッドタイムで動作する状態となっている。すなわち、図8に示す探索処理が終了した時点では、前スイッチング周波数 f_{swB} および前デッドタイム T_{dB} が共にほぼ最適な値すなわち適正值になっている（以下これらの適正值を“ f_{swP} ”、“ T_{ddP} ”でそれぞれ示すものとする）。
- [0082] 探索制御部117は、上記の探索処理（図8）の終了時点では、このような適正なスイッチング周波数 f_{swP} およびデッドタイム T_{ddP} をそれぞれ示すスイッチング周波数制御信号 $C_{f_{sw}}$ およびデッドタイム制御信号 C_{dt} を出力する状態としている（ステップS42, S62）。このようなス

スイッチング周波数制御信号 $C_{fs w}$ およびデッドタイム制御信号 $C_{d t}$ の出力は、次に探索処理が実行されてスイッチング周波数 $f_{s w}$ およびデッドタイム $T_{d d}$ の適正值が新たに算出されるまで維持される。

[0083] 本実施形態に係る DC-DC コンバータがスイッチング周波数 $f_{s w} = f_{s w P}$ およびデッドタイム $T_{d d} = T_{d d P}$ の状態で動作している間において、負荷の変動により DC-DC コンバータとしての変換効率が低下し、変換効率演算部 116 において算出された変換効率 η が現下限値 $\eta_{c l i m}$ よりも小さいと判定されると、その判定結果を示す探索要否信号 $C_{s r}$ が探索制御部 117 に入力される。これにより、上述の探索処理（図 8）が再び開始される。

[0084] なお、探索処理についての上記説明では、制御回路 120 が専用ハードウェアで実現される場合も考慮して、図 8 に示す各ステップ S30～S62 が探索制御部 117 によって実行されるものとして説明したが、制御回路 120 の主要部がマイコンを用いてソフトウェア的に実現される場合には、所定プログラムに基づき、図 8 に示す各ステップはマイコンによって実行され、変換効率演算部 116 の処理もマイコンによって実行される。

[0085] <2. 3 効果>

上記のような本実施形態によれば、従来の DC-DC コンバータでは負荷の変動によって変換効率が低下する場合であっても、その低下量が大きくなならないうちにその変換効率の低下が検出され、適正周波数探索処理と適正デッドタイム探索処理からなる探索処理（図 8）が実行されることにより、変換効率がほぼ最大となるようにスイッチ回路 10 におけるスイッチング周波数 $f_{s w}$ およびデッドタイム $T_{d d} = T_{d 1 2} = T_{d 3 4}$ が自動的に調整される。以下、この点を図 9 を参照して詳しく説明する。図 9（A）は、本実施形態において負荷が変動したときのスイッチング周波数 $f_{s w}$ と変換効率 η との関係を示し、図 9（B）は、本実施形態において負荷が変動したときのデッドタイム $T_{d d}$ と変換効率 η との関係を示している。

[0086] 一般に、DC-DC コンバータの損失において大きな割合を示す変圧器の

損失は、磁束の通路である磁気コアにおいて発生する鉄損と、巻線の抵抗成分によって生じる銅損とに大別される。DC-DCコンバータのスイッチング周波数が高くなると、鉄損は大きくなるが銅損は小さくなる。このため図9(A)に示すように、DC-DCコンバータの変換効率が最大となるスイッチング周波数すなわち最適な周波数が存在し、この最適なスイッチング周波数は負荷によって変化する。

[0087] これに対し本実施形態では、負荷が変動して変換効率 η が現下限値 η_{clim} よりも小さくなると、上述の適正周波数探索処理（図9のS30～S42）が実行されることにより、変動後の負荷において変換効率 η がほぼ最大となるようにスイッチ回路10におけるスイッチング周波数 f_{sw} が自動的に調整される。例えば図9(A)に示すように、負荷が大きい場合に変換効率 η が最大（ $\eta = \eta_{a4}$ ）となるようにスイッチング周波数 f_{sw} が f_1 に設定され、負荷が中程度になると、その中程度の負荷において変換効率 η が最大（ $\eta = \eta_{b5}$ ）となるようにスイッチング周波数 f_{sw} が f_2 に設定され、負荷が小さくなると、その小さい負荷において変換効率 η が最大（ $\eta = \eta_{c6}$ ）となるようにスイッチング周波数 f_{sw} が f_3 に設定される。

[0088] また本実施形態では、上述のように、適正周波数探索処理に続いて、スイッチング周波数 f_{sw} をその適正值 f_{swP} に設定した状態で適正デッドタイム探索処理（図9のS50～S62）が実行されることにより、変換効率 η がほぼ最大となるようにデッドタイム T_{dd} が調整される。例えば図9(B)に示すように、負荷が大きい場合に変換効率 η が最大（ $\eta = \eta_{a7}$ ）となるようにデッドタイム T_{dd} が T_1 に設定され、負荷が中程度になると、その中程度の負荷において変換効率 η が最大（ $\eta = \eta_{b8}$ ）となるようにデッドタイム T_{dd} が T_2 に設定され、負荷が小さくなると、その小さい負荷において変換効率 η が最大（ $\eta = \eta_{c8}$ ）となるようにデッドタイム T_{dd} が T_3 に設定される。

[0089] 上記のように本実施形態によれば、負荷が変動しても変換効率がほぼ最大となる適正なスイッチング周波数 f_{swP} および適正なデッドタイム T_{dd}

PでDC-DCコンバータを動作させることができる。したがって、DC-DCコンバータにおける回路素子の特性がばらついたり変化したりしても、負荷変動による変換効率の低下を十分に抑制してできるだけ高い値に維持することができる。

[0090] <3. 第3の実施形態>

次に、本発明の第3の実施形態に係るDC-DCコンバータについて説明する。このDC-DCコンバータは、2つの出力電圧 V_{out1} 、 V_{out2} を供給できるように構成されており、例えば図10に示すようにフラットパネル型表示装置131で使用される。

[0091] <3. 1 DC-DCコンバータの使用例>

図10に示すフラットパネル型表示装置131は、PFC (Power Factor Correction) 回路133と、本実施形態に係るDC-DCコンバータ134と、画像処理回路、音声処理回路、およびパネル駆動回路を含む制御回路135と、アンテナ139と、LED (Light Emitting Diode) 駆動回路136と、LEDバックライト137を備えており、外部のAC電源132から交流電圧が供給される。また、DC-DCコンバータ134と制御回路135との間には、両者間での情報の授受のための通信線138が設けられている。

[0092] AC電源からの交流電圧はPFC回路133に供給され、そこで直流電圧に変換された後に、DC-DCコンバータ134に与えられる。DC-DCコンバータ134は、この直流電圧から、レベルの異なる2つの直流電圧を生成し、出力電圧 V_{out1} 、 V_{out2} として出力する。このうち出力電圧 V_{out1} は、画像処理回路、音声処理回路、およびパネル駆動回路を含む制御回路135に電源電圧として供給され、出力電圧 V_{out2} は、LED駆動回路136に電源電圧として供給される。なお、このフラットパネル型表示装置131の制御回路135には、画像処理回路、音声処理回路、およびパネル駆動回路以外に、外部機器と信号の授受のためのインターフェース回路や、アンテナ139で受信した電波をデジタル信号に復号するための

復号化回路、インターネットに接続して情報を発信／受信するための復号化／符号化回路、上記各回路に適切な電圧を供給するための電源回路等も含まれるが、これらは本発明と直接的に関連しないので説明を省略する。

[0093] DC-DCコンバータ134に関連する電圧を具体的に述べると、例えば、AC電源132からPFC回路133に100Vの交流電圧が入力され、PFC回路133から400Vの直流電圧が出力されてDC-DCコンバータ134に入力される。DC-DCコンバータ134からは、12Vおよび90Vの直流電圧が生成され、12Vの直流電圧は制御回路135に、90Vの直流電圧はLED駆動回路136にそれぞれ供給される。

[0094] なお、図10に示した構成は一例に過ぎず、例えば、LED駆動回路136を設けずに、DC-DCコンバータ134から直接にLEDバックライト137に直流電圧が供給される構成であってもよい。

[0095] <3. 2 DC-DCコンバータの構成>

図11は、本実施形態に係る位相シフト方式のDC-DCコンバータの構成を示す回路図である。このDC-DCコンバータは、インバータとしてのスイッチ回路30と、2つの整流回路41、42と、変圧器T21と、入力側測定回路31と、2つの出力側測定回路45、46と、制御回路210を備え、高圧側入力端子T_{iH}および低圧側入力端子T_{iL}と、2つの高圧側出力端子T_{oH1}、T_{oH2}および2つの低圧側出力端子T_{oL1}、T_{oL2}とを有している。高圧側入力端子T_{iH}と低圧側入力端子T_{iL}の間に直流の入力電圧V_{in}が印加され、第1の高圧側出力端子T_{oH1}と第1の低圧側出力端子T_{oL1}の間にレベルの変換された直流電圧である第1の出力電圧V_{out1}が生成されるとともに、第2の高圧側出力端子T_{oH2}と第2の低圧側出力端子T_{oL2}の間にレベルの変換された直流電圧である第2の出力電圧V_{out2}が生成される（V_{out1}≠V_{out2}）。

[0096] 図11に示すように、このDC-DCコンバータは、2つの整流回路41、42と、それらに対応する2つの出力側測定回路45、46および2対の出力端子T_{oH1}、T_{oL1}、T_{oH2}、T_{oL2}を有する点で上記第1の

実施形態（図１）と相違し、変圧器Ｔ２１および制御回路２１０もこれらの相違に応じた構成となっている。しかし、本実施形態におけるその他の構成は、上記第１の実施形態と同様であり、また、各整流回路４１，４２、各出力側測定回路４５，４６の構成は、上記第１の実施形態における整流回路２０および出力側測定回路２１と同様であるので、制御回路２１０以外の本実施形態の構成については詳しい説明を省略する。なお、上記第１の実施形態におけるトランジスタＱ１１～Ｑ１４は本実施形態におけるトランジスタＱ２１～Ｑ２４にそれぞれ対応し、上記第１の実施形態におけるトランジスタＱ１５，Ｑ１６、コイルＬ１２、コンデンサＣ１１は、本実施形態におけるトランジスタＱ２５，Ｑ２６、コイルＬ２２、コンデンサＣ２１にそれぞれ対応すると共に、本実施形態におけるトランジスタＱ２７，Ｑ２８、コイルＬ２３、コンデンサＣ２２にそれぞれ対応する。

[0097] 図１２は、本実施形態に係るＤＣ－ＤＣコンバータにおける制御回路２１０の構成を示すブロック図である。この制御回路２１０の構成のうち上記第１の実施形態における制御回路１１０の構成と同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。

[0098] 本実施形態の制御回路２１０において、フィードバック制御演算部１１１には、第１の出力側測定回路４５により得られる第１の出力電圧 V_{out1} の測定値である第１出力電圧測定値 V_o1 が入力される。このフィードバック制御演算部１１１は、第１の出力電圧 V_{out1} を電圧指令値 V_{ref} に維持すべく、第１出力電圧測定値 V_o1 と電圧指令値 V_{ref} との差に基づく制御演算により、位相シフト時間 T_s を示す位相シフト時間制御信号 Cts を生成する。この位相シフト時間制御信号 Cts は、スイッチング制御信号生成回路１１３に入力される。

[0099] 制御回路２１０における変換効率演算部１１６には、入力側測定回路３１により得られる入力電圧測定値 V_i および入力電流測定値 I_i 、第１の出力側測定回路４５により得られる第１出力電圧測定値 V_o1 および第１出力電流測定値 I_o1 、ならびに、第２の出力側測定回路４６により得られる第２

出力電圧測定値 V_o2 および第2出力電流測定値 I_o2 が入力される。この変換効率演算部 116 は、これらの入力電圧測定値 V_i 、入力電流測定値 I_i 、第1出力電圧測定値 V_o1 、第1出力電流測定値 I_o1 、第2出力電圧測定値 V_o2 、および、第2出力電流測定値 I_o2 からこのDC-DCコンバータの変換効率 η を算出する。この変換効率演算部 116 におけるその他の機能・動作は上記第1の実施形態における変換効率演算部 116 と同様である。

[0100] 適正デッドタイム探索制御部 118 は、上記第1の実施形態における適正デッドタイム探索制御部 118 と同様に動作し同様の機能を有する他（図4参照）、通信線 138 を介してフラットパネル型表示装置 131 の制御回路 135 と情報の授受を行う（図10）。例えば、この適正デッドタイム探索制御部 118 は、フラットパネル型表示装置 131 での処理量を示す情報、例えば処理すべき画像情報に基づく負荷の概算値を、事前に制御回路 135 からこの通信線 138 を介して受け取り、適正デッドタイム探索処理のデッドタイム初期値 T_{d0} をこの概算値に基づき決定することができる。これにより、適正デッドタイム探索処理の開始から終了までの時間が大幅に短縮される。

[0101] また適正デッドタイム探索制御部 118 は、変換効率演算部 116 で算出される変換効率 η の大きな低下から異常の発生を検知し、異常の発生を示す警告情報を通信線 138 を介して制御回路 135 に送ることができる。これにより、制御回路 135 がこの警告情報に基づきフラットパネル型表示装置全体の動作を停止させることで、故障に起因する大きな事故の発生が未然に防止される。

[0102] スイッチング制御信号生成回路 113 および駆動回路 114 は、上記第1の実施形態におけるスイッチング制御信号生成回路 113 および駆動回路 114 と同様に動作し同様の機能を有するが、第1の実施形態におけるスイッチング制御信号 $G_{11} \sim G_{16}$ に対応するスイッチング制御信号 $G_{21} \sim G_{26}$ に加えて、スイッチング制御信号 G_{27} 、 G_{28} を生成する。ただし後

述のように、スイッチング制御信号G 2 7, G 2 8は、それぞれ、スイッチング制御信号G 2 5, G 2 6と同じ信号である。

[0103] <3. 3 DC-DCコンバータの概略動作>

図1 3は、本実施形態に係るDC-DCコンバータの動作を説明するためのタイミングチャートであり、各トランジスタQ 2 1~Q 2 8のゲート端子にそれぞれ与えられるスイッチング制御信号G 2 1~G 2 8の波形、すなわち各トランジスタQ 2 1~Q 2 8のオン/オフ状態の変化を示している。本実施形態においても位相シフト方式が採用されており、第1の実施形態における図3のタイミングチャートとの比較からわかるように、本実施形態におけるトランジスタQ 2 1と上記第1の実施形態におけるトランジスタQ 1 1とは、同一のスイッチング制御信号(G 2 1, G 1 1)により動作する。同様に、トランジスタQ 2 2とトランジスタQ 1 2とは同一のスイッチング制御信号(G 2 2, G 1 2)により動作し、トランジスタQ 2 3とトランジスタQ 1 3とは同一のスイッチング制御信号(G 2 3, G 1 3)により動作し、トランジスタQ 2 4とトランジスタQ 1 4とは同一のスイッチング制御信号(G 2 4, G 1 4)により動作し、トランジスタQ 2 5およびQ 2 7とトランジスタQ 1 5とは同一のスイッチング制御信号(G 2 5, G 2 7, G 1 5)により動作し、トランジスタQ 2 6およびQ 2 8とトランジスタQ 1 6とは同一のスイッチング制御信号(G 2 6, G 2 8, G 1 6)により動作する。

[0104] <3. 4 効果>

上記本実施形態に係るDC-DCコンバータが使用されるフラットパネル型表示装置1 3 1(図1 0)では、制御回路1 3 5の消費電力の変化は小さいが、LEDバックライト1 3 7の消費電力の変化は表示画像に応じて大きく変化する。このため、DC-DCコンバータ1 3 4の負荷は全体として大きく変化する。

[0105] しかし本実施形態によれば、負荷が変動しても、適正デッドタイム探索処理(図4)により、DC-DCコンバータ1 3 4全体としての変換効率 η が

変動後の負荷状態においてほぼ最大となるようにデッドタイム $T_{d1} = T_{d2} = T_{d3} = T_{d4}$ が自動的に調整される。したがって、DC-DCコンバータにおける回路素子の特性がばらついたり変化したりしても、軽負荷から高負荷まで高い変換効率を維持することができる（図5（B）参照）。

[0106] また既述のように、通信線138によるDC-DCコンバータの制御回路210（の適正デッドタイム探索制御部118）とフラットパネル型表示装置の制御回路135との間での情報の授受により、デッドタイム初期値 T_{d0} の適正化に基づき適正デッドタイム探索処理の時間を大幅に短縮したり、変換効率 η の大きな低下に基づき異常発生の警告情報をフラットパネル型表示装置の制御回路135に送ったりすることもできる。

[0107] <3. 6 第3の実施形態の他の構成例>

既述のように本実施形態では、整流回路41、42のそれぞれは、上記第1の実施形態につき図1に示した構成例における整流回路20と同様の構成を有しているが、これに代えて、図6に示した他の構成例における整流回路20と同様の構成を有していてもよい。

[0108] <4. 変形例>

本発明は、上記各実施形態に限定されるものではなく、本発明の要旨を逸脱しない限りにおいて種々の変形を施すことができる。また、上記第1から第3の実施形態のうち2つまたは3つの実施形態を組み合わせた構成も、本発明の要旨を逸脱せず矛盾を生じない場合には、本発明の範囲に属する。

[0109] 上記各実施形態については、位相シフト方式のDC-DCコンバータを例に挙げて説明しており、位相シフト方式はスイッチング損失の抑制において有効である。しかし本発明は、これに限定されるものではなく、上アームを構成する高圧側スイッチング素子と下アームを構成する低圧側スイッチング素子からなるスイッチング素子対を有するブリッジ回路を含む電力変換回路であれば、適用可能である。

[0110] 上記各実施形態における制御回路110、120、210の構成は、図2、図4、図7、図8、図12に示す構成に限定されるものではなく、負荷変

動による変換効率の低下が抑制されるようにデッドタイム T_{dd} とスイッチング周波数 f_{sw} の一方または双方が自動的に調整される構成であればよい。また、制御回路 110, 120, 210 を専用ハードウェア（典型的には、専用に設計された特定用途向け集積回路）で実現してもよいし、その主要部の一部または全部をソフトウェア的に実現してもよい。

[0111] 上記各実施形態における入力側測定回路 11, 31、出力側測定回路 21, 45, 46 のそれぞれは、入力電力や出力電力を求めるために電圧および電流の双方を測定するように構成されており、制御回路の変換効率演算部 116 では電圧および電流の測定値の双方を用いて変換効率 η が算出される。しかし、入力電圧 V_{in} および出力電圧 V_{out} , V_{out1} , V_{out2} のいずれかが既知の固定値と見なせる場合には、それに対応する電流測定値のみを用いて入力電力または出力電力を算出し、その算出結果を用いて変換効率 η を算出するようにしてもよい。

[0112] なお、上記各実施形態において負荷変動により変換効率が大きく低下した場合にのみ適正デッドタイム探索処理および／または適正周波数探索処理が開始されるように変換効率の下限值 η_{lim} を設定するのが好ましいが、本発明はこれに限定されない。例えば、変換効率の低下をできるだけ抑えたい場合に、変換効率の低下が比較的小さいときに適正デッドタイム探索処理等が開始されるように変換効率の下限值 η_{lim} を設定してもよい。

産業上の利用可能性

[0113] 本発明は、複数のスイッチング素子を用いて構成されるブリッジ回路を含む DC-DC コンバータ等の電力変換装置およびその制御方法に適用することができる。

符号の説明

[0114] 10 …スイッチ回路（インバータ）
 11, 31 …入力側測定回路
 21, 45, 46 …出力側測定回路
 20 …整流回路

3 8 …通信線

1 1 0, 1 2 0, 2 1 0…制御回路（制御部）

1 1 3 …スイッチング制御信号生成回路（制御信号生成部）

1 1 6 …変換効率演算部

1 1 7 …探索制御部

1 1 7 a …適正周波数探索制御部

1 1 7 b …適正デッドタイム探索制御部

1 1 8 …適正デッドタイム探索制御部

1 3 4 …DC-DCコンバータ

T 1 1, T 2 1 …変圧器

T i H …高圧側入力端子

T i L …低圧側入力端子

T o H, T o H 1, T o H 2…高圧側出力端子

T o L, T o L 1, T o L 2…低圧側出力端子

Q 1 1～Q 1 8 …トランジスタ（スイッチング素子）

Q 2 1～Q 2 8 …トランジスタ（スイッチング素子）

G 1 1～G 1 8 …スイッチング制御信号

G 2 1～G 2 8 …スイッチング制御信号

C t s …位相シフト時間制御信号

C d t …デッドタイム制御信号

C f s w …スイッチング周波数制御信号

V i …入力電圧測定値

I i …入力電流測定値

V o, V o 1, V o 2 …出力電圧測定値

I o, I o 1, I o 2 …出力電流測定値

T s …位相シフト時間

T p …スイッチング周期

請求の範囲

[請求項1]

高圧側入力端子と低圧側入力端子との間に印加される入力直流電圧から負荷部に供給すべき出力電圧を生成する電力変換装置であって、

互いに直列に接続された第1高圧側スイッチング素子および第1低圧側スイッチング素子からなり前記高圧側入力端子と前記低圧側入力端子との間に接続された第1のスイッチング素子対を含むスイッチ回路と、

前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子のオン・オフを制御するための制御部と、

前記高圧側入力端子および前記低圧側入力端子を介して与えられる入力電力を求めるための入力側測定回路と、

前記負荷部に供給される出力電力を求めるための出力側測定回路とを備え、

前記制御部は、

前記入力側測定回路および前記出力側測定回路の測定結果に基づき当該電力変換装置の変換効率を算出する変換効率演算部と、

前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子が共にオフ状態となるデッドタイムを所定範囲内で変更しつつ前記変換効率演算部により算出される変換効率を監視することにより、当該変換効率が極大となる前記デッドタイムを適正デッドタイムとして求める適正デッドタイム探索処理を実行するための適正デッドタイム探索制御部と、

前記適正デッドタイム探索処理により適正デッドタイムが求められると、前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第1のスイッチング制御信号を生成する制御信号生成部とを含むことを特徴とする、電力変換装置。

[請求項2]

前記適正デッドタイム探索制御部は、前記適正デッドタイム探索処

理において、前記デッドタイムを所定の初期値から順次増大させつつ前記変換効率の増減を判定することにより、前記変換効率が極大となる前記デッドタイムを前記適正デッドタイムとして求めることを特徴とする、請求項 1 に記載の電力変換装置。

[請求項3] 前記変換効率演算部は、前記入力側測定回路および前記出力側測定回路の測定結果に基づき変換効率を算出するとともに、前記出力側測定回路の測定結果に基づき負荷に応じた変換効率下限値を決定し、

前記適正デッドタイム探索制御部は、前記算出される変換効率が前記決定される変換効率下限値よりも小さい場合に前記適正デッドタイム探索処理を実行することを特徴とする、請求項 1 に記載の電力変換装置。

[請求項4] 前記制御部は、前記第 1 高圧側スイッチング素子および前記第 1 低圧側スイッチング素子のスイッチング周波数を所定範囲内で変更しつつ前記変換効率演算部により算出される変換効率を監視することにより、当該変換効率が極大となる前記スイッチング周波数を適正スイッチング周波数として求める適正周波数探索処理を実行するための適正周波数探索制御部を更に含み、

前記制御信号生成部は、前記適正周波数探索処理により適正スイッチング周波数が求められたときに、前記第 1 高圧側スイッチング素子および前記第 1 低圧側スイッチング素子が当該適正周波数でオン・オフするように前記第 1 のスイッチング制御信号を生成することを特徴とする、請求項 1 に記載の電力変換装置。

[請求項5] 前記周波数探索制御部は、前記適正周波数探索処理において、前記スイッチング周波数を所定の初期値から順次減少させつつ前記変換効率の増減を判定することにより、前記変換効率が極大となる前記スイッチング周波数を前記適正スイッチング周波数として求めることを特徴とする、請求項 4 に記載の電力変換装置。

[請求項6] 前記変換効率演算部は、前記入力側測定回路および前記出力側測定

回路の測定結果に基づき変換効率を算出するとともに、前記出力側測定回路の測定結果に基づき負荷に応じた変換効率下限値を決定し、

前記適正周波数探索制御部は、前記算出される変換効率が前記決定される変換効率下限値よりも小さい場合に前記適正周波数探索処理を実行することを特徴とする、請求項4に記載の電力変換装置。

[請求項7]

前記スイッチ回路内の各スイッチング素子の両端間における容量と前記スイッチ回路内の各スイッチング素子を流れる電流の経路中におけるインダクタンスとにより、前記スイッチ回路内の各スイッチング素子でソフトスイッチングが行われるように構成された共振回路を、更に備えることを特徴とする、請求項1に記載の電力変換装置。

[請求項8]

DC-DCコンバータとして動作する電力変換装置であって、
変圧器と、

前記変圧器の2次側に接続され前記出力電圧として直流電圧を出力する整流回路と
を更に備え、

前記スイッチ回路は、

互いに直列に接続された第2高圧側スイッチング素子および第2低圧側スイッチング素子からなり前記第1のスイッチング素子対と並列に接続された第2のスイッチング素子対を更に含み、

前記変圧器の一次側にインバータとして接続されており、

前記制御信号生成部は、

前記適正デッドタイム探索処理により適正デッドタイムが求められると、前記第2高圧側スイッチング素子および前記第2低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第2のスイッチング制御信号を更に生成し、

前記適正周波数探索処理により適正スイッチング周波数が求められたときに、前記第1および第2高圧側スイッチング素子ならびに前記第1および第2低圧側スイッチング素子が当該適正周波数でオン・

オフするように前記第1および第2のスイッチング制御信号を生成することを特徴とする、請求項1から7に記載の電力変換装置。

[請求項9] 前記制御部は、固定側スイッチング素子としての前記第1高圧側スイッチング素子および前記第1低圧側スイッチング素子を基準として、シフト側スイッチング素子としての前記第2高圧側スイッチング素子および前記第2低圧側スイッチング素子との間にスイッチング位相差をなすように、前記第1高圧側、第1低圧側、第2高圧側、および、第2低圧側スイッチング素子のオン・オフを位相シフト方式により制御することを特徴とする、請求項8に記載の電力変換装置。

[請求項10] 高圧側入力端子と低圧側入力端子との間に印加される入力直流電圧から負荷部に供給すべき出力電圧を生成する電力変換装置の制御方法であって、

前記高圧側入力端子および前記低圧側入力端子を介して与えられる入力電力を測定する入力側測定ステップと、

前記負荷部に供給される出力電力を測定する出力側測定ステップと、

前記電力変換装置に含まれるスイッチング素子のオン・オフを制御する制御ステップとを備え、

前記電力変換装置は、互いに直列に接続された第1高圧側スイッチング素子および第1低圧側スイッチング素子からなり前記高圧側入力端子と前記低圧側入力端子との間に接続された第1のスイッチング素子対を含むスイッチ回路を備え、

前記制御ステップは、

前記入力側測定ステップおよび前記出力側測定ステップでの測定結果に基づき前記電力変換装置の変換効率を算出する変換効率演算ステップと、

前記第1高圧側スイッチング素子および前記第1低圧側スイッチ

ング素子が共にオフ状態となるデッドタイムを所定範囲内で変更しつつ前記変換効率演算ステップで算出される変換効率を監視することにより、当該変換効率が極大となる前記デッドタイムを適正デッドタイムとして求める適正デッドタイム探索ステップと、

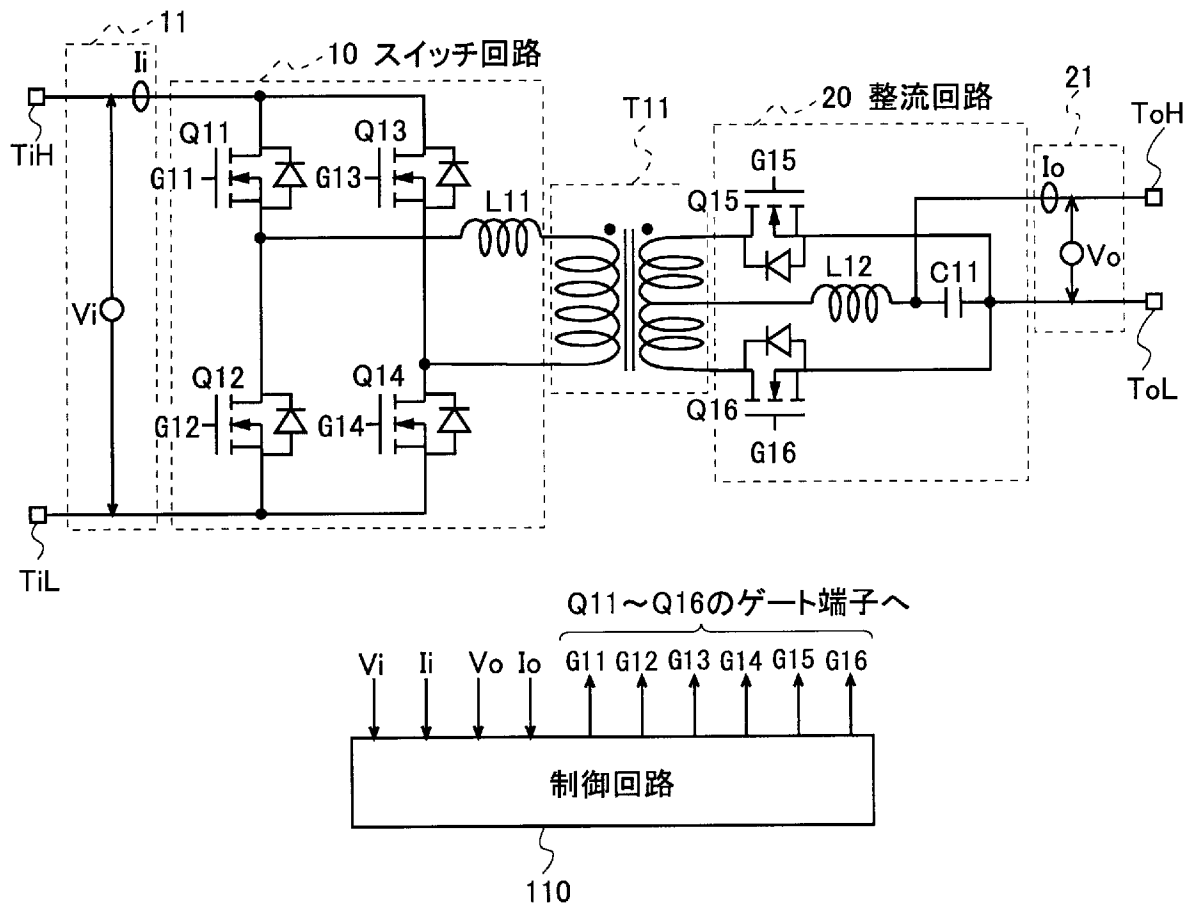
前記適正デッドタイム探索ステップで適正デッドタイムが求められると、前記第 1 高圧側スイッチング素子および前記第 1 低圧側スイッチング素子を当該適正デッドタイムでオン・オフさせるための第 1 のスイッチング制御信号を生成する制御信号生成ステップとを含むことを特徴とする、電力変換装置の制御方法。

[請求項11]

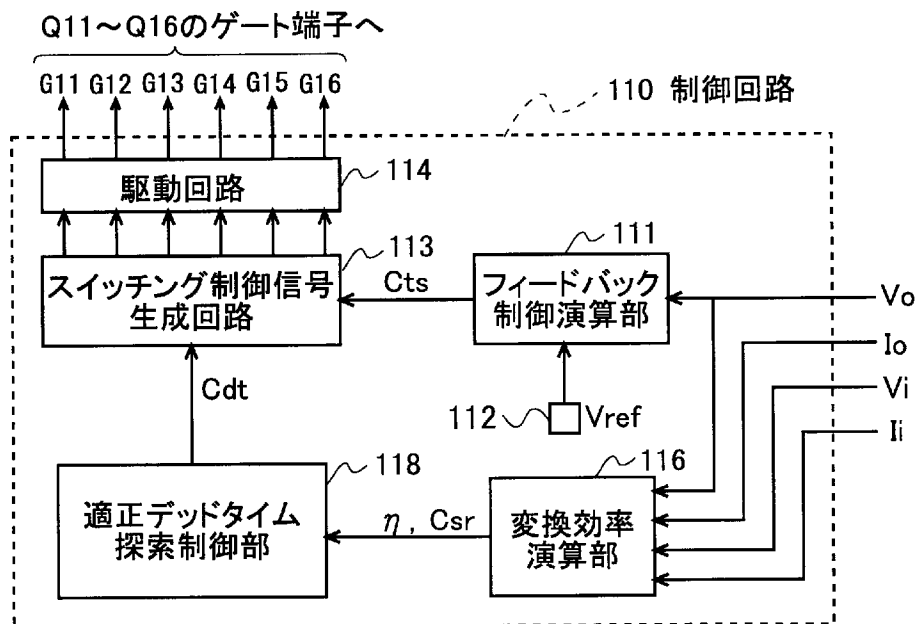
前記制御ステップは、前記第 1 高圧側スイッチング素子および前記第 1 低圧側スイッチング素子のスイッチング周波数を所定範囲内で変更しつつ前記変換効率演算ステップで算出される変換効率を監視することにより、当該変換効率が極大となる前記スイッチング周波数を適正スイッチング周波数として求める適正周波数探索ステップを更に含み、

前記制御信号生成ステップでは、前記適正周波数探索ステップで適正スイッチング周波数が求められたときに、前記第 1 高圧側スイッチング素子および前記第 1 低圧側スイッチング素子が当該適正周波数でオン・オフするように前記第 1 のスイッチング制御信号が生成されることを特徴とする、請求項 10 に記載の電力変換装置の制御方法。

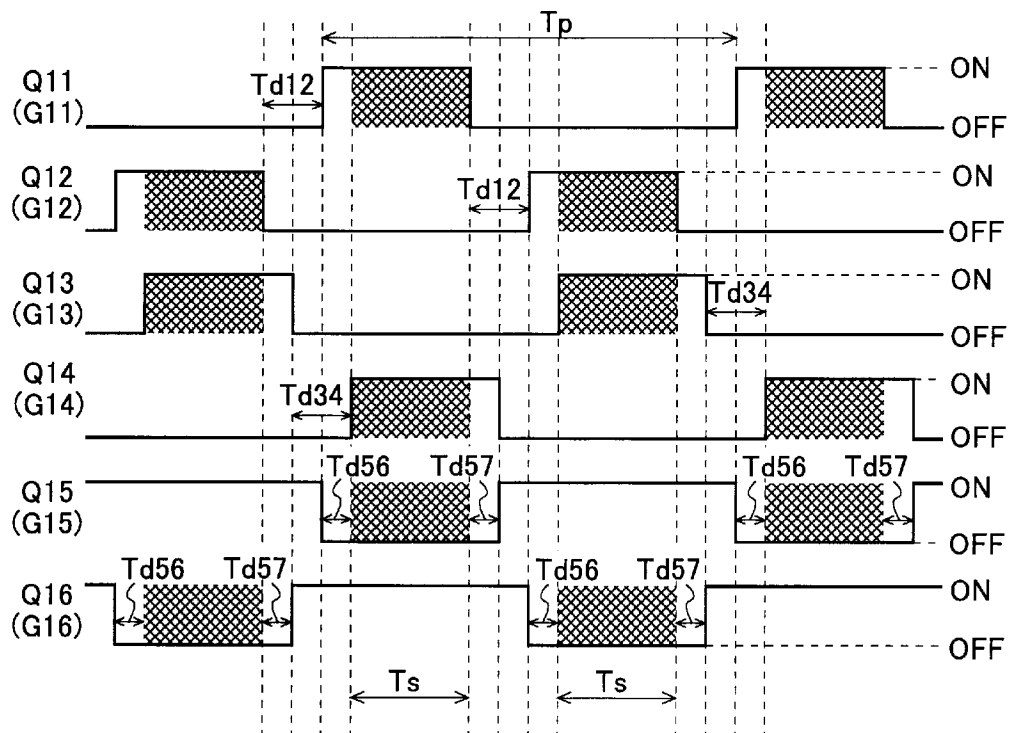
[図1]



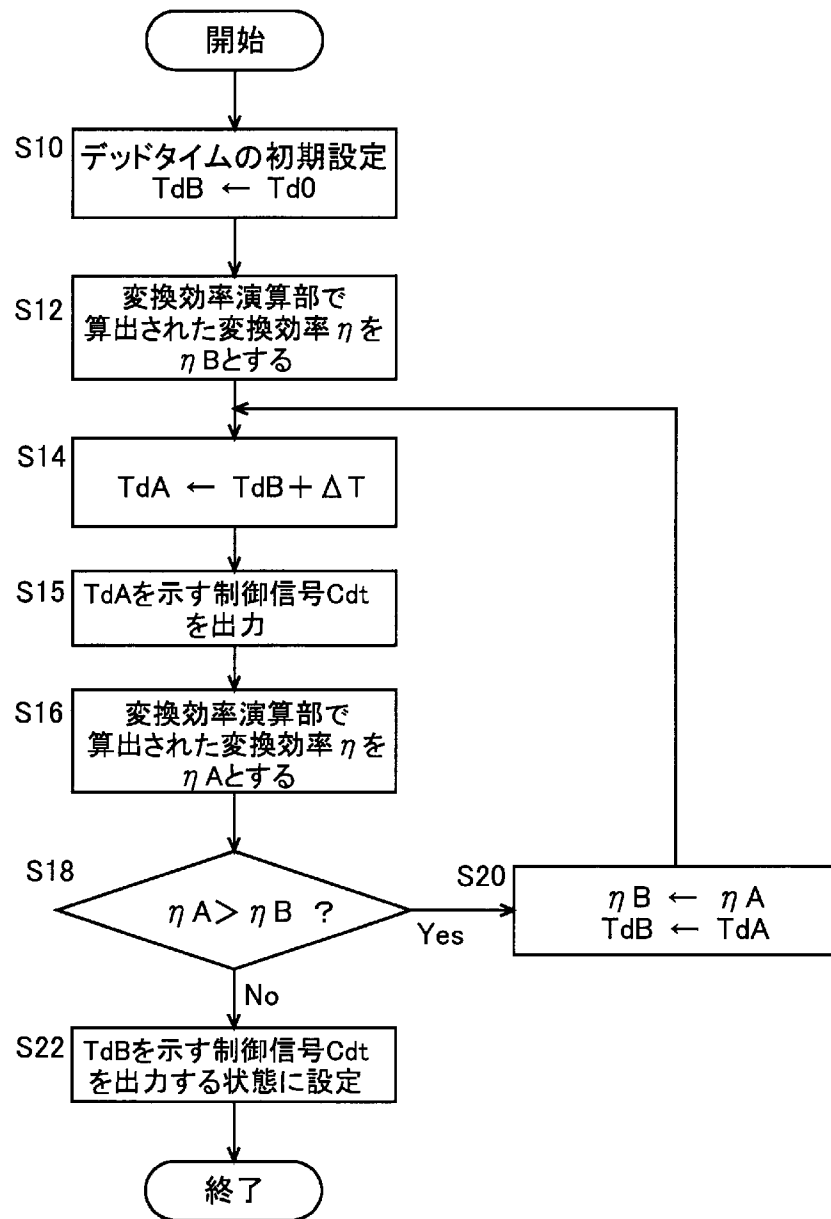
[図2]



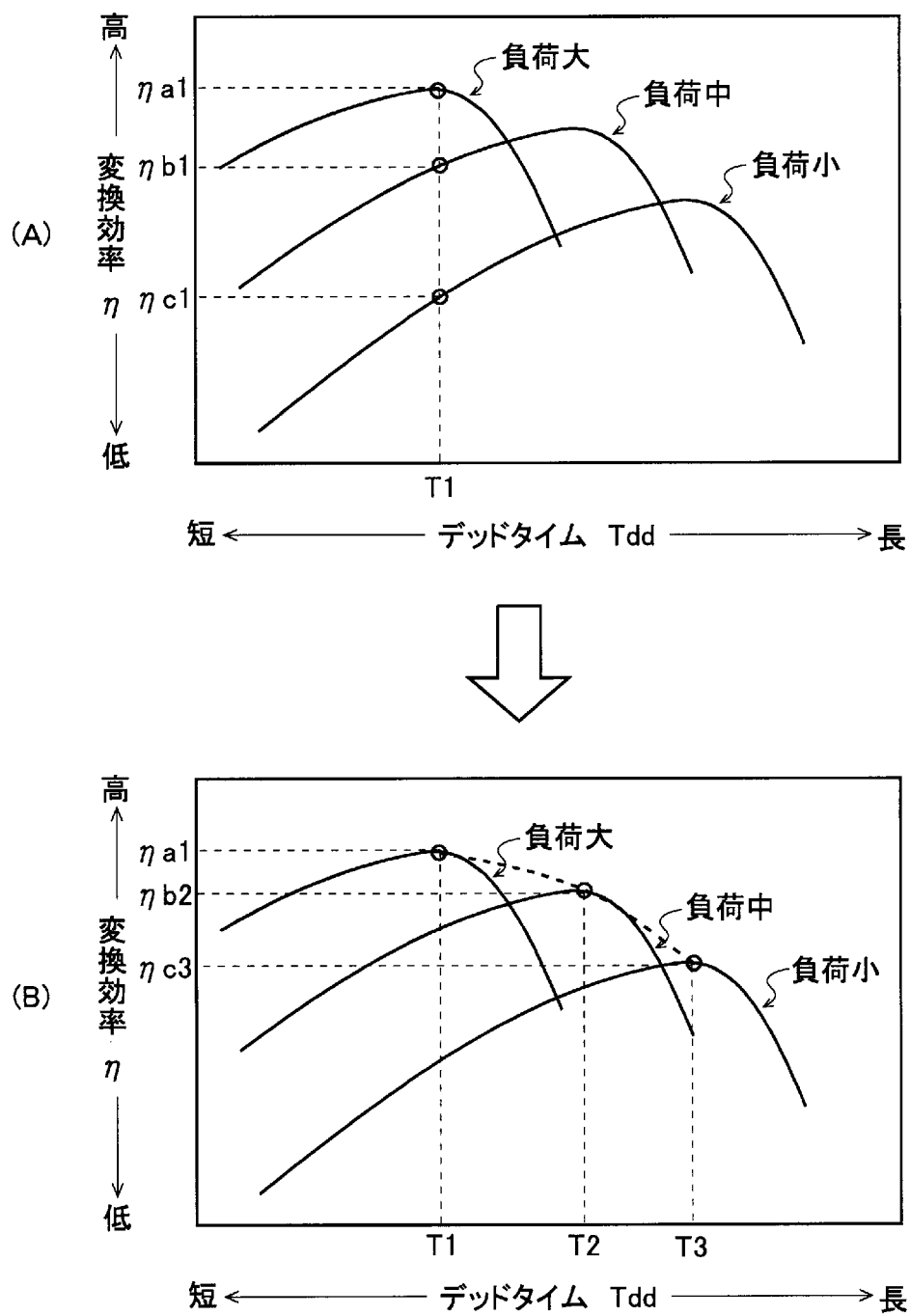
[図3]



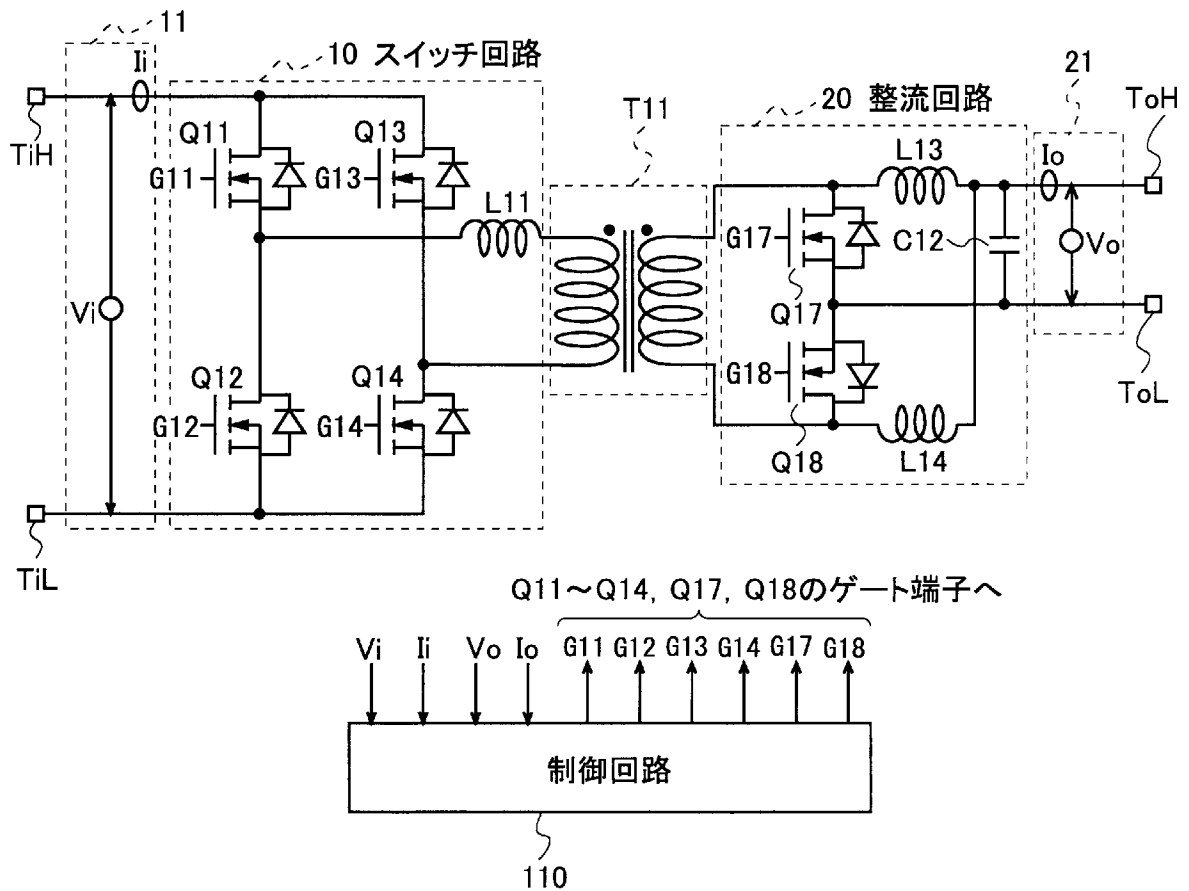
[図4]



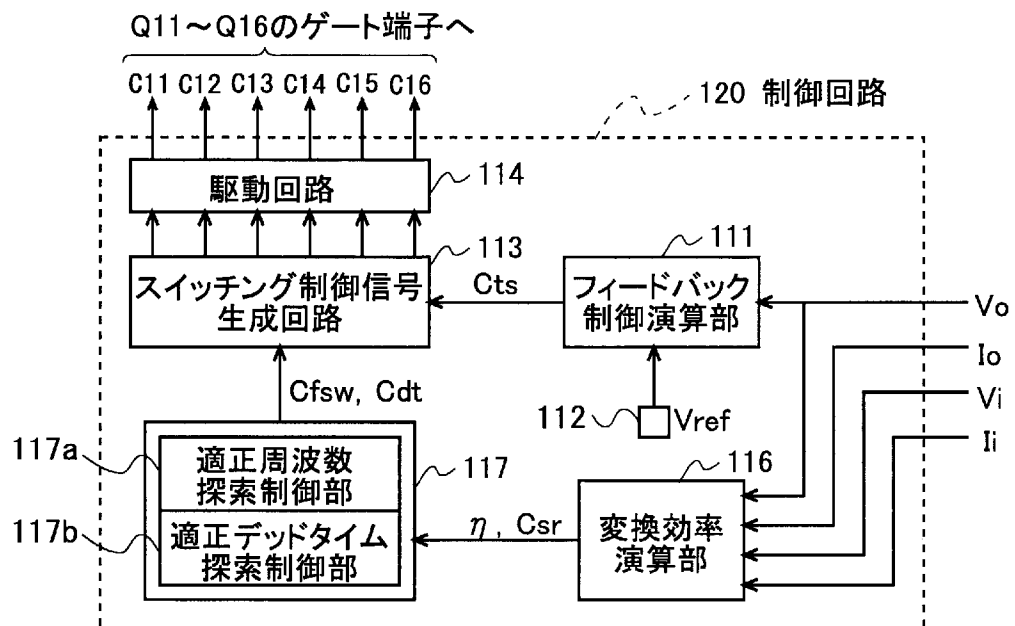
[図5]



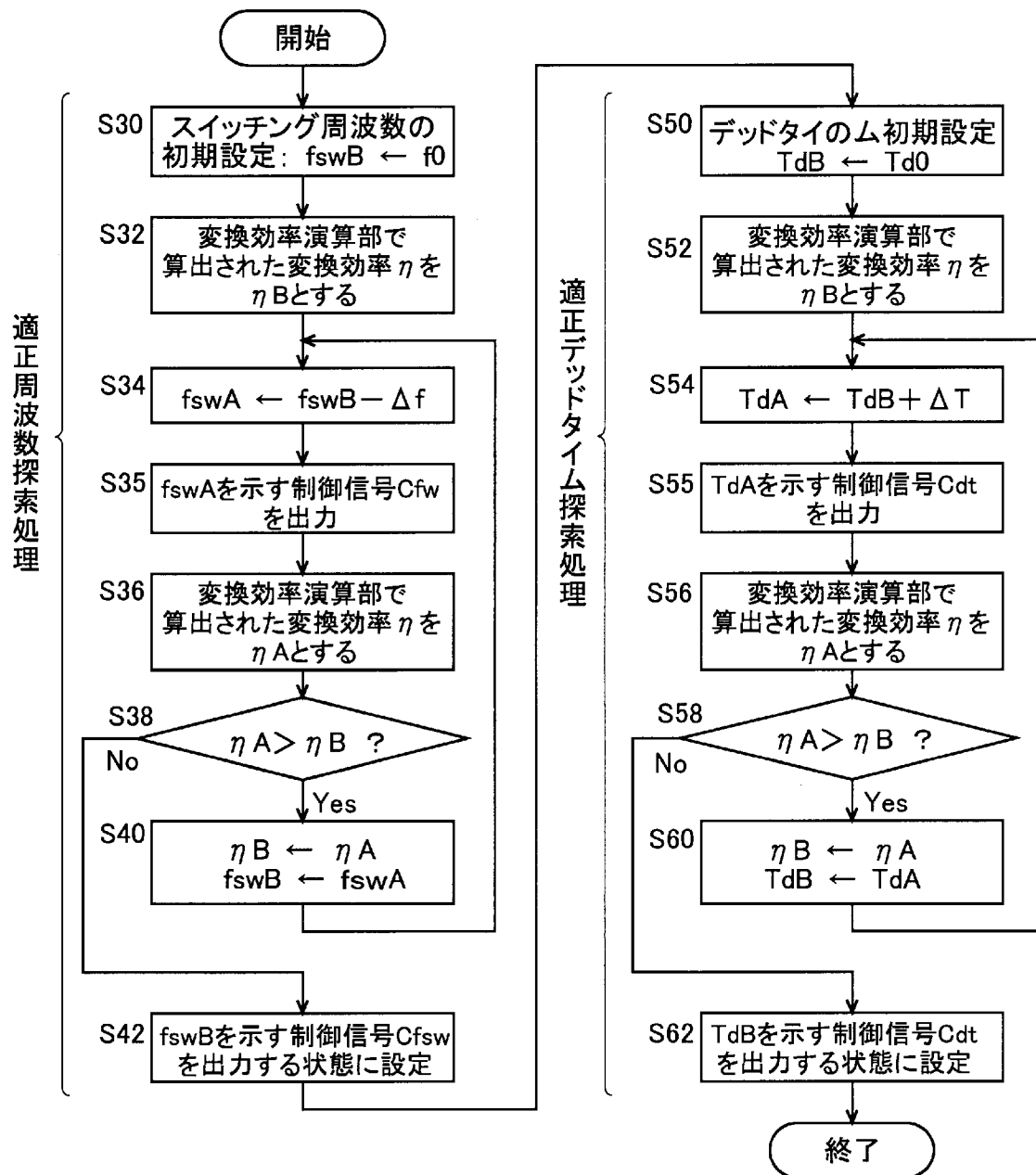
[図6]



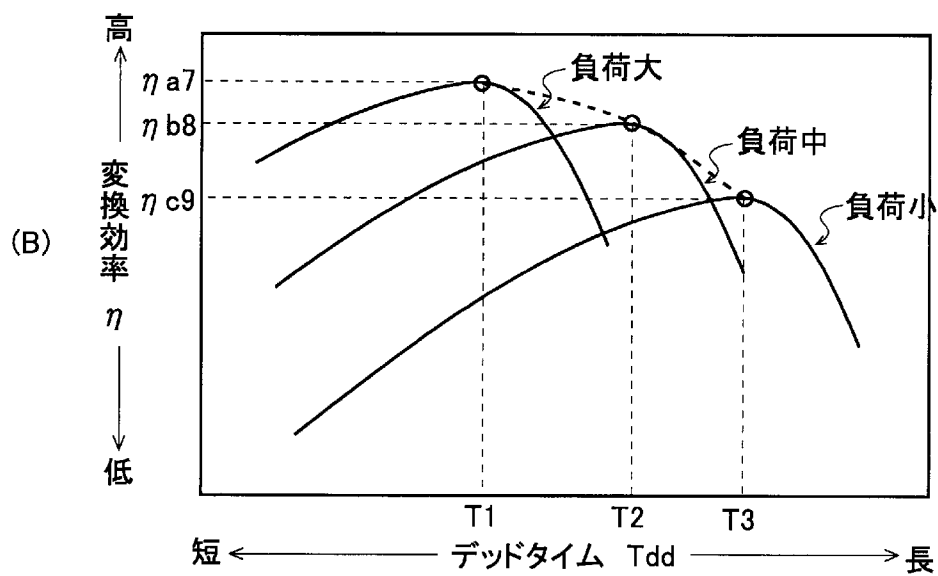
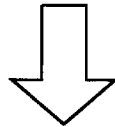
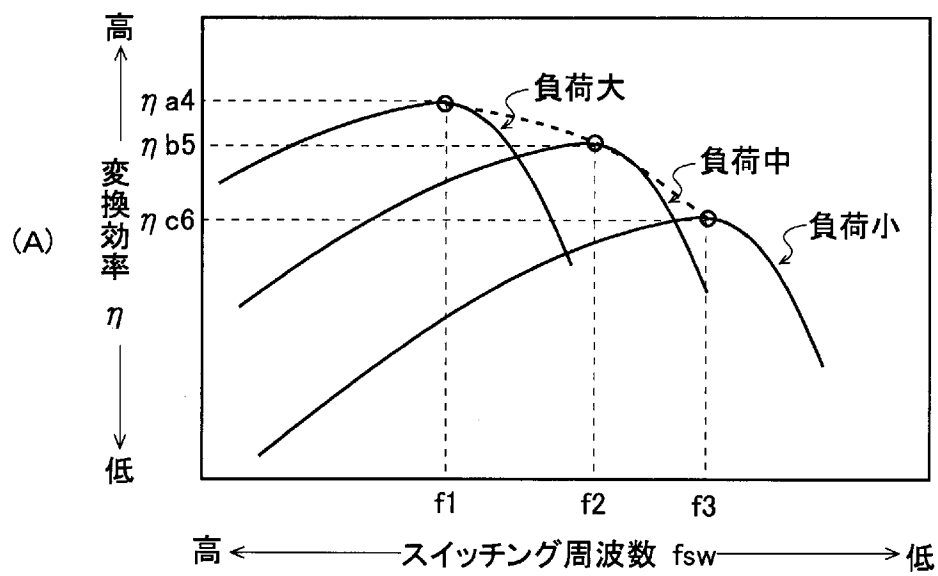
[図7]



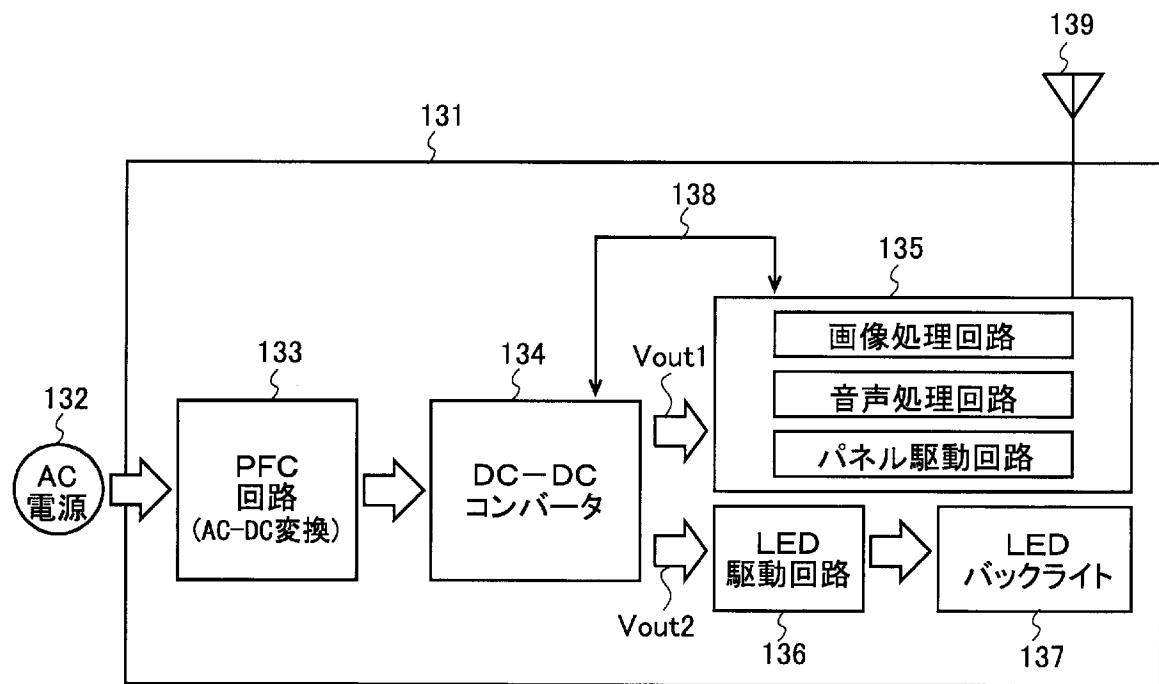
[図8]



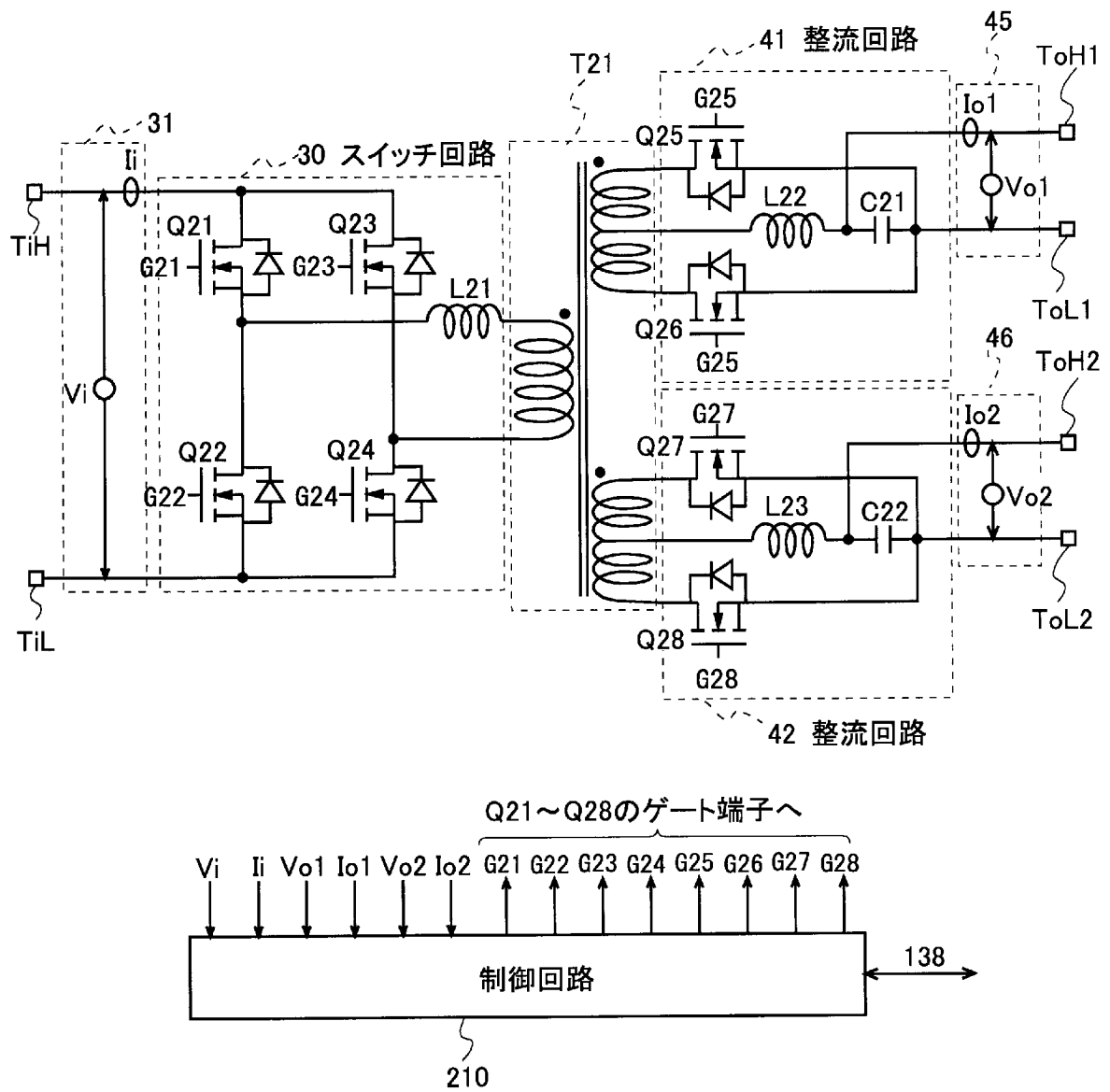
[図9]



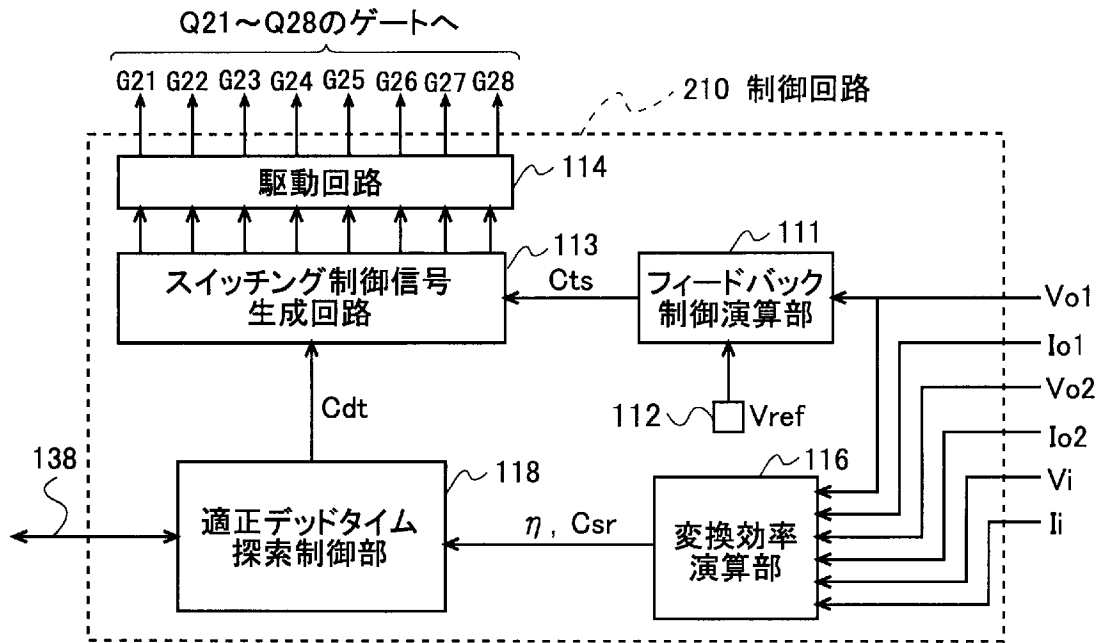
[図10]



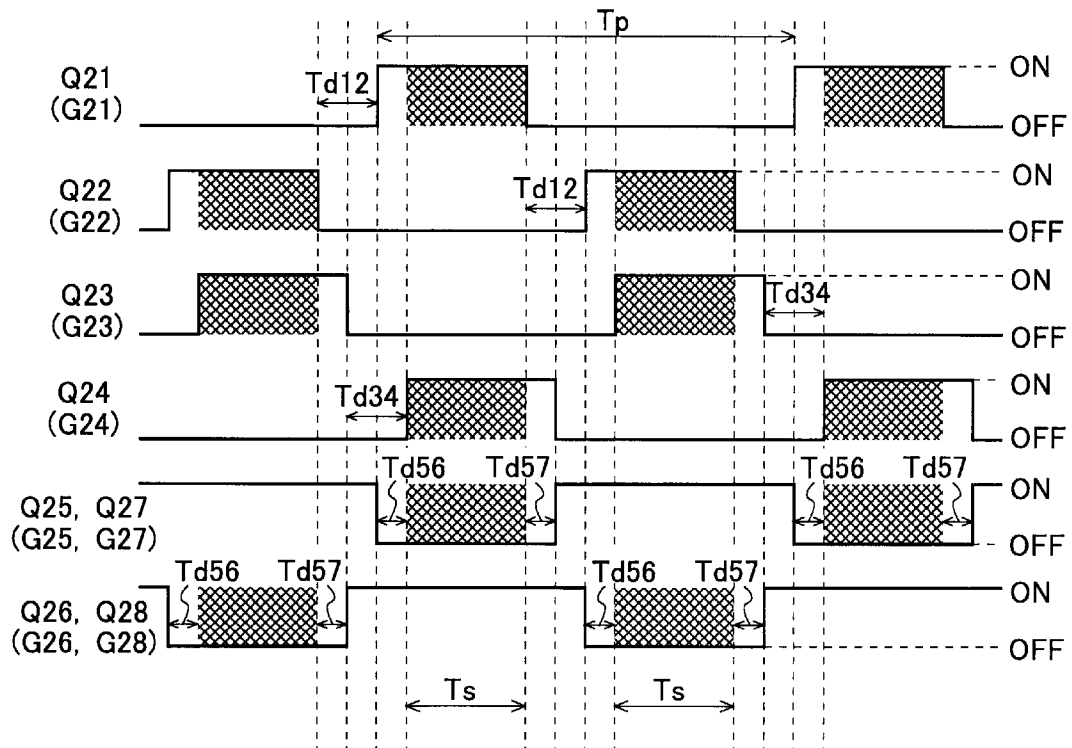
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061990

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2005/0281058 A1 (BATARSEH, Issa), 22 December 2005 (22.12.2005), paragraphs [0023] to [0035], [0041]; fig. 1 to 5 & WO 2006/009576 A2 & CN 101176049 A	1-2, 4-5, 7-11 3, 6
X Y A	WO 2015/079573 A1 (Shindengen Electric Mfg. Co., Ltd.), 04 June 2015 (04.06.2015), paragraphs [0014] to [0086]; fig. 1 to 3, 5 to 11 (Family: none)	1-2, 7, 10 4-5, 8-9, 11 3, 6
Y	JP 2010-193684 A (Oki Power Tech Co., Ltd.), 02 September 2010 (02.09.2010), paragraphs [0050] to [0059]; fig. 1, 4 (Family: none)	4-5, 8-9, 11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 June 2016 (17.06.16)

Date of mailing of the international search report
28 June 2016 (28.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

Object to be covered by this search:

Claim 8 discloses "the power conversion device according to claims 1 to 7, characterized in that, when a correct switching frequency is requested by the correct frequency search process, the first and second switching control signals are generated so that the first and second high-voltage side switching elements and the first and second low-voltage side switching elements are turned on and off at the correct frequency".

However, claims 1-3 and 7, which claim 8 references, does not include the phrases "correct frequency search process" and "correct frequency".

Accordingly, when claim 8 references claims 1-3 and 7, it is unclear what are being referred to by "the correct frequency search process" and "the correct frequency".

Also the invention of claim 9 referring to claim 8 is unclear on account of similar reason.

Consequently, the inventions of claims 8-9 are unclear.

In the case that claim 8 refers to claims 1-3 and 7, a meaningful search cannot be carried out since the inventions of claims 8-9 are unclear as said above.

Accordingly, with reference to claims 8-9, the search has been conducted with the understanding that the wording "the power conversion device according to claims 1 to 7" in claim 8 means "the power conversion device according to claims 2 to 6".

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/28 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	US 2005/0281058 A1 (BATARSEH, Issa) 2005.12.22, 段落 [0023] - [0035], [0041], 図1-5 & WO 2006/009576 A2 & CN 101176049 A	1-2, 4-5, 7-11 3, 6
X Y A	WO 2015/079573 A1 (新電元工業株式会社) 2015.06.04, 段落 [0014] - [0086], 図1-3, 5-11 (ファミリーなし)	1-2, 7, 10 4-5, 8-9, 11 3, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17.06.2016

国際調査報告の発送日

28.06.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 秀一

5 G

3357

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-193684 A (沖パワーテック株式会社) 2010.09.02, 段落 [0 0 5 0] – [0 0 5 9], 図 1 , 4 (ファミリーなし)	4-5, 8-9, 11

<調査の対象について>

請求項 8 には、「前記適正周波数探索処理により適正スイッチング周波数が求められたときに、前記第 1 および第 2 高圧側スイッチング素子ならびに前記第 1 および第 2 低圧側スイッチング素子が当該適正周波数でオン・オフするように前記第 1 および第 2 のスイッチング制御信号を生成することを特徴とする、請求項 1 から 7 に記載の電力変換装置」との記載がある。

しかしながら、請求項 8 が引用する請求項 1－3，7 には、「適正周波数探索処理」、「適正周波数」との記載はない。したがって、請求項 8 が請求項 1－3，7 を引用する場合、「前記適正周波数探索処理」、「当該適正周波数」との記載が何を指すのかが不明確である。

請求項 8 を引用する請求項 9 についても、同様の理由により、発明が不明確である。

よって、請求項 8－9 に係る発明は明確でない。

そして、請求項 8 が請求項 1－3，7 を引用する場合、上記のとおり請求項 8－9 に係る発明が明確でないため有意義な調査を行うことができない。

したがって、請求項 8－9 については、請求項 8 の「請求項 1 から 7 に記載の電力変換装置」との記載が「請求項 2 から 6 に記載の電力変換装置」を意味すると解して調査を行った。