



Patent dodatkowy
do patentu nr _____

Zgłoszono: 09.09.76 (P. 192295)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 13.03.78

Opis patentowy opublikowano: 31.12.1980

Int. Cl.² H03G 7/08

CZYTELNIA

Urząd Patentowy
Polskiej Rzeczypospolitej
Lubowskiej

Twórcy wynalazku: Miklós Magyar, György Somogyi, Levente Haász

Uprawniony z patentu: Elektroakusztikai Gyár, Budapeszt (Węgry)

Kompresor dynamiki

1

Przedmiotem wynalazku jest kompresor dynamiki, przeznaczony do zastosowania w urządzeniach studyjnych radiofonicznych i telewizyjnych.

Sygnały elektryczne programu radiofonicznego lub telewizyjnego przeznaczone do utrwalania na taśmie magnetycznej lub innym nośniku, a także przesyłane łącznie modulacyjnym do nadajnika, powinny odznaczać się określonym poziomem dynamiki, nie przekraczającym pewnego ustalonego poziomu. Realizowane jest to za pomocą specjalnych układów, które są nazywane ogranicznikami dynamiki, lub po prostu kompresorami dynamiki. Zadaniem tych kompresorów dynamiki jest sprowadzenie przesyłanych sygnałów do określonego ściśle poziomu w tym przypadku, gdy przekazywany sygnał ma poziom dynamiki przekraczający ustalony poziom progowy. Jest to konieczne z tego względu, gdyż w przeciwnym przypadku można spowodować przesterowanie urządzeń odbierających przesyłany sygnał, co z kolei przejawiać się może w powstawaniu dużych zniekształceń, albo też w przesterowaniu wzmacniaczy mocy na stacji nadawczej, a nawet i nadajnika. Z tego względu kompresory dynamiki są urządzeniami powszechnie stosowanymi w technice nadawczo-odbiorczej.

Ograniczniki dynamiki zmniejszające różnicę pomiędzy sygnałami najmniejszymi i największymi powodują przy tym zwiększenie średniego poziomu przesyłanych sygnałów programowych w stosunku

2

do średniego poziomu sygnałów elektrycznych przesyłanych bez kompresji dynamiki.

Znane dotychczas kompresory dynamiki wprowadzają spełniając ogólne wymagania, które są przed nimi stawiane, jednakże obciążone są one pewnymi wadami.

W celu zapewnienia małych zniekształceń nieliniarnych wyjściowego sygnału ograniczonego czasu powrotu do stanu pierwotnego w przypadku maksymalnego przesterowania powinien wynosić w przybliżeniu 1 s, chociaż w niektórych konkretnych przypadkach wymagany jest o wiele krótszy czas powrotu. Po przesterowaniu, trwającym od 1 do 5 ms, czas powrotu zależy od wartości przesterowania. Tak samo czas powrotu do stanu początkowego zależy od czasu trwania przesterowania. W związku z tym w przypadkach dużych przesterowań oraz w przypadkach długotrwałych przesterowań obserwuje się nieprzyjemne zjawisko, wywołane na skutek zbyt długich czasów powrotu, a mianowicie zjawisko zaniku dźwięku. Poza tym w przypadku jednoczesnego odbioru informacji wielokanałowej, przesyłanej maksymalnie sześcioma kanałami, na przykład przy odbiorze programu stereofonicznego lub kwadrofonicznego, znane rozwiązania nie zapewniają synchronizmu procesu ograniczania, gdyż zagadnienie synchronizmu działania wielu ograniczników do tej pory nie jest rozwiązane.

Wymienionymi wadami są obarczone zarówno kompresory produkcji krajowej jak i zagranicznej.

Celem wynalazku jest zaprojektowanie kompresora dynamiki przeznaczonego do zastosowania w studyjnych urządzeniach radiofonicznych, pozbawionego wad, właściwych znanym rozwiązaniom kompresorów dynamiki, zapewniającego możliwość synchronicznego działania ograniczników w przypadku nadawania programów stereofonicznych i kwadrofonicznych.

Cel został osiągnięty w wyniku zaprojektowania kompresora dynamiki zawierającego układ wejściowy, którego wejście stanowi wejście kompresora, ogranicznik, dołączony do wyjścia układu wejściowego, układ wyjściowy dołączony do ogranicznika, którego do układu wyjściowego wyjście stanowi wyjście kompresora dynamiki, prostownik, dołączony do wyjścia układu wyjściowego, układ opóźniający dołączony do wyjścia prostownika oraz mieszacz dołączony do wyjścia obwodu opóźniającego, którego wyjście dołączone jest do drugiego wejścia ogranicznika oraz do linii zbiorczej, rozpraszającej napięcie sterujące do innych ograniczników.

Według wynalazku do zacisku wejściowego układu opóźniającego są dołączone równoległe obwody ładowania oraz katoda pierwszej diody. Do wyjścia pierwszego obwodu ładowania dołączone są pierwszy kondensator z załączonym do niego równoległe pierwszym rezystorem, jedno z wejść pierwszego komparatora, jedno z wejść trzeciego komparatora oraz katody diod drugiej i trzeciej. Do wyjścia drugiego obwodu ładowania są dołączone drugi kondensator, anoda czwartej diody, jedno z wyprowadzeń drugiego rezystora, którego drugie wyprowadzenie jest połączone z jednym z wyprowadzeń trzeciego rezystora, oraz wejście pierwszego wzmacniacza operacyjnego. Do wyjścia trzeciego obwodu ładowania dołączony jest czwarty rezystor połączony szeregowo z trzecim kondensatorem, którego to trzeciego kondensatora punkt połączenia z czwartym rezystorem jest bezpośrednio połączony z jednym z wejść drugiego komparatora oraz z katodą piątej diody, której anoda dołączona jest do wejścia drugiego wzmacniacza operacyjnego, połączonego poprzez szóstą diodę z wyjściem pierwszego wzmacniacza operacyjnego. Anoda pierwszej diody jest połączona z czwartym kondensatorem oraz z dołączonym równoległe do czwartego kondensatora dzielnikiem napięcia, składającym się z szóstego rezystora i połączonego szeregowo z nim siódmego rezystora. Wspólny punkt połączenia rezystorów szóstego i siódmego jest dołączony do drugiego wejścia drugiego komparatora. Wyjście pierwszego wzmacniacza operacyjnego poprzez drugi dzielnik jest dołączony do drugiego wejścia trzeciego komparatora, a wyjście drugiego wzmacniacza operacyjnego jest połączone poprzez pierwszy dzielnik z drugim wejściem pierwszego komparatora. Wyjście komparatorów drugiego i trzeciego są dołączone odpowiednio do dwóch wejść obwodu sumującego, którego wyjście jest dołączone do jednego z wejść pierwszego obwodu rozładowania, którego drugie wejście jest połączone z anodami diod trzeciej i siódmej.

Wyjście pierwszego komparatora jest połączone z jednym z wejść drugiego obwodu rozładowania, którego drugie wejście jest połączone poprzez regulowany piąty rezystor z anodami diod drugiej i ósmej, przy czym katoda siódmej diody jest połączona z punktem połączenia drugiego i trzeciego rezystorów, a katoda ósmej diody jest połączona z drugim wyprowadzeniem trzeciego rezystora.

Korzystnym jest, gdy do wejścia mieszacza dołączone jest wejście nieodwracające wzmacniacza operacyjnego, którego wyjście dołączone jest do katody diody, której anoda stanowi wyjście mieszacza, a między wejściem odwracającym wzmacniacza operacyjnego i wyjściem mieszacza załączony jest rezystor.

Rozwiązanie według wynalazku jest bliżej objaśnione na przykładzie wykonania, przedstawionym na załączonym rysunku, na którym fig. 1 przedstawia schemat blokowy kompresora dynamiki, fig. 2 — układ opóźniający, stosowany w kompresorach dynamiki, a fig. 3 przedstawia układ mieszacza.

Kompresor dynamiki, przedstawiony na fig. 1, składa się z układu wejściowego 1, ogranicznika 2, układu wyjściowego 3, układu opóźniającego 5, prostownika 4 i mieszacza 6. Wejście A układu wejściowego 1 jest wejściem kompresora dynamiki. Wyjście B układu wejściowego 1 jest połączone z pierwszym wejściem C ogranicznika 2, którego wyjście D jest połączone z wejściem F układu wyjściowego 3. Pierwsze wyjście G układu wyjściowego 3 jest wyjściem kompresora dynamiki, a drugie wyjście H obwodu wyjściowego 3 jest połączone z wejściem I prostownika 4, którego wyjście J jest połączone z wejściem K układu opóźniającego 5. Wyjście L układu opóźniającego 5 jest połączone z wejściem M mieszacza 6, którego wyjście N jest połączone z drugim wejściem E ogranicznika 2 oraz do wejścia lub wyjścia urządzenia, wytwarzającego napięcie sterujące.

Układ wejściowy 1, ogranicznik 2, układ wyjściowy 3 i prostownik 4 są znanymi od dawna układami, stosowanymi w urządzeniach studyjnych. Są one wbudowane w urządzenie jako „czarne skrzynki”.

Układ opóźniający 5 jest przedstawiony na fig. 2. Zgodnie z wynalazkiem do zacisku wejściowego K tego układu są dołączone wejścia obwodów prądowych A/1, A/2, A/3 oraz katoda diody D8. Obwody prądowe A/1, A/2, A/3 są obwodami ładowania. Wyjście pierwszego obwodu ładowania A/1 jest dołączone do obwodu równoległego, składającego się z kondensatora C1 i rezystora R1, do jednego z wejść komparatora K/3, do katod diod D5, D6 i do jednego z wejść komparatora K/1. Anoda diody D5 jest połączona z anodą diody D4 i, poprzez rezystor regulowany R5 z wejściem obwodu rozładowywania Z/2. Anoda diody D6 jest połączona z anodą diody D7 oraz z wejściem obwodu rozładowywania Z/1. Drugie wejście obwodu rozładowywania Z/2 jest połączone z wyjściem pierwszego komparatora K/1. Wyjście drugiego obwodu ładowania A/2 jest połączone z wejściem pierwszego wzmacniacza operacyjnego B/1 oraz z kondensatorem C2, do którego jest dołączony obwód, składający się z załączonych

szeregowo dwóch rezystorów **R2** i **R3**. Punkt połączenia tych rezystorów **R2**, **R3** jest połączony z katodą diody **D7**, a drugie wyprowadzenie rezystora **R3** jest połączone z katodą diody **D4**. Punkt połączenia rezystora **R2** i kondensatora **C2** jest połączony z anodą diody **D3**. Wyjście trzeciego obwodu ładowania **A/3** jest połączone z obwodem szeregowym, składającym się z rezystora **R4** i kondensatora **C3**. Punkt połączenia rezystora **R4** i kondensatora **C3** połączony jest z katodą diody **D3**, z jednym z wejść drugiego komparatora **K/2** oraz z katodą diody **D2**, której anoda jest dołączona do wejścia drugiego wzmacniacza operacyjnego **B/2**. Do wejścia wzmacniacza operacyjnego **B/2** dołączona jest również anoda diody **D1**, której katoda jest połączona z wyjściem pierwszego wzmacniacza operacyjnego **B/1**. Do wyjścia pierwszego wzmacniacza operacyjnego **B/1** dołączone jest wejście obwodu dzielnika **Y/2**, którego wyjście jest dołączone do drugiego wejścia trzeciego komparatora **K/3**. Wyjście drugiego wzmacniacza operacyjnego **B/2** dołączone jest do wejścia obwodu dzielnika **Y/1**, którego wyjście jest dołączone do drugiego wejścia pierwszego komparatora **K/1**.

Anoda diody **D8** jest połączona z kondensatorem **C4**. Punkt połączenia anody diody **D8** i kondensatora **C4** jest połączony z obwodem składającym się z załączonych szeregowo rezystorów **R6** i **R7**. Punkt połączenia rezystora **R6** i rezystora **R7** jest dołączony do drugiego wejścia drugiego komparatora **K/2**, którego wyjście jest dołączone z kolei do jednego z wejść obwodu sumującego Σ , którego drugie wejście jest połączone z wyjściem trzeciego komparatora **K/3**, a wyjście — do drugiego wejścia pierwszego obwodu rozładowywania **Z/1**.

Sygnał doprowadzany do wejścia **K** z wyjścia **H** prostownika **4** doprowadzony jest do trzech obwodów ładowania **A/1**, **A/2**, **A/3**. Poprzez pierwszy obwód ładowania **A/1** ładowany jest pierwszy kondensator **C1**, poprzez drugi obwód ładowania **A/2** ładowany jest drugi kondensator **C2**, a poprzez trzeci obwód ładowania **A/3** ładowany jest trzeci kondensator **C3**. Drugi kondensator **C2** jest dołączony bezpośrednio do wejścia pierwszego wzmacniacza operacyjnego **B/1**, a trzeci kondensator **C3** jest podłączony za pośrednictwem diody **D2** do wejścia drugiego wzmacniacza operacyjnego **B/2**. Wzmacniacze operacyjne **B/1** i **B/2** pracują jako wzmacniacze-separatory o dużej impedancji wejściowej, dzięki czemu ich wpływ na pracę kondensatorów **C2** i **C3** jest do pominięcia.

Wyjście pierwszego wzmacniacza operacyjnego **B/1** poprzez diodę **D1** jest połączone z wejściem drugiego wzmacniacza operacyjnego **B/2**. Na wyjściu drugiego wzmacniacza operacyjnego **B/2** uzyskuje się napięcie odpowiadające napięciu uzyskiwanemu na kondensatorze **C2** lub **C3**. Napięcie to jest napięciem wyjściowym uzyskiwanym na wyjściu **L** i doprowadzanym do wejścia **M** mieszacza **6**.

Sygnał, uzyskiwany na kondensatorze **C1** doprowadzany jest bezpośrednio do jednego z wejść pierwszego komparatora **K/1**. Do drugiego wejścia tego komparatora **K/1** doprowadzany jest poprzez dzielnik **Y/1** sygnał z wyjścia drugiego wzmacnia-

cza operacyjnego **B/2**. Współczynnik podziału dzielnika **Y/1** jest tak dobrany, aby napięcia doprowadzane do wejść komparatora **K/1** z naładowanych kondensatorów **C1** i **C2** były prawie jednakowe. Gdy do wejść komparatora **K/1** doprowadzane są z naładowanych kondensatorów **C1** i **C2** jednakowe napięcia, wówczas na wyjściu tego komparatora ustala się dodatnie napięcie, równe na przykład $+10$ V. Jeżeli napięcie na kondensatorach **C2**, **C3** zaczyna się zmniejszać, wówczas rozpoczyna się proces rozładowywania się kondensatora **C1** poprzez rezystor **R1**, dołączony równolegle do kondensatora **C1**. Wszystkie obwody dołączone do obwodów **RC** są obwodami praktycznie nie obciążającymi obwody **RC**, dlatego te obwody nie zniekształcają przebiegów, związanych z ładowaniem i rozładowywaniem się kondensatorów. Gdy napięcie doprowadzane z kondensatora **C1** staje się mniejsze od napięcia dostarczanego z kondensatorów **C2** i **C3** o uprzednio określoną wartość, wówczas zmienia się biegunowość napięcia, uzyskiwanego na wyjściu komparatora a mianowicie ustala się na wyjściu komparatora **K/1** ujemne napięcie równe, na przykład -10 V.

Obwód prądowy rozładowywania **Z/2** sterowany jest przez komparator **K/1**. Gdy napięcie wyjściowe komparatora **K/1** jest dodatnie, obwód rozładowania **Z/2** jest zamknięty. Gdy napięcie wyjściowe komparatora **K/1** jest ujemne, obwód rozładowania **Z/2** jest otwarty. Otwarcie obwodu rozładowania **Z/2** wywołuje proces rozładowywania się również i kondensatorów **C2** i **C3**. Szybkość tego procesu określona jest wartością rezystancji regulowanego rezystora **R5**. W momencie, gdy napięcia na kondensatorach **C1**, **C2** i **C3** wyrównują się, napięcie wyjściowe komparatora **K/1** zmienia znak, stając się dodatnim, co powoduje zamknięcie obwodu rozładowania **Z/2** i zakończenie procesu rozładowania. Okres czasu, który upływa od momentu, w którym ma miejsce zmniejszenie się napięcia na kondensatorach **C2**, **C3**, do momentu, w którym rozpoczyna się rozładowywanie się tych kondensatorów, zależy od stałej czasu obwodu, utworzonego z kondensatora **C1** i rezystora **R1**, a także od współczynnika podziału dzielnika **Y/1**. W przypadku prostowania dwupołówkowego ten okres czasu jest o 20% większy od półokresu składowej o najmniejszej częstotliwości. Gdy częstotliwość takiej składowej wynosi 30 Hz, wówczas czas ten wynosi 20 ms. Czas rozładowania jest określony przez stałą czasową obwodu, składającego się z regulowanego rezystora **R5** i kondensatorów **C1**, **C2**, **C3**.

Mały czas powrotu do stanu wyjściowego wymaga szybkiego rozładowania kondensatora, ładowanego napięciemysterowującym. Jest to zapewnione dzięki pośredniemu lub bezpośredniemu dołączeniu na stałe w obwodzie rozładowania kondensatorów rezystora o odpowiednio małej rezystancji, obciążającego kondensatory wtedy, gdy zmiany kształtu krzywej napięcia są duże. Zaletą wyżej opisanego układu jest to, że kondensatory są nieobciążane wówczas, gdy napięcie na kondensatorach zwiększa się lub pozostaje na niezmiennym poziomie, i że niezależnie od rozładowania

trwającego około 20 ms napięcie wyjściowe wzmacniacza operacyjnego, z opóźnieniem nastawionym za pomocą rezystora **R5** w granicach od 50 ms do 2,5 s (przy przesterowaniu wynoszącym 10dB), w postaci odfiltrowanej bez jakiegokolwiek przydźwięku, przekazywane jest dalej jako napięcie sterujące.

Wymagania, stawiane przed układem opóźniającym 5 w warunkach krótkotrwałych przesterowań, są spełniane dzięki obwodowi, załączonemu na wejściu układu 5, a składającemu się z diody **D8**, połączonej szeregowo z kondensatorem **C4** i rezystorów **R6**, **R7** połączonych ze sobą szeregowo i dołączonych równolegle do kondensatora **C4** i kondensatora **C3**, załączonego na wyjściu trzeciego obwodu ładowania **A/3** i ładowanemu poprzez rezystor **R4**. Napięcia uzyskiwane na tych kondensatorach są doprowadzane do dwóch wejść drugiego komparatora **K/2**. Sygnał wyjściowy pierwszego wzmacniacza operacyjnego **B/1** i napięcie uzyskiwane na kondensatorze **C1** są doprowadzane do dwóch wejść trzeciego komparatora **K/3**. Sygnały wyjściowe drugiego i trzeciego komparatorów są doprowadzane do dwóch wejść obwodu sumującego Σ . Sygnał wyjściowy obwodu sumującego doprowadzany jest do jednego z wejść obwodu prądowego rozładowania **Z/1**. Między wyjściem wzmacniacza operacyjnego **B/1** a wejściem trzeciego komparatora **K/3** załączony jest drugi dzielnik **Y/2**. Rezystancja obwodu ładowania kondensatora **C4** jest bardzo mała, wyznaczona praktycznie przez rezystancję diody **D8**, spolaryzowanej w kierunku przewodzenia. Z powodu, że stała czasu obwodu ładowania kondensatora **C4** jest bardzo mała, kondensator ten ładuje się w bardzo krótkim czasie, o wiele krótszym, niż wynosi czas ładowania kondensatora **C3**, wyznaczony przez stałą czasu obwodu, składającego się z rezystora **R4** i kondensatora **C3**. Gdy napięcia doprowadzane do obu wejść drugiego komparatora **K/2** stają się jednakowe, wówczas napięcie wyjściowe tego komparatora staje się ujemne, równe na przykład $-10V$, i pozostaje ujemnym tak długo, jak długo napięcie doprowadzane z kondensatora **C3** pozostaje większe od napięcia, doprowadzanego do drugiego wejścia komparatora **K/2** z dzielnika **R6**, **R7**, dołączonego równolegle do kondensatora **C4**, lub jemu równe. Gdy napięcie wejściowe układu 5 doprowadzane do jego wejścia wzrasta, następuje bardzo szybki wzrost napięcia na kondensatorze **C4**. W momencie czasu, w którym napięcie doprowadzane z kondensatora **C4** przewyższy napięcie, doprowadzane z kondensatora **C3**, napięcie wyjściowe komparatora **K/2** zmienia znak, stając się dodatnim, równym na przykład $+10V$ i pozostaje dodatnim przez około 10 ms, bowiem z takim opóźnieniem ładuje się kondensator **C3** względem kondensatora **C4**. W ten sposób na wyjściu drugiego komparatora **K/2** są wytwarzane dodatnie impulsy o czasie trwania równym około 10 ms — przy szybkich zmianach napięcia wystawiającego układ 5.

Trzeci komparator **K/3** działa podobnie, to znaczy na wyjściu tego komparatora utrzymuje się ujemne napięcie, równe na przykład $-10V$ wówczas, gdy napięcia doprowadzone do jego obu wejść są jed-

nakowe, lub gdy napięcie doprowadzane do jego wejścia z kondensatora **C1** pozostaje większe od napięcia doprowadzanego do jego drugiego wejścia z wyjścia dzielnika **Y/2**. Przy zmniejszeniu się napięcia na kondensatorze **C1** względem napięcia na wyjściu dzielnika **Y/2** napięcie wyjściowe trzeciego komparatora **K/3** zmienia znak, stając się dodatnim, równym na przykład $+0V$. Napięcie wyjściowe komparatora **K/3** staje się z powrotem ujemne, gdy napięcie na kondensatorze **C1** staje się większe lub równe napięciu, doprowadzanemu do tego komparatora z wyjścia pierwszego wzmacniacza operacyjnego **B/1**. Zmiana biegunowości napięcia wyjściowego komparatora **K/3** następuje z opóźnieniem równym 2—3 ms w stosunku do momentu rozpoczęcia się procesu rozładowywania kondensatora **C1**. Opóźnienie to jest określane współczynnikiem podziału napięcia przez dzielnik **Y/2** i stałą czasu obwodu, składającego się z rezystora **R1** i kondensatora **C1**.

Jeżeli do obu wejść obwodu sumującego Σ doprowadzane są jednocześnie dwa napięcia dodatnie lub dwa napięcia ujemne, wówczas na wyjściu obwodu sumującego Σ wytwarzany jest sygnał, który powoduje ustawienie obwodu rozładowania **Z/1** w stan przewodzenia. Wówczas następuje bardzo szybkie rozładowanie — w przybliżeniu w ciągu około 10 ms — kondensatorów **C1**, **C2**, **C3** przez rezystor **R2** i diody **D6**, **D7**.

Zaletą układu według wynalazku jest to, że po ustaniu przesterowania ogranicznika, działającego przez 5—6 ms w sposób impulsowy, można osiągnąć bardzo szybki powrót — w ciągu maksimum 15 ms — do stanu pierwotnego niezależnie od nastawienia rezystora **R5**. Dzięki temu nie są pogarszane parametry sygnału wyjściowego, poddawanego sterowaniu.

Na fig. 3 przedstawiony jest schemat elektryczny mieszacza 6. Mieszacz 6 składa się ze wzmacniacza operacyjnego **B3**, którego wejście nieodwracające jest połączone z wejściem **M** mieszacza. Do wyjścia wzmacniacza operacyjnego **B3** dołączona jest katóda diody **D9**, której anoda jest połączona z wejściem odwracającym wzmacniacza operacyjnego **B3** poprzez rezystor **R8**. Anoda diody **D9** stanowi wyjście **N** mieszacza 6. Napięcie sterujące z wyjścia **N** jest doprowadzane do wejścia **E** ogranicznika 2. W przypadku programu stereofonicznego, kwadrofonicznego lub wielokanałowego napięcie sterujące z wyjścia **N** jest doprowadzane do linii zbiorczej, rozpraszającej napięcie sterujące do wszystkich ograniczników dynamiki.

Zaletą mieszacza według wynalazku jest to, że w obwód sprzężenia zwrotnego wzmacniacza operacyjnego **B3** włączona jest dioda **D9**, na skutek czego rezystancja obwodu w kierunku przewodzenia jak i w kierunku zaporowym oraz zależność parametrów obwodu od temperatury będą korzystnie małe.

Impedancja wyjściowa układu mierzona w punkcie połączenia diody **D9** z rezystorem **R8** jest bardzo mała, dlatego kilka analogicznych wzmacniaczy operacyjnych — takich, jak wzmacniacz **B3** — mogą być połączone ze sobą za pośrednictwem mieszacza małych wartości.

I chociaż impedancja wyjściowa poszczególnego obwodu prądowego jest bardzo mała, każdy z obwodów — również w przypadku napięcia o takiej samej biegunowości — widzi wyjście innego obwodu prądowego jako wyjście o dużej impedancji.

Jeżeli napięcie sterujące jednego ze współpracujących ze sobą ograniczników jest większe o 1—2 mV od napięcia sterującego innego ogranicznika, to ta mała różnica odwzorowywana jest na połączonych ze sobą wyjściach również i w obecności napięcia o poziomie mniejszym, niż wynosi napięcie progowe diod.

Zastrzeżenia patentowe

1. Kompresor dynamiki zawierający układ wejściowy, którego wejście stanowi wejście kompresora, ogranicznik, dołączony do wyjścia układu wejściowego, układ wyjściowy dołączony do ogranicznika, którego to układu wyjściowego wyjście stanowi wyjście kompresora dynamiki, prostownik, dołączony do wyjścia układu wyjściowego, układ opóźniający dołączony do wyjścia prostownika oraz mieszacz dołączony do wyjścia obwodu opóźniającego, którego wyjście dołączone jest do drugiego wejścia ogranicznika oraz do linii zbiorczej, rozprowadzającej napięcie sterujące do innych ograniczników, **znamienny tym**, że do zacisku wejściowego (K) układu opóźniającego (5) są dołączone równolegle obwody ładowania (A/1, A/2, A/3) oraz katoda pierwszej diody (D8), do wyjścia pierwszego obwodu ładowania (A/1) dołączone są pierwszy kondensator (C1) z załączonym do niego równolegle pierwszym rezystorem (R1), jedno z wejść pierwszego komparatora (K/1), jedno z wejść trzeciego komparatora (K/3) oraz drugiej katody (D5) i trzeciej (D6) diod, do wyjścia drugiego obwodu ładowania (A/2) są dołączone drugi kondensator (C2), anoda czwartej diody (D3), jedno z wyprowadzeń drugiego rezystora (R2), którego drugie wyprowadzenie jest połączone z jednym z wyprowadzeń trzeciego rezystora (R3), oraz wejście pierwszego wzmacniacza operacyjnego (B/1) do wyjścia trzeciego obwodu ładowania (A/3) dołączony jest czwarty rezystor (R4) połączony szeregowo z trzecim kondensatorem (C3), którego to

trzeciego kondensatora (C3) punkt połączenia z czwartym rezystorem (R4) jest bezpośrednio połączony z jednym z wejść drugiego komparatora (K/2) oraz z katodą piątej diody (D2), której anoda dołączona jest do wejścia drugiego wzmacniacza operacyjnego (B/2), połączonego poprzez szóstą diodę (D1) z wyjściem pierwszego wzmacniacza operacyjnego (B/1), którego wyjście jest wyjściem (L) układu opóźniającego (5), anoda pierwszej diody (D8) jest połączona z czwartym kondensatorem (C4) oraz z dołączonym równolegle do czwartego kondensatora (C4) dzielnikiem napięcia, składającym się z szóstego rezystora (R6) i połączonego szeregowo z nim siódmego rezystora (R7), wspólny punkt połączenia szóstego (R6) i siódmego (R7) rezystorów jest dołączony do drugiego wejścia drugiego komparatora (K/2), wyjście pierwszego wzmacniacza operacyjnego poprzez drugi dzielnik (Y/2) jest dołączony do drugiego wejścia trzeciego komparatora (K/3), a wyjście drugiego wzmacniacza operacyjnego (B/2) jest połączone poprzez pierwszy dzielnik (Y/1) z drugim wejściem pierwszego komparatora (K/1), wyjścia komparatorów drugiego (K/2) i trzeciego (K/3) są dołączone odpowiednio do dwóch wejść obwodu sumującego (Σ), którego wyjście jest dołączone do jednego z wejść pierwszego obwodu rozładowania (Z/1), którego drugie wejście jest połączone z anodami diod trzeciej (D6) i siódmej (D7), wyjście pierwszego komparatora (K/1) jest połączone z jednym z wejść drugiego obwodu rozładowania (Z/2), którego drugie wejście jest połączone poprzez regulowany piąty rezystor (R5) z anodami diod drugiej (D5) i ósmej (D4), przy czym katoda siódmej diody (D7) jest połączona z punktem połączenia rezystorów drugiego (R2) i trzeciego (R3), a katoda ósmej diody (D4) jest połączona z drugim wyprowadzeniem trzeciego rezystora (R3).

2. Kompresor dynamiki według zastrz. 1, **znamienny tym**, że do wejścia (M) mieszacza dołączone jest wejście nieodwracające wzmacniacza operacyjnego (B3), którego wyjście dołączone jest do katody diody (D9), której anoda stanowi wyjście (N) mieszacza (6), a między wejściem odwracającym wzmacniacza operacyjnego (B3) i wyjściem (N) mieszacza (6) załączony jest rezystor (R8).

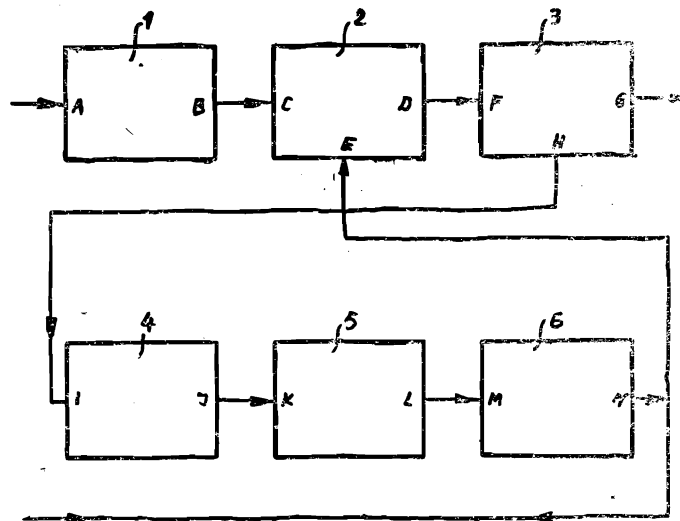


Fig. 1

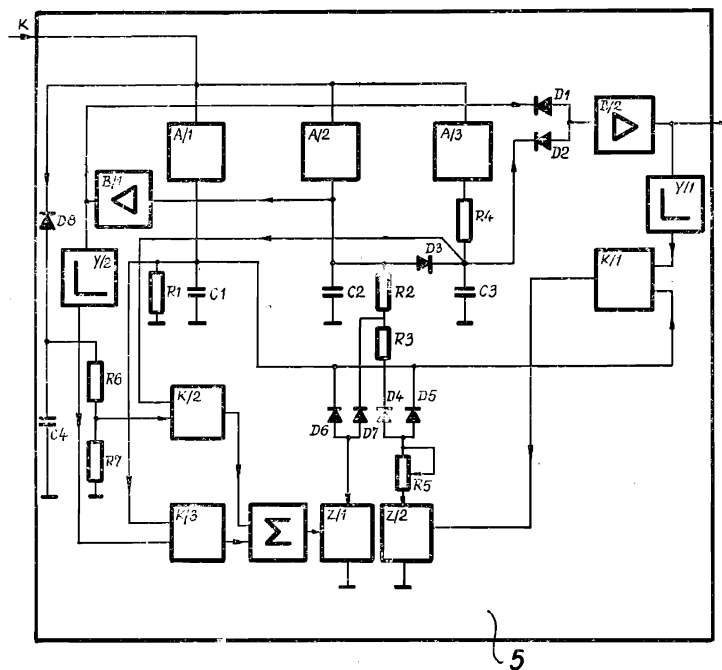


Fig. 2

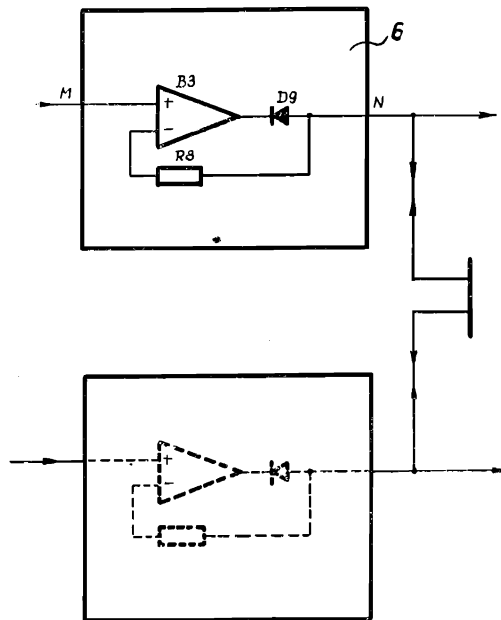


Fig. 3