[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 16/06
H01L 27/115

[12] 发明专利说明书

专利号 ZL 02122195.2

[45] 授权公告日 2005 年 12 月 14 日

[11] 授权公告号 CN 1231921C

[22] 申请日 2002.4.13 [21] 申请号 02122195.2
[30] 优先权
[32] 2001.4.13 [33] JP [31] 115678/01
[71] 专利权人 精工爱普生株式会社
地址 日本东京都
[72] 发明人 亀井辉彦
审查员 易红春

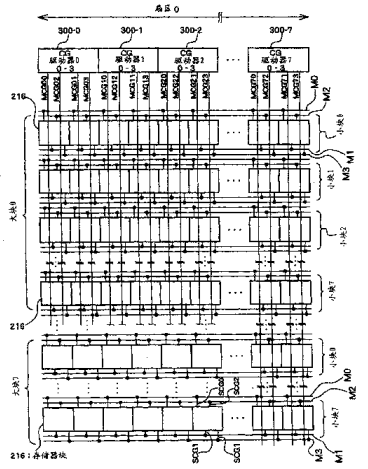
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 王 岳 梁 永

权利要求书 3 页 说明书 17 页 附图 15 页

[54] 发明名称 非易失性半导体存储器件

[57] 摘要

提供一种非易失性半导体存储器件，可避免干扰，并且不需要选择栅区来进行高集成化，能够进行低电压驱动和高速驱动。非易失性半导体存储器件包括沿列、行方向 A、B 分别排列多个具有字栅和受第 1、第 2 控制栅控制的第 1、第 2 MONOS 存储器单元(108A、108B)的存储器单元(100)的存储器单元阵列区。存储器单元阵列区具有在行方向 B 上分割的、以列方向 A 作为纵向方向的多个扇区(0、1、…)。扇区 0 被分割为 8 个大块(0～7)。作为扇区(0)的控制栅驱动部，具有 8 个控制栅(CG)驱动器(300－0～300－7)。各个 CG 驱动器(300－0～300－7)设定配置于大块(0～7)中相互不同的一个大块中的存储器单元的第 1、第 2 控制栅的电位。



ISSN1008-4274

1.一种非易失性半导体存储器件，其特征在于，包括：

沿列方向多个和行方向多个排列具有一个字栅和受第1、第2控制栅控制的第1、第2非易失性存储器元件的存储器单元的存储器单元阵列区；以及

驱动所述存储器单元阵列区内的所述多个存储器单元的各个所述第1、第2控制栅的控制栅驱动部；

所述存储器单元阵列区具有在所述行方向分割为多个的扇区；

所述多个扇区的各个扇区具有在所述行方向分割为多个的大块；

所述控制栅驱动部有关所述多个扇区的每个扇区分别具有多个控制栅驱动器，在所述多个扇区的每个上设置的所述多个控制栅驱动器的各个与所述多个大块的至少每个对应配置，而且设定对应大块内的全部存储器单元的所述第1和第2控制栅的电位。

2.如权利要求1的非易失性半导体存储器件，其特征在于，

具有将所述多个大块的各个在所述列方向再细分割的多个小块；

所述多个扇区的每个设置的所述多个控制栅驱动器的各个设定在对应的大块设置的所述多个小块内配置的所有存储器单元的所述第1和第2控制栅的电位。

3.如权利要求1的非易失性半导体存储器件，其特征在于，

将所述多个大块的各个在所述列方向再细分割的多个小块；

所述多个扇区的每个设置的所述多个控制栅驱动器的各个与在所述多个大块的每个设置的所述多个小块的每个对应设置，并且，设定在小块中配置的所有存储器单元的所述第1和第2控制栅的电位。

4.如权利要求1的非易失性半导体存储器件，其特征在于，

所述多个控制栅驱动器在进行一个扇区内的数据消除时，对这个扇区内的所有所述第1、第2控制栅供给第1消除用高电位，在所述多个扇区的各个扇区中成批消除数据。

5.如权利要求4的非易失性半导体存储器件，其特征在于，

在所述多个扇区的各个扇区中，设置沿所述列方向形成的多个控制栅线；

所述控制栅驱动部不经由栅电路而直接连接到配置于所述多个扇区的各

个扇区中的所述多个控制栅线的各个控制栅线。

6.如权利要求5的非易失性半导体存储器件，其特征在于，

所述多个控制栅线包括：

多个主控制栅线，直接连接到所述控制栅驱动部；以及

多个子控制栅线，将所述多个主控制栅线和所述多个存储器单元的所述第1、第2控制栅相连接。

7.如权利要求6的非易失性半导体存储器件，其特征在于，

在设置于所述多个扇区的各个扇区中的偶数的主控制栅线上，连接将偶数列的所述多个存储器单元的各个存储器单元的所述第2控制栅和奇数列的所述多个存储器单元的各个存储器单元的所述第1控制栅共同连接的多个子控制栅线，在设置于所述多个扇区的各个扇区中的奇数的主控制栅线上，连接将奇数列的所述多个存储器单元的各个存储器单元的所述第2控制栅和偶数列的所述多个存储器单元的各个存储器单元的所述第1控制栅共同连接的多个子控制栅线。

8.如权利要求7的非易失性半导体存储器件，其特征在于，

在与所述多个扇区的各个扇区对应设置的所述多个控制栅驱动器的各个中，连接k条主控制栅线，

在所述多个扇区的各个扇区中，将与k条子控制栅线连接的存储器单元组构成的各输入输出比特对应的存储器块沿所述行方向配置多个，

设置沿所述行方向延伸的多个布线，所述k条的各个主控制栅线、以及其对应的所述k条的各个子控制栅线通过所述多个布线的各个布线来分别连接。

9.如权利要求8的非易失性半导体存储器件，其特征在于，

所述存储器块的沿所述行方向的存储器单元数为4时，设定k=4。

10.如权利要求1的非易失性半导体存储器件，其特征在于，

在所述多个扇区的各个扇区中，还设置：

沿所述列方向形成的多个位线；以及

至少在数据的编程时和读出时，驱动所述多个位线的第1位线驱动部。

11.如权利要求10的非易失性半导体存储器件，其特征在于，

还设置第2消除用位线驱动部，在进行每个扇区的数据消除时，对形成

于这个扇区中的所述多个位线供给第2消除用高电位。

12.如权利要求10的非易失性半导体存储器件，其特征在于，

所述多个位线由杂质层形成。

13.如权利要求12的非易失性半导体存储器件，其特征在于，

将所述多个扇区的各个扇区形成在与其他扇区分离的一个阱区中，在所述阱区中设置供给第2消除用高电位的消除用阱驱动部。

14.如权利要求12的非易失性半导体存储器件，其特征在于，

设置与所述杂质层形成的所述多个位线的各个位线分别连接的多个主位线，在从所述多个主位线至所述多个位线的各个路径中途，不设置栅电路。

15.如权利要求1至14的任何一个非易失性半导体存储器件，其特征在于，

在所述存储器单元阵列区中，沿所述行方向设置与沿所述行方向排列的所述多个存储器单元的各个所述字栅分别共用连接的多个字线，

在所述存储器单元阵列区的所述行方向的一端，设置驱动所述多个字线的字线驱动部。

16.如权利要求1至14的任何一个非易失性半导体存储器件，其特征在于，

所述各个第1、第2非易失性存储器元件具有作为电荷捕获位的氧化膜（O）、氮化膜（N）、及氧化膜（O）组成的ONO膜。

非易失性半导体存储器件

技术领域

本发明涉及由包括一个字栅、和受两个控制栅控制的两个非易失性存储器元件的存储器单元构成的非易失性半导体存储器件。

背景技术

作为非易失性半导体存储器件，已知的有，沟道和栅极之间的栅绝缘膜由氧化硅膜、氮化硅膜和氧化硅膜的层积体组成，在氮化硅膜上捕获电荷的MONOS（Metal-Oxide-Nitrde-Oxide-Semiconductor 或 substrate；金属-氧化物-氮化物-氧化物-半导体或衬底）型。

该MONOS 型非易失性半导体存储器件披露于文献（Y.Hayashi，et al，2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123）。在该文献中，披露了包括一个字栅、和受两个控制栅控制的两个非易失性存储器元件（MONOS 存储器单元）的双 MONOS 快闪存储器单元。即，一个快闪存储器单元具有两个电荷捕获位。

将具有这样构造的双 MONOS 快闪存储器单元沿行方向和列方向分别排列多个，来构成存储器单元阵列区。

在驱动该双 MONOS 快闪存储器单元时，需要两条位线、一条字线、以及两条控制栅线。其中，在驱动多个存储器单元时，在不同的控制栅都设定为相同的电位情况下，可以将这些线共用连接。

这里，在快闪存储器单元的操作中，有数据的消除、编程和读出。数据的编程和读出通常由 8 位或 16 位的选择单元同时实施，而数据的消除可在更宽的范围内同时实施。

这里，在这种非易失性存储器中，数据的干扰成为课题。数据的干扰指在对选择单元的控制栅线和位线施加高电位来进行编程或消除时，由共用的布线对非选择扇区内的单元也施加高电位，在每次编程中通过重复该状态来进行编程或消除，从而非选择单元的数据产生干扰。

就防止这样的情况来说，可以设置选择栅电路，仅对选择扇区的单元施

加高电位，而不对非选择扇区的单元施加高电位。

但是，这样的话，因选择栅电路而占有面积，会妨碍存储器单元的高集成化。而且，因在选择栅极上产生电压降，所以为了在编程时或消除时对选择扇区的单元供给高电位，需要追加供给电压降部分。结果，妨碍低电压驱动，特别不适合便携式设备等需要消耗功率低的设备。

而且，今后，从便携式设备等高速读取数据的要求提高，但在高速驱动方面仍有改善的余地。

因此，本发明的目的在于提供一种非易失性半导体存储器件，避免在选择单元中的编程时或消除时非选择扇区的单元中数据被干扰，并且不需要选择栅电路，可进行高集成化。

本发明的另一目的在于提供一种非易失性半导体存储器件，通过不需要选择栅电路来避免电压降，可以降低消耗功率。

本发明的再一目的在于提供一种非易失性半导体存储器件，可减低供给高电位的控制栅线的负载容量，并进行高速驱动。

发明内容

本发明一形态的非易失性半导体存储器件具有将包括一个字栅和由第 1、第 2 控制栅控制的第 1、第 2 非易失性存储器元件的存储器单元沿相互交叉的列和行的方向分别多个排列而组成的存储器单元阵列区。非易失性半导体存储器件还具有驱动存储器单元阵列区内的多个存储器单元的各个所述第 1、第 2 控制栅的驱动部。

存储器单元阵列区具有在行方向分割为多个的扇区。该多个扇区的各个扇区具有沿列方向分别排列多列的多个存储器单元。

多个扇区的各个扇区具有在列方向分割为多个的块。控制栅驱动部在多个扇区的每个扇区中分别具有多个控制栅驱动器。多个控制栅驱动器的各驱动器设定配置于多个块内的相互不同的一个以上的块中的所有存储器单元的所述第 1 和第 2 控制栅的电位。

根据本发明的一形态，在对于某个扇区内的某个块中配置的选择单元进行编程时，通过对应的控制栅驱动器仅将在该扇区内选择的块中配置的存储器单元（选择单元和非选择单元）的控制栅电位作为编程电位。在选择扇区内的其他块和非选择扇区中，通过与它们对应的控制栅驱动器，可以设定为编程电

位以外的电位，所以在非选择的扇区内的非选择单元中数据不受干扰。而且，不使用栅电路就可以实现，所以可以使存储器单元高集成化。此外，由于不产生选择栅电路中的电压降，所以可进行低电压驱动，特别是可以作为便携式设备的存储器来使用。而且，在一个控制栅驱动器中仅连接一个块内的存储器单元，所以与连接一个扇区内的所有存储器单元相比，可降低控制栅线上连接的负载容量（栅极容量）。因此，可进行存储器的高速驱动。

作为多个块，可以具有在列方向分割为多个的大块、以及将多个大块的各个在列方向再细分割的多个小块。

这种情况下，多个控制驱动器的各个驱动器可以配置在多个大块内的相互不同的一个大块中，并且设定配置于多个小块内的所有存储器单元的第 1 和第 2 控制栅的电位。

或者，多个控制驱动器的各个驱动器可以设定在多个大块的各个中配置于相互不同的一个小块中的所有存储器单元的所述第 1 和第 2 控制栅的电位。

在本发明的一形态中，可以在进行数据消除时选择多个控制栅驱动器的一个，对这个扇区内的所有第 1、第 2 控制栅供给第 1 消除用高电位。这样的话，可以在多个扇区的各个扇区中成批消除数据。

在本发明的一形态中，在多个扇区的各个扇区中，还设置沿列方向形成的多个控制栅线，控制栅驱动部最好不经由栅电路而直接连接到配置于多个扇区的各个扇区中的多个控制栅线的各个控制栅线。

于是，即使排除使面积增大、产生电压降的栅电路，也不对非选择的扇区内的非选择单元施加高电位。

这里，该多个控制栅线可以包括：多个主控制栅线，直接连接到控制栅驱动部；以及多个子控制栅线，将多个主控制栅线和多个存储器单元的所述第 1、第 2 控制栅相连接。这些控制栅线可以由不同层的金属布线形成。

此时，在设置于多个扇区的各个扇区中的偶数的主控制栅线上，可以连接将偶数列的多个存储器单元的各个存储器单元的第 2 控制栅和奇数列的多个存储器单元的各个存储器单元的第 1 控制栅共同连接的多个子控制栅线。另一方面，在设置于多个扇区的各个扇区中的奇数的主控制栅线上，可以连接将奇数列的多个存储器单元的各个存储器单元的第 2 控制栅和偶数列的多个存储器单元的各个存储器单元的第 1 控制栅共同连接的多个子控制栅线。

此外，在与多个扇区的各个扇区对应设置的多个控制栅驱动器的各个中，连接 k 条主控制栅线的情况下，在多个扇区的各个扇区中，将与 k 条子控制栅线连接的存储器单元组构成的各输入输出比特对应的存储器块沿行方向配置多个。此时，最好设置沿行方向延伸的多个布线。这样的话，k 条的各个主控制栅线、以及其对应的 k 条的各个子控制栅线可通过多个布线的一个布线来连接。

作为优选形态，可以使存储器块的沿行方向的存储器单元数为 4。这种情况下设定 k=4，在控制栅驱动器中连接四条主控制栅线。存储器块因在行方向上具有 4 单元而为 8 位，通过两位共用一条子控制栅线，来配置四条子控制栅线。

在本发明的一形态中，在多个扇区的各个扇区中，还可以包括：沿列方向形成的多个位线；以及至少在数据的编程时和读出时驱动多个位线的第 1 位线驱动部。

第 1 位线驱动部也可以在进行数据消除时驱动多个位线，还可以设置第 2 消除用位线驱动部。该第 2 消除用位线驱动部在进行每个扇区的数据消除时，对形成于这个扇区中的多个位线供给第 2 消除用高电位。

可以将多个扇区的各个扇区形成在与其他扇区分离的一个阱区中。这种情况下，可在该阱区中设置供给第 2 消除用高电位的消除用阱驱动部。

可以由杂质层来形成多个位线，该多个位线的各个位线也可以连接多个主位线的各个主位线。如果主位线为金属布线，则位线低电阻化，此外，即使杂质层在列方向不连续，也可以通过主位线供电给该不连续的各位线。

此时，最好在从多个主位线至所述多个位线的路径中途不设置栅电路。栅电路除了增大位线的布线电容之外，栅电路还产生电压降，妨碍低电压驱动。

在存储器单元阵列区中，可沿行方向设置与沿行方向排列的所述多个存储器单元的各个字栅分别共用连接的多个字线。这样，在多个扇区中可共用多个字线。再有，在存储器单元阵列区的行方向的一端，可以设置驱动多个字线的字线驱动部。为了使非易失性半导体存储器件的存储容量进一步大容量化，也可以在行方向上夹置字线驱动器的两侧分别配置多个存储器单元阵列区。

各个第 1、第 2 非易失性存储器元件可以具有作为电荷捕获位的氧化膜（O）、氮化膜（N）、及氧化膜（O）组成的 ONO 膜，但并不限于此，也可以采用其他构造。

本发明还包括：

一种非易失性半导体存储器件，其特征在于，包括：

沿列方向多个和行方向多个排列具有一个字栅和受第 1、第 2 控制栅控制的第 1、第 2 非易失性存储器元件的存储器单元的存储器单元阵列区；以及

驱动所述存储器单元阵列区内的所述多个存储器单元的各个所述第 1、第 2 控制栅的控制栅驱动部；

所述存储器单元阵列区具有在所述行方向分割为多个的扇区；

所述多个扇区的各个扇区具有在所述行方向分割为多个的大块；

所述控制栅驱动部有关所述多个扇区的每个扇区分别具有多个控制栅驱动器，在所述多个扇区的每个上设置的所述多个控制栅驱动器的各个与所述多个大块的至少每个对应配置，而且设定对应大个块内的全部存储器单元的所述第 1 和第 2 控制栅的电位。

附图说明

图 1 是本发明一实施例的非易失性半导体存储器件中使用的存储器单元的剖面图。

图 2 是图 1 所示的存储器单元的等效电路图。

图 3 是说明图 1 所示的非易失性半导体存储器件中的数据读出操作的示意说明图。

图 4 是表示图 1 所示存储器单元的控制栅电压 VCG 与源漏电流 Ids 的关系的特性图。

图 5 是说明图 1 所示的非易失性半导体存储器件中的数据写入（程序）操作的示意说明图。

图 6 是说明图 1 所示的非易失性半导体存储器件中的数据消除操作的示意说明图。

图 7（A）是图 1 所示的非易失性半导体存储器件整体的平面布置图，图 7（B）是图 7（A）中的一个扇区的平面图，图 7（C）是图 7（B）中的一个存储器块的平面图，图 7（D）是图 7（C）中的一个大块的平面图，图 7（E）是图 7（D）中的一个小块的平面图。

图 8 是说明图 7（B）所示的一个扇区的多个存储器块和其布线的示意说明图。

图 9 是表示图 8 所示的小块细节的电路图。

图 10 是表示相邻的扇区的关系的电路图。

图 11 是表示相对于图 10 的比较例 1 的结构的电路图。

图 12 是单芯片化的非易失性半导体存储器件的方框图。

图 13 是表示图 12 所示的左存储器块细节的方框图。

图 14 是说明使对应于一个扇区内的小存储器块的布线与图 8 有所不同的变形例的示意说明图。

图 15 是说明形成与图 8 和图 14 不同的布线的比较例 2 的结构的示意说明图。

具体实施方式

以下，参照附图说明本发明的实施例。

（存储器单元构造）

图 1 表示非易失性半导体存储器件的一剖面，图 2 是其等效电路图。在图 1 中，一个存储器单元 100 包括：在 P 型阱 102 上通过栅氧化膜、例如由多晶硅化物形成的字栅 104；第 1 控制栅 106A、第 2 控制栅 106B；以及第 1 存储器元件（MONOS 存储器单元）108A、第 2 存储器元件 108B。

第 1 控制栅 106A、第 2 控制栅 106B 形成在字栅 104 的两侧壁，分别与字栅 104 电绝缘。

第 1 存储器元件 108A、第 2 存储器元件 108B 分别在相当于 MONOS 的 M（金属）的多晶硅形成的第 1 控制栅 106A、第 2 控制栅 106B 中的一个与 P 型阱 102 之间通过层积氧化膜（O）、氮化膜（N）和氧化膜（O）来构成。第 1 控制栅 106A、第 2 控制栅 106B 可以由硅化物等导电材料构成。

于是，一个存储器单元 100 具有包括分离栅（第 1 控制栅 106A、第 2 控制栅 106B）的第 1MONOS 存储器单元 108A、第 2MONOS 存储器单元 108B，在第 1MONOS 存储器单元 108A、第 2MONOS 存储器单元 108B 中共用一个字栅 104。

该第 1MONOS 存储器单元 108A、第 2MONOS 存储器单元 108B 分别具有电荷捕获功能。各个第 1MONOS 存储器单元 108A、第 2MONOS 存储器单元 108B 能够用 ONO 膜 109 捕获电荷。

如图 1 和图 2 所示，沿行方向（图 1 和图 2 的第 2 方向 B）隔开间隔排列

的多个字栅 104 被共用连接到多晶硅化物等形成的一条字线 WL。

此外，图 1 所示的控制栅 106A、106B 沿列方向（垂直于图 1 的纸面的第 1 方向 A）延伸，由列方向上排列的多个存储器单元 100 共用。因此，将标号 106A、106B 也称为控制栅线。

这里，在第[i]号的存储器单元 100[i]的控制栅线 106B、以及第[i+1]号的存储器单元 100[I+l]的控制栅线 106A 上，例如连接比字栅、控制栅、字线更上层的由金属层形成的子控制栅线 SCG[i+1]。

在 P 型阱 102 中，设置第[i]号的存储器单元 100[i]的 MONOS 存储器单元 108B、第[i+1]号的存储器单元 100[I+l]的 MONOS 存储器单元 108A 共用的第[i+1]号的杂质层 110[i+1]。

这些杂质层 110[i]、[i+1]、[i+2]例如是 P 型阱内形成的 n 型杂质层，沿列方向（垂直于图 1 的纸面的第 1 方向 A 方向）延伸，具有作为沿列方向排列的多个存储器单元 100 共用的位线功能。因此，将标号 110[i]、[i+1]、[i+2]等也称为位线 BL[i]、[i+1]、[i+2]。

（从存储器单元读出数据）

如图 2 所示，一个存储器单元 100 可以模式化为将字栅 104 驱动的晶体管 T2、以及第 1 控制栅 106A、第 2 控制栅 106B 分别驱动的晶体管 T1、T3 串联连接所得的单元。

在说明存储器单元 100 的操作时，如图 3 所示，首先说明相邻的两个存储器单元 100[i]、[i+1]的各处的电位设定。图 3 是说明从存储器单元 100[i]的字栅 104 右侧的 MONOS 存储器单元 108B 读出数据的图。再有，在以下的操作说明中，将晶体管 T1~T3 的阈值电压假定低于 2.5V。

这种情况下，对与存储器单元 100[i]相同行的各字栅 104 例如施加 2.5V，使各晶体管 T2 导通。此外，对存储器单元 100[i]左侧的控制栅 106A 通过子控制栅线 SCG[i]来施加过载电压（例如 5V），使相当于 MONOS 存储器单元 108A 的晶体管 T1 导通。作为存储器单元 100[i]右侧的控制栅 106B 的电位 VCG，施加读出电位 Vread。

此时，根据在字栅 104 的右侧的 MONOS 存储器单元 108B 中是否存储电荷，与 MONOS 存储器单元 108B 相当的晶体管 T3 的操作如下。

图 4 是表示存储器单元 100[i]的右侧的控制栅 106B 的施加电压和受该电

压控制的与 MONOS 存储器单元 108B 相当的晶体管 T3 的源-漏之间流动的电流 Ids 之间的关系。

如图 4 所示，在 MONOS 存储器单元 108B 中不存储电荷的情况下，如果控制栅电位 VCG 超过低的阈值电压 Vlow，则电流 Ids 开始流动。相反，在 MONOS 存储器单元 108B 中存储电荷的情况下，控制栅电位不超过高的阈值电压 Vhigh，不流动限定电流 Ids。

这里，数据读出时施加在控制栅 106B 上的电压 Vread 被设定在两个阈值电压 Vlow、Vhigh 的大致中间电压（例如，2.5V）。

因此，在 MONOS 存储器单元 108B 中不存储电荷的情况下，流动电流 Ids，而在 MONOS 存储器单元 108B 中存储电荷的情况下，不流动电流 Ids。

这里，在数据读出时，分别设定位线 BL[i]（杂质层 110[i]）的电位 VD[i]为 0V，位线 BL[i+1]（杂质层 110[i+1]）的电位 VD[i+1]为 1.5V。于是，在 MONOS 存储器单元 108B 中不存储电荷的情况下，流动电流 Ids，所以通过导通状态的晶体管 T1、T2，电位 VD[i]发生 0V→1.5V 的变化，电位 VD[i+1]发生 1.5V→0V 的变化。相反，在 MONOS 存储器单元 108B 中存储电荷的情况下，不流动电流 Ids，所以即使晶体管 T1、T2 为导通状态，电位 VD[i]仍为 0V，电位 VD[i+1]仍为 1.5V 不变化。因此，通过检测一对位线 BL[i]、[i+1]的电位，可以从存储器单元 100[i]的 MONOS 存储器单元 108B 中读出数据。

虽然在存储器单元 100[i+1]，晶体管 T1、T2 也导通，但晶体管 T3 的控制栅极电位 VCTG 为 0V，电位 VCG 比图 3 的两个阈值电压 Vlow、Vhigh 双方低，所以在存储器单元 100[i+1]中不流动源-漏电流。因此，存储器单元 100[i+1]中的数据存储状况不对存储器单元 100[i]的数据读出产生不良影响。

在从存储器单元 100[i]的左侧的 MONOS 存储器单元 108A 读出数据时，也可以与上述同样地设定存储器单元 100[i-1]、[i]的各处的电位。

（存储器单元的编程）

图 5 是说明存储器单元 100[i]的字栅 104 的右侧的 MONOS 存储器单元 108B 的数据编程的图。再有，在该数据编程操作之前，实施后述的数据消除操作。

在图 5 中，与图 3 相同，子控制栅线 SCG[i]的电位为过载电位（例如 5V），子控制栅线 SCG[i+1]的电位为 0V。其中，各字栅 104 的电位由字线 WL 设定

为例如 0.77~1.0V 左右。此外，存储器单元 100[i+1]右侧的控制栅 108B 的电位通过子控制栅线 SCG[i+1]设定为图 4 所示的写入电位 Vwrite（例如 5~6V），第[i+1]号杂质层 110[i+1]（位线 BL[i+1]）的电位 VD[i+1]被设定为 4.5~5V。

这样的话，存储器单元 100[i]的晶体管 T1、T2 分别导通，向杂质层 110[i]流动电流 Ids，而在 MONOS 存储器单元 108B 的 ONO 膜 109 中沟道热电子（CHE）被捕获。于是，实施 MONOS 存储器单元 108B 的编程操作，写入数据‘0’或‘1’。

（存储器单元的数据消除）

图 6 是说明连接在字线 WL 上的两个存储器单元 100[i]、[i+1]的数据消除的图。

在图 6 中，各字栅 104 的电位通过字线 WL 例如被设定为 1.8V，通过子控制栅线 SCG[i]、[i+1]、[i+2]，控制栅 106A、106B 的电位例如被设定为-5~-6V 左右（第 1 消除用高电位）。而且，杂质层（位线）110[i]、[i+1]、[i+2]的各电位被设定为与 P 型阱电位相等的 3~5V 左右（第 2 消除用高电位）。

于是，各 MONOS 存储器单元 108A、108B 的 ONO 膜 109 中捕获的电子通过由金属（M）上施加的第 1 消除用高电位、以及硅（S）上施加的第 2 消除用高电位形成的电场，利用隧道效应被抽出消除。由此，在多个存储器单元中可同时进行数据消除。作为消除操作，与上述情况不同，也可以通过作为位线的杂质层的表面的能带-能带隧道来形成热空穴，消除存储的热电子。

（非易失性半导体存储器件的整体结构）

参照图 7（A）~图 7（E）来说明用上述存储器单元 100 构成的非易失性半导体存储器件的整体结构。

图 7（A）是单芯片的非易失性半导体存储器件的平面布置图，夹置字线驱动部 201 左右的存储器单元阵列区 200A、200B 例如被分别分割为 32 个扇区 201。作为单芯片的非易失性半导体存储器件，具有第 0~第 63 的扇区 201。32 个扇区 201 如图 7（A）所示，在第 2 方向（行方向）B 上被分别分割为左右存储器单元阵列区 200A、200B，各扇区 210 具有以第 1 方向（列方向）A 为纵向方向的长方形状。数据消除的最小单位是扇区 210，扇区 210 内的存储数据被集中消除。

左右的各个存储器单元阵列区 200A、200B 例如具有 4K 条字线 WL 和 2K

条位线 BL。这里，在本实施例中，在 1 条位线 BL 上连接两个 MONOS 存储器单元 108A、108B，所以 2K 条位线 BL 意味着 4Kbit 的存储容量。图 7（A）的非易失性半导体存储器件具有左右存储器阵列区 200A、200B，所以作为整体具有用（4K 条字线 WL）×（2K 条位线 BL）×2×2 定义的存储容量。各扇区 210 的存储容量是存储器整体的存储容量的 1/64，具有由（4K 条字线 WL）×（64 条位线 BL）×2 定义的存储容量。

图 7（B）表示图 7（A）所示的非易失性半导体存储器件的一个扇区 210 的细节。如图 7（B）所示，各扇区 210 在第 2 方向上被分割，具有可读、写 16 比特的数据的 I/O0~I/O15 用的 16 个存储器块（与输入输出比特对应的存储器块）214。各存储器块 214 具有如图 7（B）所示的 4k（4096）条字线 WL。

如图 7（C）所示，图 7（B）所示的一个存储器块 214 在第 1 方向 A 上被分割成 8 个大块 212。各大块 212 如图 7（D）所示，在第 1 方向 A 上被分割成 8 个小块 215。

各小块 215 如图 7（E）所示，具有 64 条字线 WL。

因此，一个大块 212 上配置的字线 WL 的总数（还包括冗余用）为 64 条×8（小块）=512 条。所以，一个扇区 210 上配置的字线 WL 的总数为 512（条）×8（大块）=4096 条。

（扇区的细节）

图 8 是表示图 7（A）所示的扇区 0 的细节。如图 9 所示，图 8 所示的小块 216 是将存储器单元 100 在列方向上例如排列 64 个、在行方向上例如排列 4 个的存储器块。在一个小块 216 中，例如连接作为第 1 层的金属布线层的 4 条子控制栅线 SCG0~SCG3、作为数据的输入输出线的 4 条位线 BL0~BL3、64 条字线 WL。

这里，在偶数的控制栅线 SCG0、SCG2 中，共用连接偶数列（第 0 列或第 2 列）的多个存储器单元各个的第 2 控制栅 106B 和奇数列（第 1 列或第 3 列）的多个存储器单元各个的第 1 控制栅 106A。同样，在奇数的子控制栅线 SCG1、SCG3 上，共用连接奇数列（第 1 列或第 3 列）的多个存储器单元各个的第 2 控制栅 106B 和偶数列（第 2 列或第 4 列）的多个存储器单元各个的第 1 控制栅 106A。

如图 8 所示，将小块 21 沿列方向排列 64 个，为了进行 16 比特的输入输

出，沿行方向排列与I/O0~I/O15对应的16个小存储器块216。

在各小存储器块216中，控制栅线SCG0共用连接在行方向上延伸的例如第2层的金属布线M0。同样，16条子控制栅线SCG1共用连接金属布线M1，16条子控制栅线SCG2共用连接金属布线M2，16条子控制栅线SCG3共用连接金属布线M3。

设置作为该扇区0的控制栅驱动部的8个CG驱动器300-0~300-7。设置从CG驱动器300-0向列方向延伸的4条主控制栅线MCG00~MCG03，这些主控制栅线例如由第3层的金属布线形成。同样，从CG驱动器300-1向列方向延伸4条主控制栅线MCG10~MCG13，从CG驱动器300-2向列方向延伸4条主控制栅线MCG20~MCG23，…，从CG驱动器300-7向列方向延伸4条主控制栅线MCG70~MCG73。

这里，从CG驱动器300-0向列方向延伸的4条主控制栅线MCG00~MCG03如图8所示一直延伸到大块0的区。然后，各个大块0~7上配置的8条、共计64条的金属布线M0被共用连接到主控制栅线MCG00。同样，64条金属布线M1共用连接到主控制栅线MCG01，64条金属布线M2共用连接到主控制栅线MCG02，64条金属布线M3共用连接到主控制栅线MCG03。

换句话说，从CG驱动器300-0向列方向延伸的4条主控制栅线MCG00~MCG03如图8所示可仅对配置于大块0内的所有存储器的第1、第2控制栅106A、106B供给电位，而不连接到其他的大块1-7。

同样，在图8中虽然省略，但CG驱动器300-1连接到大块1，CG驱动器300-2连接到大块2，…，CG驱动器300-6连接到大块6。

在图8中，还图示CG驱动器300-7仅与大块7连接的状态。

图10表示相邻的扇区0和扇区1之间的关系。扇区0和扇区1共用字线WL，但分别独立设置主控制栅线MCG和主位线BL。特别是在图10中，表示作为与扇区0对应的驱动器之一的CG驱动器300-0和作为与扇区1对应的驱动器之一的CG驱动器301-0，CG驱动器被独立设置于每个扇区。

此外，例如如果以扇区0为例，则配置于每个小存储器块216的多个子控制栅线SCG0共用连接到主控制栅线MCG00。在从该主控制栅线MCG00至各子控制栅线SCG0的各路径中途，不配置栅电路。

同样，配置于每个小存储器块216的多个位线BL0（杂质层）共用连接

到作为金属布线的主位线 MBL0。从该主位线 MBL0 至各位线 BL0 的各路径中途，也不配置栅电路。对于以上其他的扇区 1-7 来说，也同样如此。

（操作说明）

这里，将本实施例的非易失性半导体存储器件中的数据消除时和编程时设定的控制栅线 CG、位线 BL 和字线 WL 的各电位示于下述表 1。

【表 1】

	选择单元			非选择单元（选择扇区内）			非选择单元（非选择扇区内）		
	CG	BL	WL	CG	BL	WL	CG	BL	WL
消除	-5V	5V	1.8V	-	-	-	0V	0V	1.8V
编程	5V	5V	1V	5V	5V	0V	0V	0V	0V 或 1V

在表 1 中，在数据消除时，例如扇区 0（选择扇区）内都为选择单元，对 4096 条字线 WL 供给 1.8V。此外，通过 CG 驱动器 300-0~300-7，可以对所有 32 条主控制栅线 MCG00~MCG03、MCG10~MCG13、…、MCG70~MCG73 供给第 1 消除用高电位（例如-5V），对扇区 0（选择扇区）内所有存储器单元的控制栅 106A、106B 集中供给第 1 消除用高电位。此时，在扇区 0 内的所有位线 BL 上供给第 2 消除用高电位（例如 5V），但其供给方法将后述。这样，可以在选择的扇区 0 内的所有存储器单元中实施数据消除。

此时，在非选择的例如扇区 1 中，对所有 4096 条字线 WL 供给 1.8V，但控制栅 CG 和位线 BL 可以供给与扇区 0 独立的 0V，所以在非选择扇区中不实施数据消除。

下面，说明编程操作。在与选择的扇区 0 内的例如配置于大块 0 的 16 个 I/O 分别对应的各一个 MONOS 存储器单元中，同时实施 16 比特的数据编程。因此，对连接到扇区 0 内的选择单元的某一条字线 WL 供给 1V，而其他 4095 条字线 WL 被设定为 0V。此外，在配置于扇区 0 内的大块 0、与各 I/O0~I/O15 对应的 16 个存储器块 214 中，对相当于图 5 的 CG[i]、CG[i+1]的两条控制栅线 CG 供给 5V，而将其他控制栅线 CG 设定为 0V。而且，在扇区 0 内的各存储器块 214 中，对相当于图 5 的位线 BL[i+1]的 1 条位线 BL 供给 5V，而将其他位线 BL 设定为 0V。由此，在扇区 0 内的配置于大块 0 的各存储器块 214 内的各一个 MONOS 存储器单元中实施数据编程。

此时，如表 1 所示，在选择的扇区 0 内的配置于大块 0 的非选择单元中，

将字线 WL 设定为 0V，但对控制栅线 CG 和位线 BL 都施加 5V 的高电位。

另一方面，如表 1 所示，在非选择的扇区内的非选择单元中，对控制栅线 CG 和位线 BL 都供给 0V。因此，在非选择扇区内，在非选择单元中不发生因施加与编程时同样的高电位而产生的干扰。这种情况除了选择的扇区 0 内的大块 0 以外，对于配置于大块 1-7 的非选择单元都是同样的。

对选择的扇区 0 内的配置于大块 0 的非选择单元也可能施加高电位，但这样的高电位仅在扇区 0 内的大块 0 中实施编程的情况下才施加。因此，如果与在每次实施某一个扇区中的编程时都对其他扇区内的非选择单元施加高电位的情况相比，可以大幅度地降低施加高电位的频度，可以防止发生干扰。

（比较例 1 的说明）

图 11 表示比较例 1 的结构。在该比较例 1 中，存储器单元阵列区在列方向上被分割，具有以列方向为纵向方向的多个扇区 0、1、…。此外，在比较例 1 中，CG 驱动器 400、401 在两个扇区 0、1 中被共用，而不与扇区 0、1 分别对应设置。

这里，如图 11 所示，分别设置选择栅区 402 对应于扇区 0，设置选择栅区 403 对应于扇区 1。配置于选择栅区 402、403 的 N 型 MOS 晶体管组根据选择信号线 CGS0、CGS1 的电位来选择是否供给从 CG 驱动器 400、401 供给的电位。同样，配置于选择栅区 402、403 的其他 N 型 MOS 晶体管组根据选择信号线 BLS0、BLS1 的电位来选择连接/不连接扇区 0、1 的位线 BL。

下述表 2 表示对于在图 11 所示的比较例 1 的非易失性半导体存储器件中的数据消除时和编程时设定的控制栅线 CG、位线 BL、字线 WL 及选择信号线 CGS、BLS 的各电位。

【表 2】

	选择单元					非选择单元（选择扇区）					非选择单元（非选择扇区）				
	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS
消除	-5V	5V	1.8V	0V	6V	-	-	-	-	-	FL	FL	1.8V	-5V	0V
编程	5V	5V	1V	6V	6V	5V	5V	0V	6V	6V	FL	FL	0V	0V	0V

如表 2 所示，在比较例 1 中实质上也可以设定与表 1 所示的本实施例中设定的电位相同的电位，但这些电位通过设定选择栅区 402、403 来实现。如果不存在选择栅区 402、403，则在选择的扇区 0 中的选择单元的编程时，会对

非选择的扇区 1 的非选择单元也施加高电位。于是，如果超过扇区，对非选择单元也施加编程时的高电位，则在每次编程时都对非选择单元施加高电位，会产生干扰。

在比较例 1 中，为了防止发生上述那样的干扰，在每个扇区中设置选择栅区是必不可少的。但是，这会增大这种选择栅区的占有空间的面积，降低存储器单元的集成度。

而且，在比较例 1 中，如果选择栅区 402、403 使用 N 型 MOS 晶体管，则在该晶体管上产生电压降，所以在 CG 驱动器 400、401 本来需要的第 1 消除用高电位上必需追加供给电压降部分的电压，产生高电压化。

在上述的本发明的实施例中，可以避免干扰，同时省略选择栅区，可以进行存储器单元的高集成化和低电压驱动。

（比较例 2）

图 15 表示比较例 2。在图 15 中，分割为与本实施例同样的扇区 0~31。其中，例如，作为扇区 0 的控制栅驱动部，仅设置 CG 驱动器 300。设置从该 CG 驱动器 300 向列方向延伸的 4 条主控制栅线 MCG0~MCG3，这些控制栅线例如由第 3 层金属布线形成。而且，配置于各个大块 0~7 的 8 条、共计 64 条金属布线 M0 共用连接到主控制栅线 MCG0。同样，64 条金属布线 M1 共用连接到主控制栅线 MCG1，64 条金属布线 M2 共用连接到主控制栅线 MCG2，64 条金属布线 M3 共用连接到主控制栅线 MCG3。

在图 15 所示的比较例 2 中，在对扇区 0 内实施数据的编程时，在其他扇区 1-31 中不对存储器单元施加高电位即可，而且也不设置选择栅区，可以防止干扰。但是，在比较例 2 中，在对于扇区 0 的某一个存储器单元实施数据编程时，对该扇区 0 内的所有存储器单元同等地施加高电位，在这方面比本实施例差。

在比较例 2 中，对于各个主控制栅线 MCG0~MCG3 来说，还连接大块 0~7 中所有列方向的存储器单元。因此，如果与本实施例那样将主控制栅线连接到某一个大块内的存储器单元上的情况进行比较，本实施例的主控制栅线上连接的负载容量（栅极容量）为比较例 2 的 1/8。

如果供给高电位的主控制栅线上连接的负载容量大，则将主控制栅线充电至其高电位所需的时间变长，不能进行高速驱动，而本实施例在这方面优于

比较例 2。

在图 10 所示的本发明的实施例中，还可以对位线 BL 追加选择栅。这样的话，对于选择的扇区 0 中的非选择单元，通过选择栅使位线 BL 处于浮置状态就可以。于是，选择了编程的扇区 0 内的非选择单元的位线 BL 不变为高电位。因此，可以进一步降低非选择单元中的数据干扰。再有，通过选择栅对位线供给高电位时，没有产生电压降的危险。

（单芯片存储器的结构）

图 12 是将上述的非易失性半导体存储器件单芯片化时的示意方框图。在图 12 中，在该 IC 芯片 500 中，设置左阵列块 502 和右阵列块 504。各个该左右阵列块 502、504 包含图 7 说明的存储器单元阵列区。

在该左右阵列块 502、504 之间，配置 CG 解码器 506、X 前置解码器 508、WL 驱动器（左）510、WL 驱动器（右）512 以及 Y 解码器 514。

在左右存储器块 502、504 中，分别连接读出放大器/BL 驱动器 516、518。对于该读出放大器/BL 驱动器 516、518 的某一个，通过数据输入/输出缓冲器 520 和输入输出端子 522 来输入输出 16 比特的信号 I/O0-15。

在 IC 芯片 500 中，还设置根据通过命令端子 530 输入的各种起动信号，来生成控制逻辑信号的控制逻辑电路 532。根据来自该控制逻辑电路 532 的输出，由电位生成电路 534 生成供给控制栅线 WL 和位线 BL 等的各种电位。

另一方面，根据经地址端子 640 从外部输入的地址信号 ADR[0-20]，由地址缓冲器 542 生成内部地址信号 A0-20。下述表 3 表示该内部地址信号 A0-20 的定义。

【表 3】

地址	组	操作
A[20:15]	扇区	Chose 1 of 64
A[14:12]	行	Chose 1 of 8
A[11:0]	列	Chose 1 of 4096

如表 3 所示，内部地址信号的高位 6 比特 A[20:15]用于选择图 7（A）所示的扇区 0-63 的一个。内部地址信号的中间位 3 比特 A[14:12]用于从图 9 所示的一个小存储器块 216 中选择 8 比特中的一个。内部地址信号的低位 12 比特 A[11:0]用于选择 4096 条字线 WL 的一条。

图 13 表示图 12 所示的左存储器块 502 的细节。该存储器块 502 与图 7(A)同样具有分割为 32 个的扇区 0-31，在各个扇区 0-31 中与图 7（B）同样设置 8 个大块 0-7。

如图 13 所示，对应于 32 个扇区的每一个扇区来设置 CG 驱动器 300~331。扇区 0 对应的 CG 驱动器 300 与图 8 所示的驱动器相同，对大块 0-7 构成的扇区 0 内的各存储器单元直接供给控制栅电位。其他 CG 驱动器 301~331 也具有同样的功能。

在图 13 中，对应于 32 个扇区 0-31 的每个扇区，设置消除用位线驱动部的阱驱动器 340-0~340-31。阱驱动器 340-0 对扇区 0 内的例如 P 型阱供给第 2 消除用高电位，设定为第 2 消除用高电位。其他阱驱动器 340-1~340-31 也具有同样的功能。

在图 13 中，对应于 32 个扇区 0-31 的每个扇区，设置扇区解码器 350-0~350-31。扇区解码器 350-0 对内部地址信号的高位 6 比特 A[20:15]生成的信号进行解码。然后，在选择了扇区 0 时，扇区解码器 350-0 驱动 CG 驱动器 300、阱驱动器 340-0，将必要的电位供给控制栅线 CG、位线 BL。

在图 13 中，对应于 32 个扇区 0-31 的每个扇区，设置 Y 路径电路 360-0~360-31、以及扇区选择电路 370-0~370-31。Y 路径电路 360-0~360-31 根据图 12 所示的来自 Y 解码器 514 的信号，选择 16 个连接到 I/O 的位线 BL0-3 的一个。扇区选择电路 370-0~370-31 根据来自对应的扇区解码器 360-0~360-31 的选择信号 SEC0~SEC31，进行图 12 所示的读出放大器/BL 驱动器 516 的连接/非连接。

再者，本发明不限定于上述实施例，在本发明的主要精神范围内可进行各种变形实施。

例如，对于非易失性存储器元件 108A、108B 的构造，不限定于 MONOS 构造。本发明也可以应用于通过一个字栅 104 和第 1 控制栅 106A、第 2 控制栅 106B，能够在两个场所独立捕获电荷的使用其他各种存储器单元的非易失性半导体存储器件。

在上述实施例中，扇区的分割数、大块、小块的分割数是一例，也可以进行其他各种变形实施。即，根据金属布线节距的限制而决定使大块的分割数为 8。如果金属布线节距可以变窄，则可以进一步增加分割数。例如，如果进

行 16 分割，则 1 条控制栅线的负载容量（栅极容量）进一步减小，所以可以进行更高速驱动。其中，如果为 16 分割，则主控制栅线的数增加，所以不是线路和空间变窄，就是增大面积。此外，控制栅驱动器的数也增加，所以该部分面积增大。

图 14 表示相对于图 8 所示的小存储器块 216 的布线变形例。在图 14 中，来自 CG 驱动器 300-0 的主控制栅线 MCG00~MCG03 不象图 8 所示那样连接到大块 0 内的所有小块 0-7，而仅连接到大块 0~7 的各小块 0。将 CG 驱动器 300-1 仅连接到大块 0~7 的各小块 1。将 CG 驱动器 300-7 仅连接到大块 0~7 的各小块 7。

即使是图 14 所示的连接形态，也可以起到与图 8 所示的连接形态相同的作用和效果。

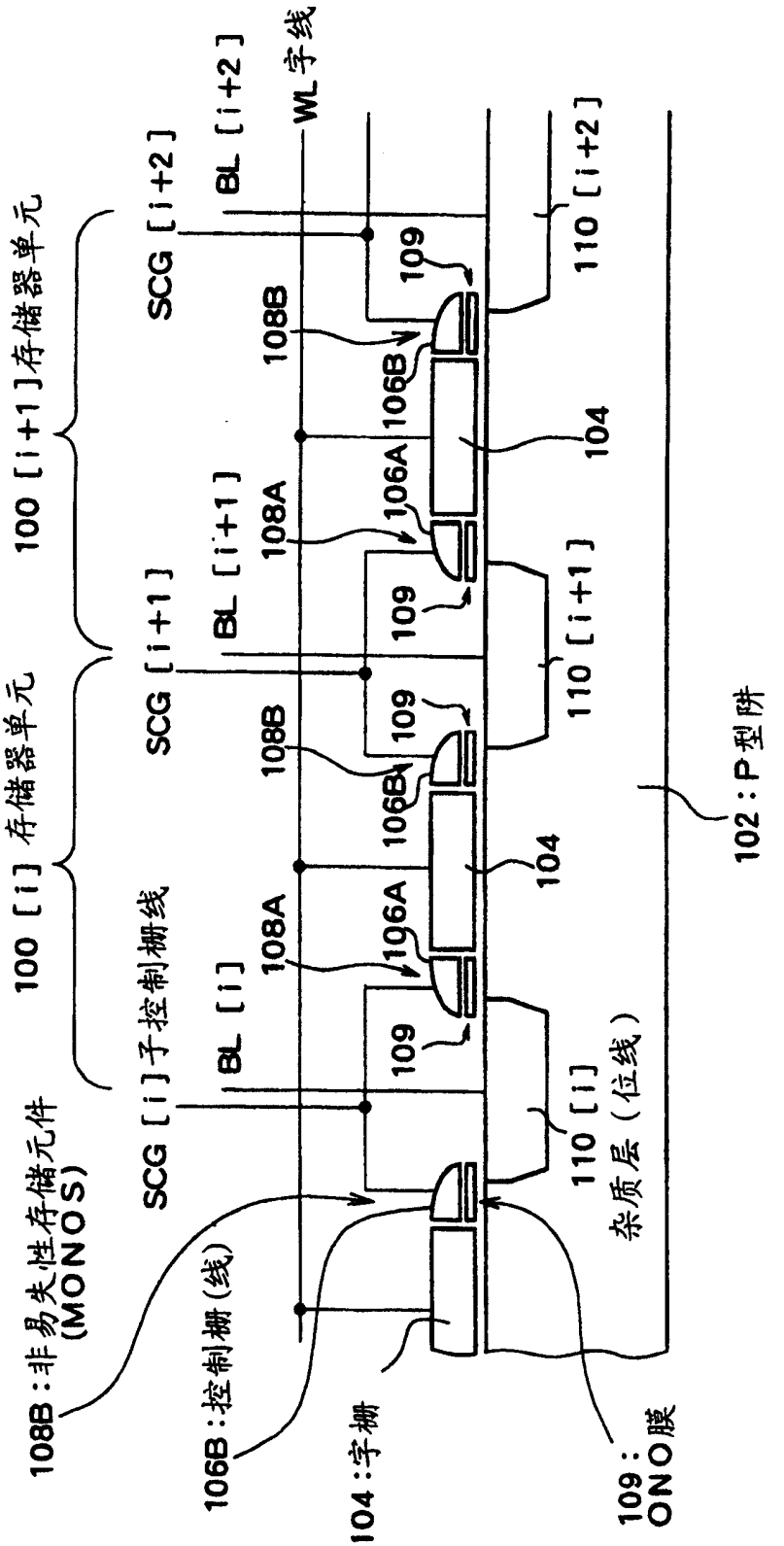

100 [i] 存储器单元
100 [i+1] 存储器单元
108B：非易失性存储元件 (MONOS)
106B：控制栅(线)
104：字栅
109：ONO膜
SCG [i] 子控制栅线
SCG [i+1]
SCG [i+2]
BL [i]
BL [i+1]
BL [i+2]
WL 字线
108A
108B
106A
106B
109
104
110 [i]
110 [i+1]
110 [i+2]
杂质层（位线）
102：P型阱
B

图 1

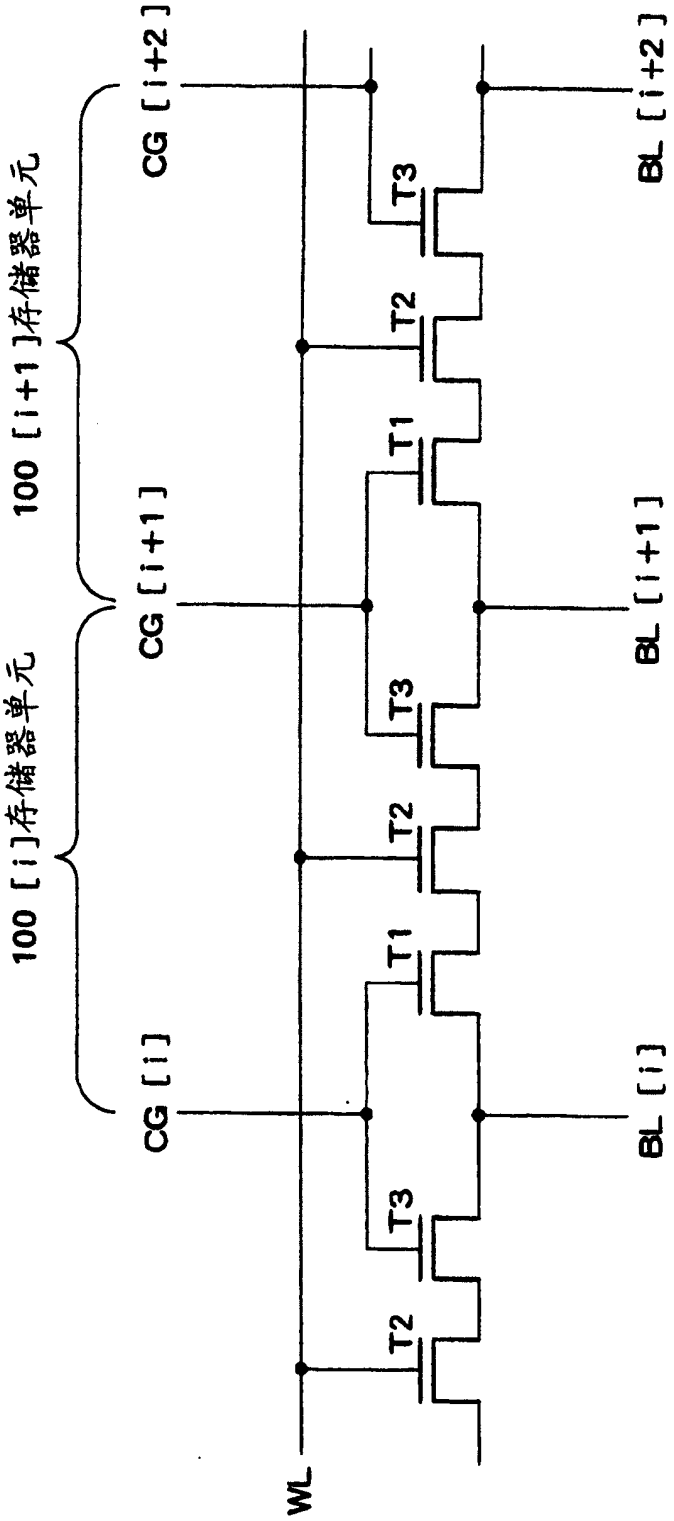


图 2

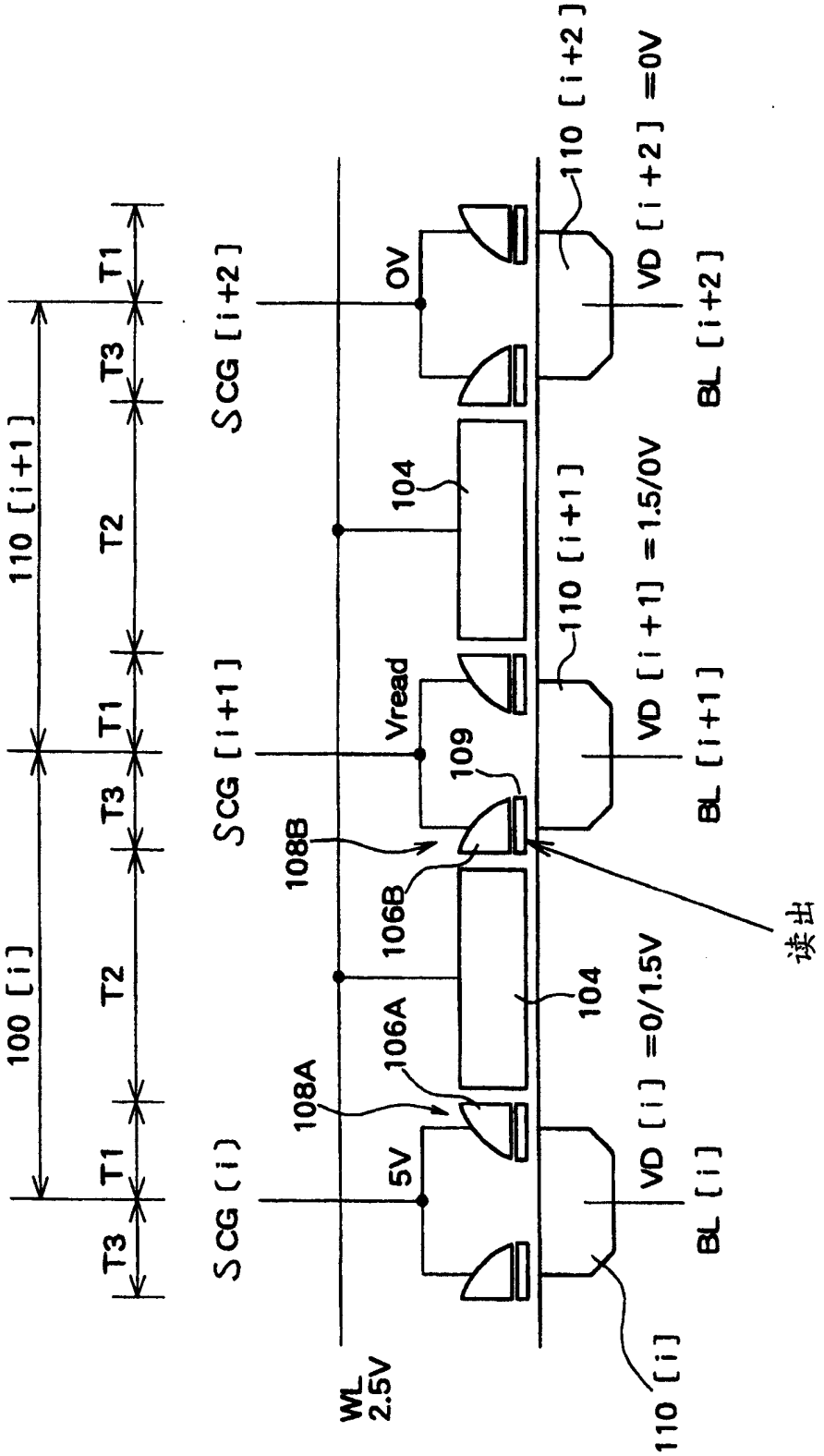

T1
T3
T2
T1
T3
T2
T1
T3
110 [i+1]
100 [i]
SCG [i+2]
SCG [i+1]
SCG [i]
WL
2.5V
OV
Vread
5V
104
109
108B
106B
108A
106A
110 [i+2]
110 [i+1]
110 [i]
VD [i+2] =0V
VD [i+1] =1.5/0V
VD [i] =0/1.5V
BL [i+2]
BL [i+1]
BL [i]
读出

图 3

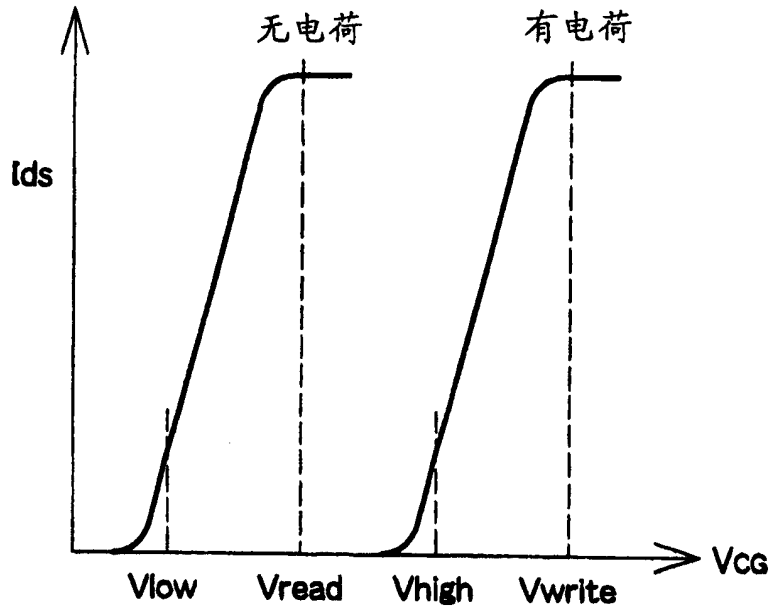


图 4

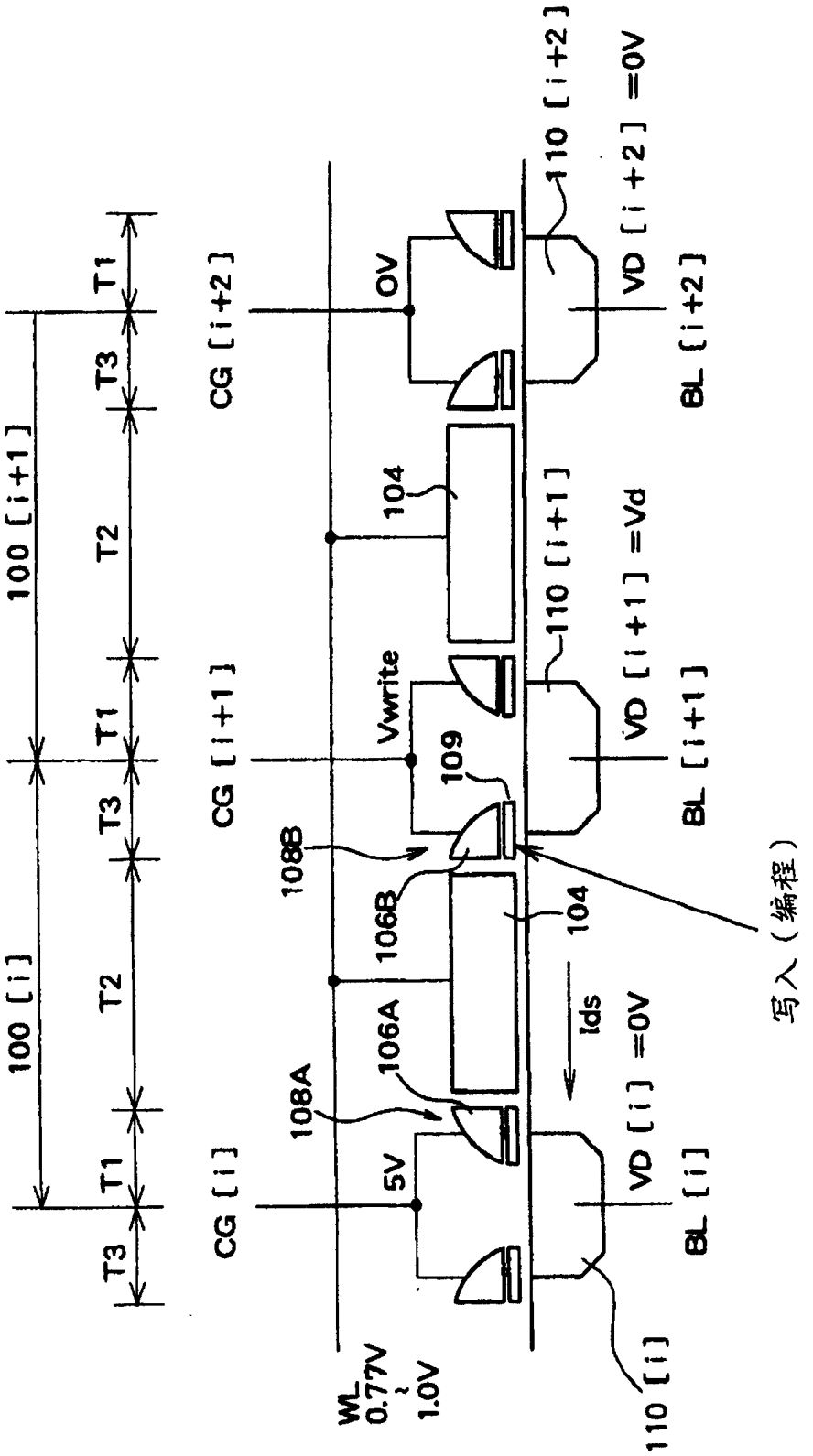

100 [i]
100 [i+1]
T1
T2
T3
CG [i]
CG [i+1]
CG [i+2]
WL
0.77V
~
1.0V
5V
Vwrite
0V
108A
108B
106A
106B
104
109
110 [i]
110 [i+1]
110 [i+2]
VD [i] =0V
VD [i+1] =Vd
VD [i+2] =0V
BL [i]
BL [i+1]
BL [i+2]
Ids
写入（编程）

图 5

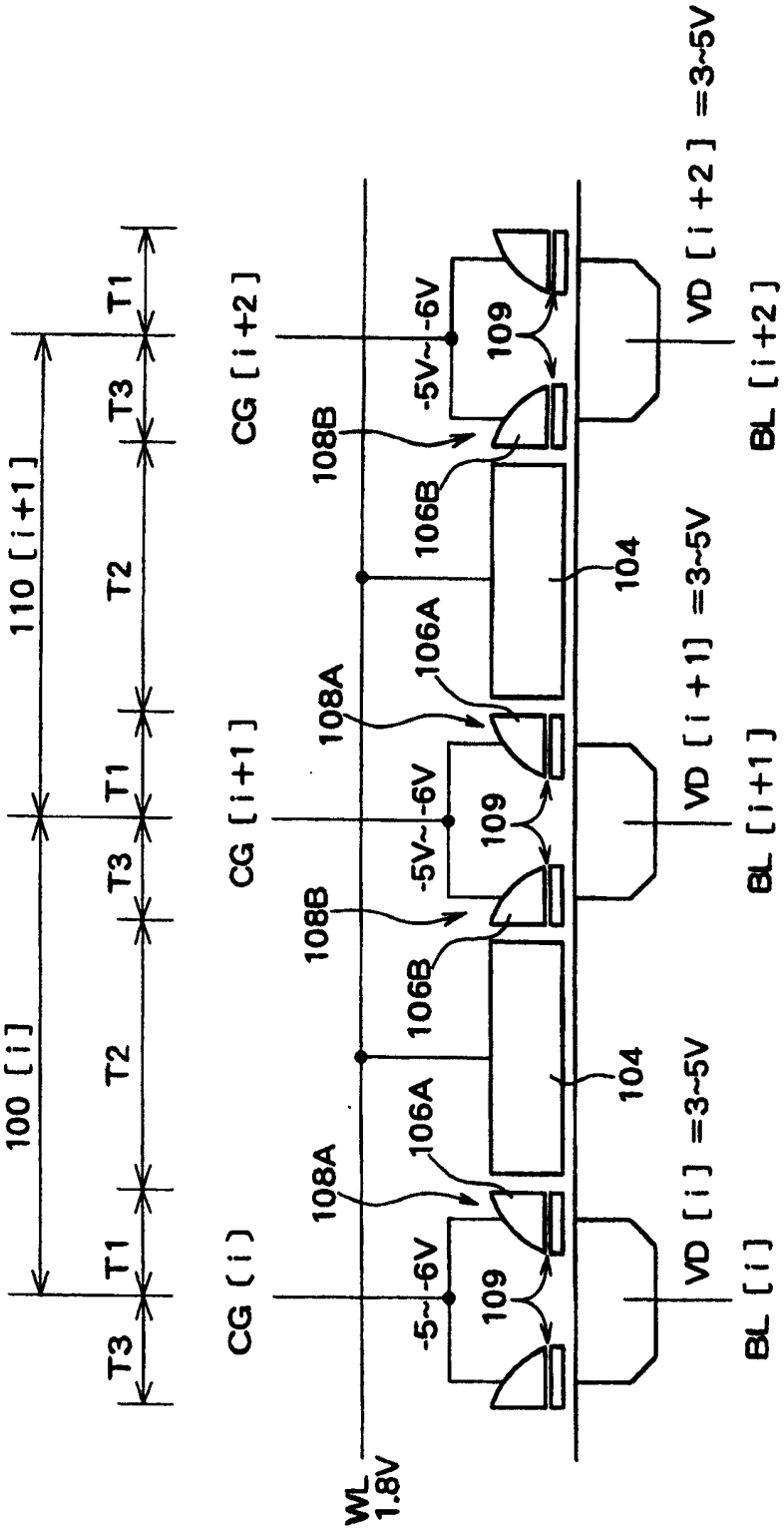

WL
1.8V
CG [i]
CG [i+1]
CG [i+2]
BL [i]
BL [i+1]
BL [i+2]
VD [i] =3~5V
VD [i+1] =3~5V
VD [i+2] =3~5V
-5~-6V
-5V~-6V
100 [i]
110 [i+1]
T1
T2
T3
104
106A
106B
108A
108B
109

图 6

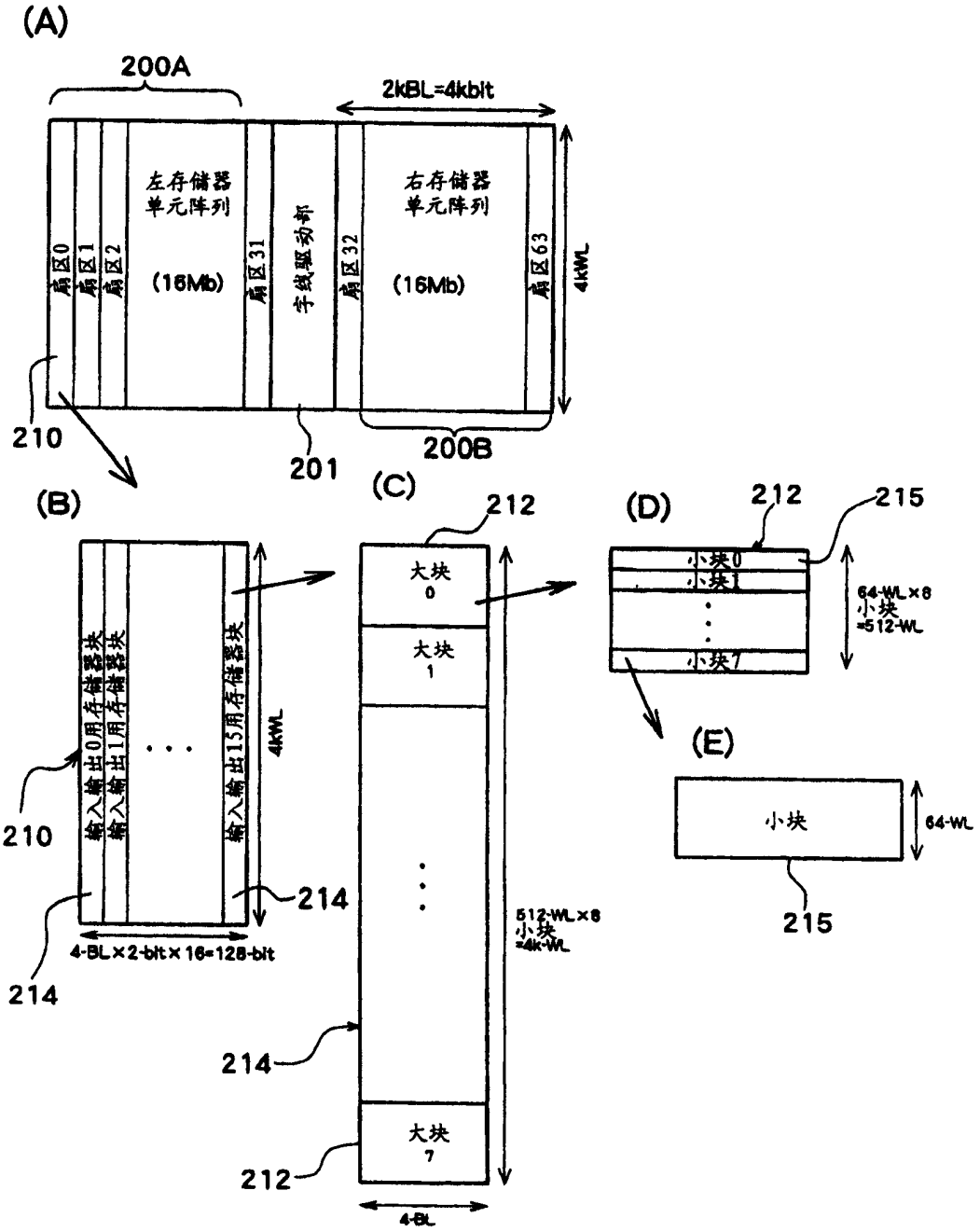

(A)
200A
2kBL=4kbit
扇区0
扇区1
扇区2
左存储器单元阵列
(16Mb)
扇区31
字线驱动部
扇区32
右存储器单元阵列
(16Mb)
扇区63
4kWL
210
201
200B
(B)
输入输出0用存储器块
输入输出1用存储器块
输入输出15用存储器块
4kWL
210
214
4-BL×2-bit×16=128-bit
214
(C)
212
大块0
大块1
大块7
512-WL×8小块=4k-WL
214
212
4-BL
(D)
212
215
小块0
小块1
小块7
64-WL×8小块=512-WL
(E)
小块
64-WL
215

图 7

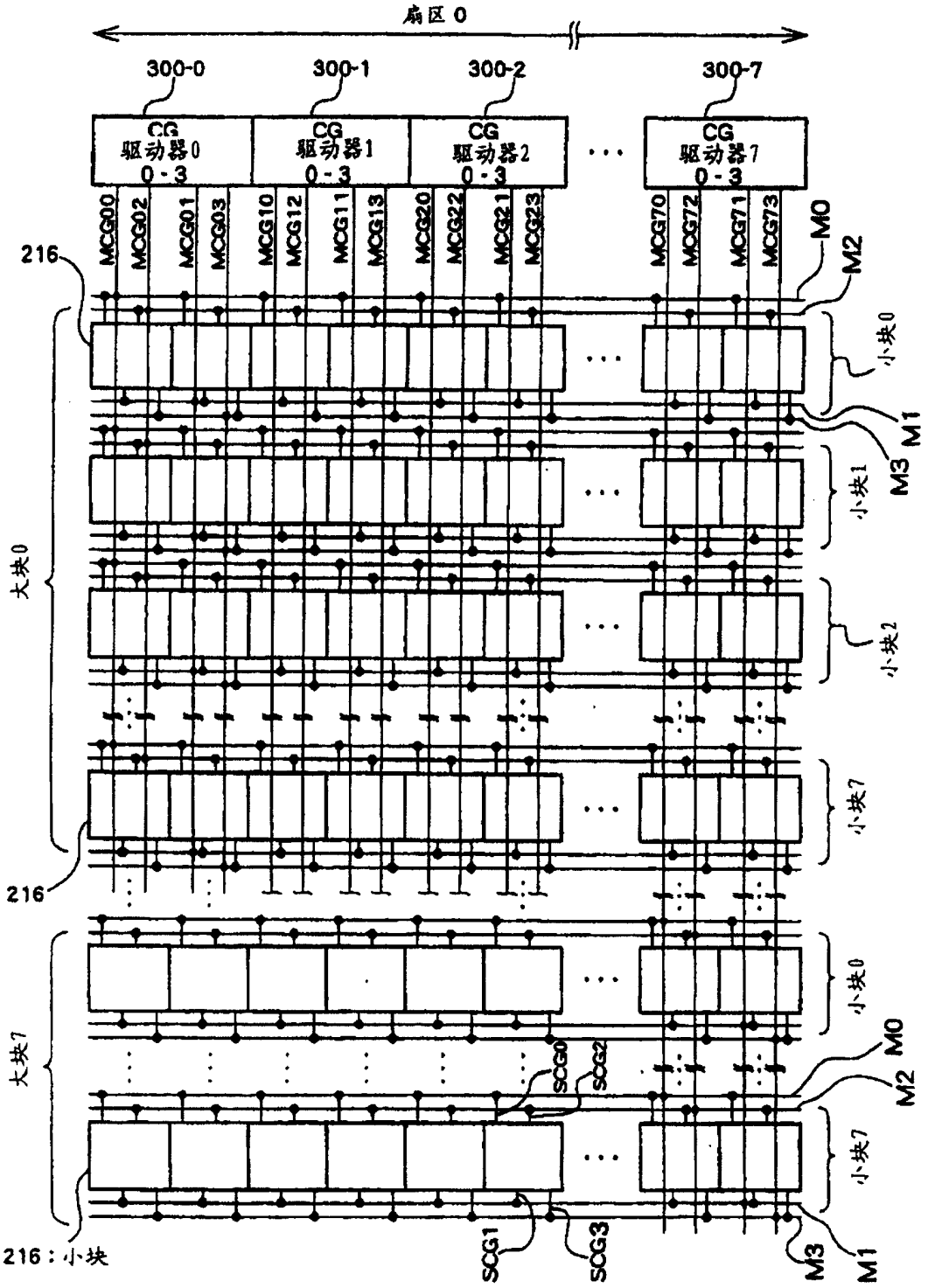

扇区 0
300-0
300-1
300-2
300-7
CG 驱动器0 0-3
CG 驱动器1 0-3
CG 驱动器2 0-3
CG 驱动器7 0-3
MCG00
MCG02
MCG01
MCG03
MCG10
MCG12
MCG11
MCG13
MCG20
MCG22
MCG21
MCG23
MCG70
MCG72
MCG71
MCG73
M0
M2
M1
M3
216
大块0
大块7
小块0
小块1
小块2
小块7
SCG0
SCG2
SCG1
SCG3
216：小块

图 8

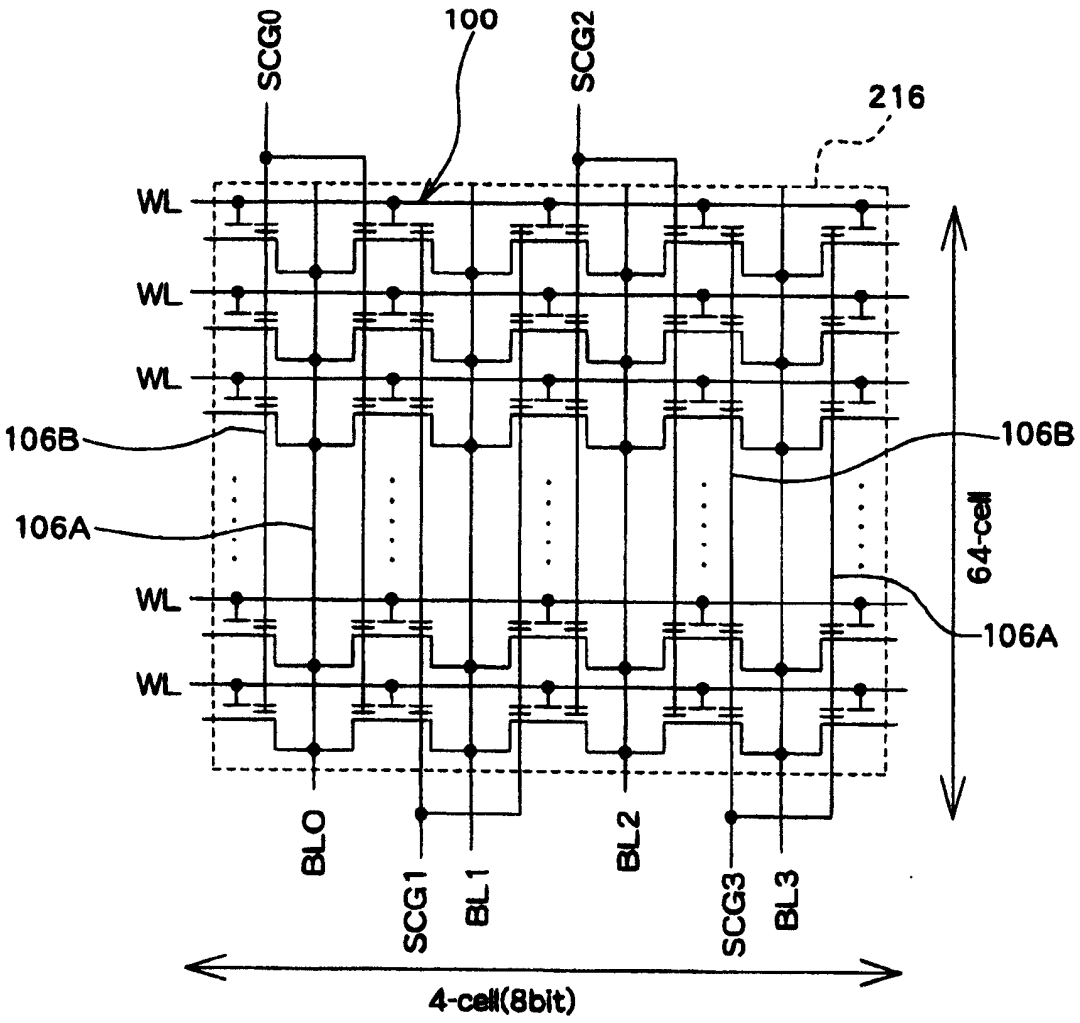

SCG0
100
SCG2
216
WL
WL
WL
106B
106A
WL
WL
106B
64-cell
106A
BL0
SCG1
BL1
BL2
SCG3
BL3
4-cell(8bit)

图 9

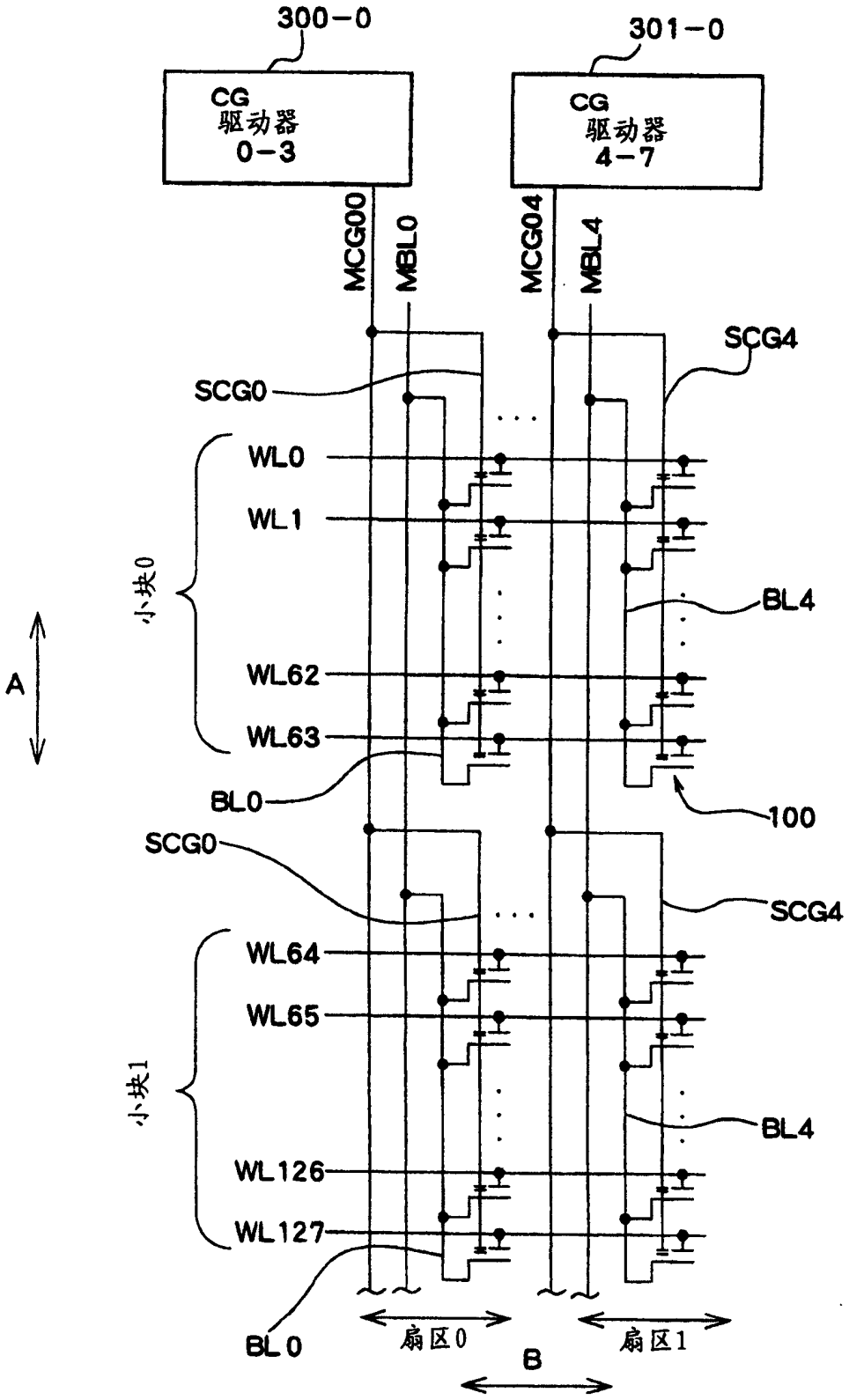

300-0
301-0
CG
驱动器
0-3
CG
驱动器
4-7
MCG00
MBL0
MCG04
MBL4
SCG0
SCG4
WL0
WL1
WL62
WL63
小块0
A
BL4
BL0
100
SCG0
SCG4
WL64
WL65
WL126
WL127
小块1
BL4
BL0
扇区0
扇区1
B

图 10

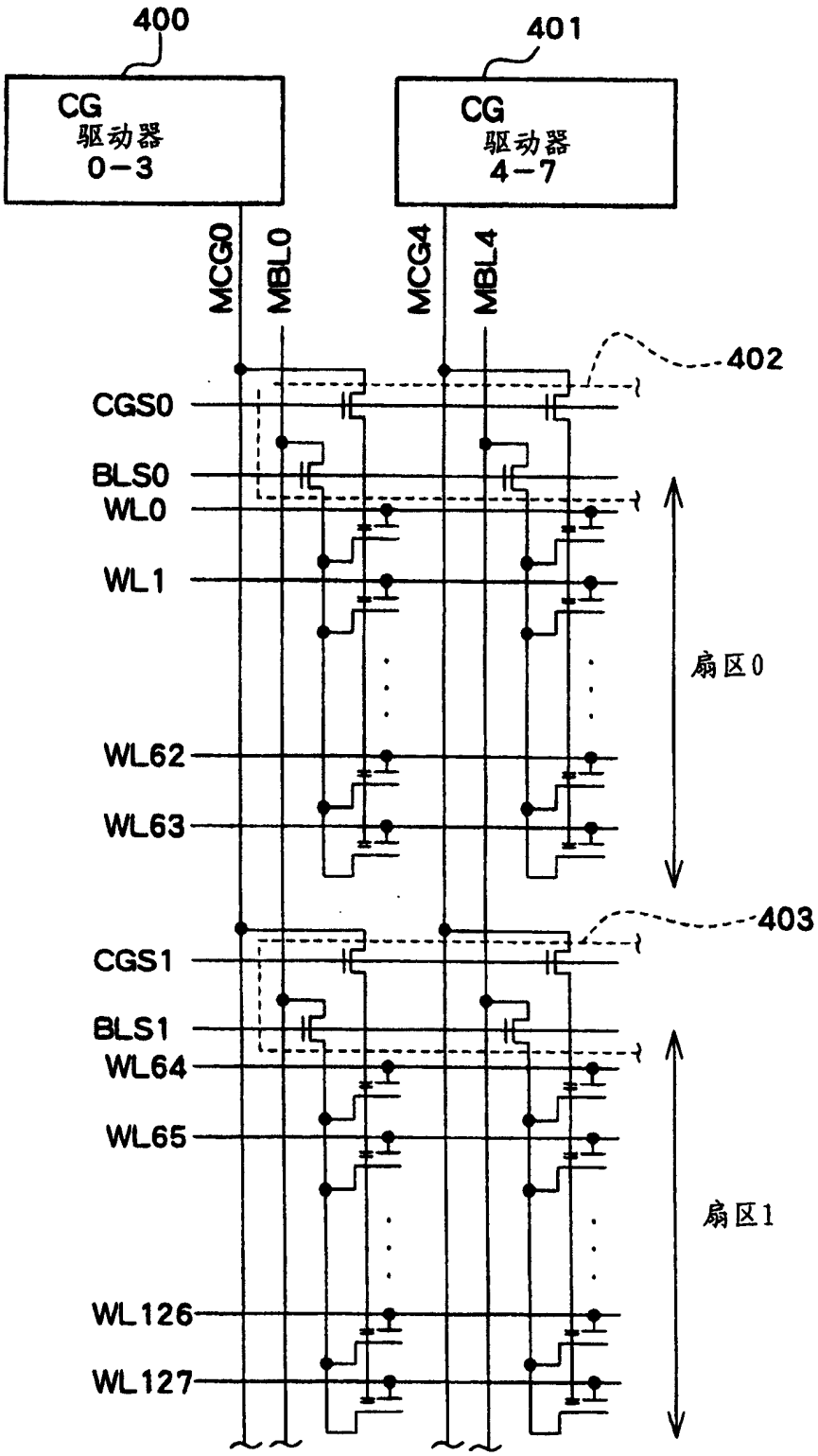

400
401
CG
驱动器
0-3
CG
驱动器
4-7
MCG0
MBL0
MCG4
MBL4
402
CGS0
BLS0
WL0
WL1
扇区0
WL62
WL63
403
CGS1
BLS1
WL64
WL65
扇区1
WL126
WL127

图 11

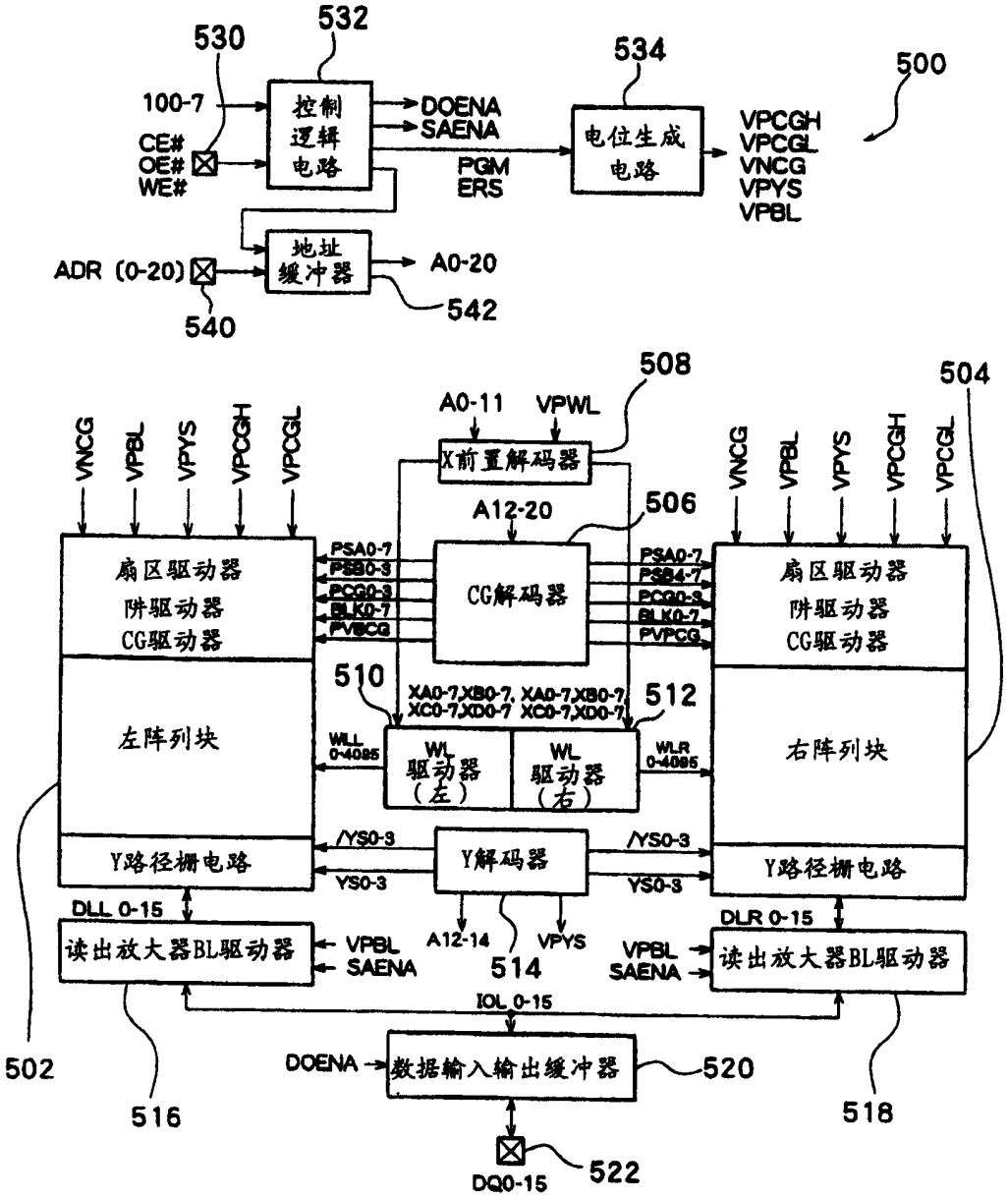

530
532
534
500
100-7
CE#
OE#
WE#
控制逻辑电路
DOENA
SAENA
PGM
ERS
电位生成电路
VPCGH
VPCGL
VNCG
VPYS
VPBL
ADR (0-20)
地址缓冲器
A0-20
542
540
508
504
A0-11
VPWL
X前置解码器
A12-20
506
VNCG
VPBL
VPYS
VPCGH
VPCGL
扇区驱动器
阱驱动器
CG驱动器
PSA0-7
PSB0-3
PCG0-3
BLK0-7
PVBCG
CG解码器
PSA0-7
PSB4-7
PCG0-3
BLK0-7
PVPCG
510
512
XA0-7,XB0-7, XA0-7,XB0-7
XC0-7,XD0-7 XC0-7,XD0-7
左阵列块
WLL 0-4095
WL驱动器(左)
WL驱动器(右)
WLR 0-4095
右阵列块
/YS0-3
YS0-3
Y路径栅电路
Y解码器
DLL 0-15
DLR 0-15
读出放大器BL驱动器
VPBL
SAENA
A12-14
514
VPYS
IOL 0-15
502
516
518
DOENA
数据输入输出缓冲器
520
DQ0-15
522

图 12

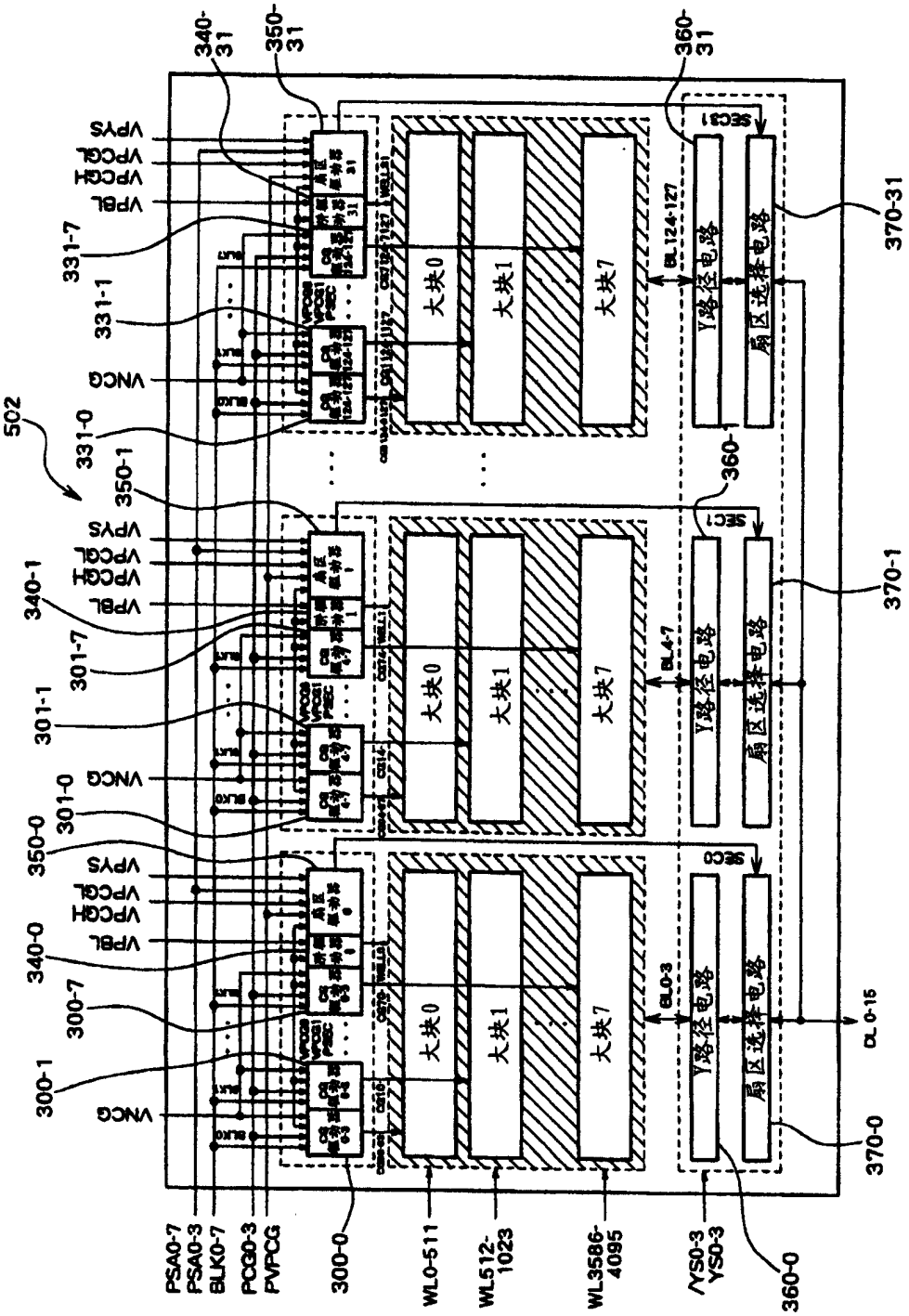

502
340-31
350-31
360-31
370-31
331-7
331-1
331-0
350-1
360-1
370-1
340-1
301-7
301-1
301-0
350-0
360-0
370-0
340-0
300-7
300-1
300-0
VPYS
VPCGE
VPCGE
VPBL
VNCG
大块0
大块1
大块7
Y路径电路
扇区选择电路
BL124-127
BL4-7
BL0-3
CL0-15
PSA0-7
PSA0-3
BLK0-7
PCG0-3
PVPCG
WL0-511
WL512-1023
WL3586-4095
/YS0-3
YS0-3

图 13

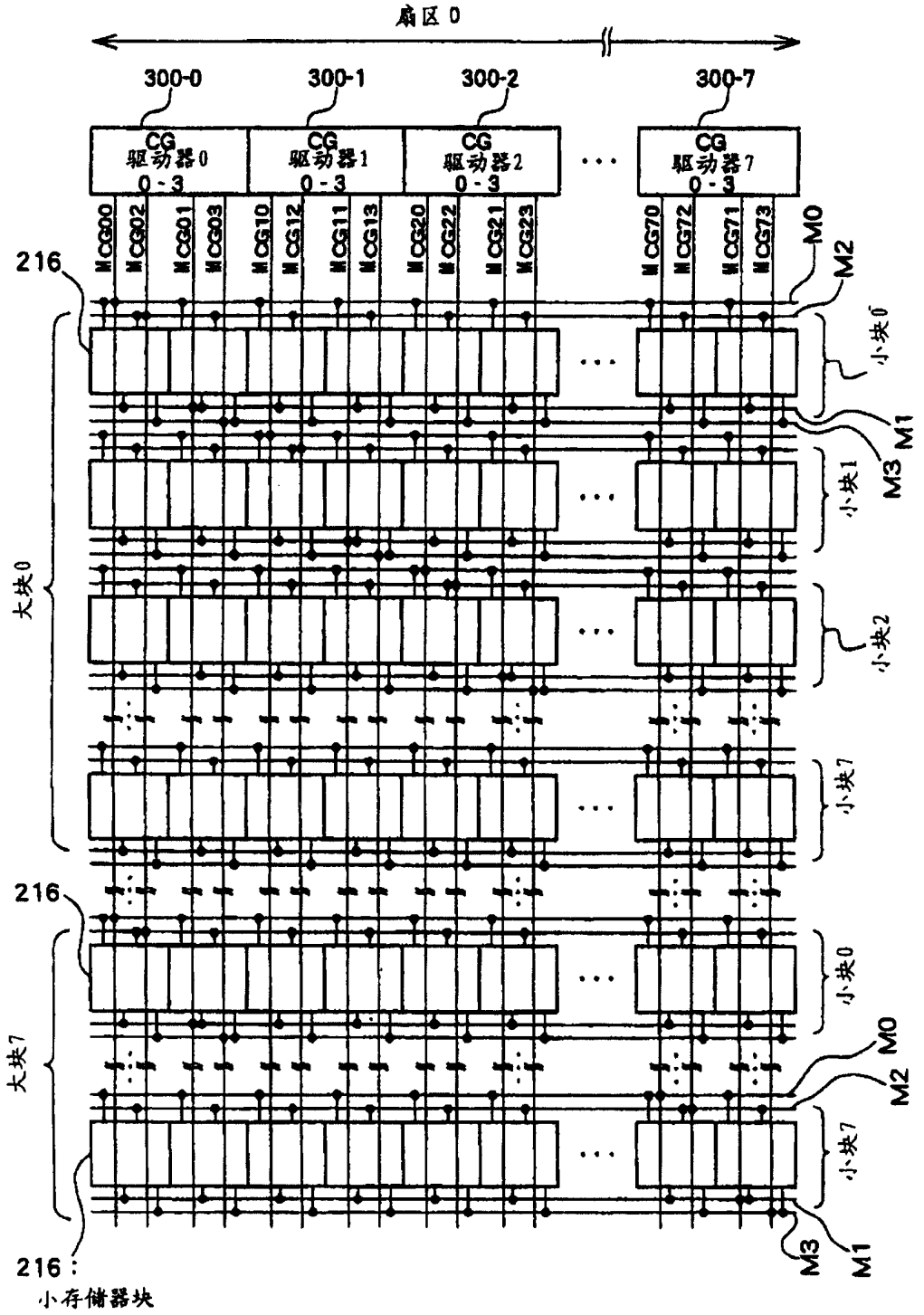

扇区 0
300-0
300-1
300-2
300-7
CG 驱动器 0 0 - 3
CG 驱动器 1 0 - 3
CG 驱动器 2 0 - 3
CG 驱动器 7 0 - 3
MCG00
MCG02
MCG01
MCG03
MCG10
MCG12
MCG11
MCG13
MCG20
MCG22
MCG21
MCG23
MCG70
MCG72
MCG71
MCG73
M0
M2
M1
M3
216
大块 0
大块 7
小块 0
小块 1
小块 2
小块 7
216：
小存储器块

图 14

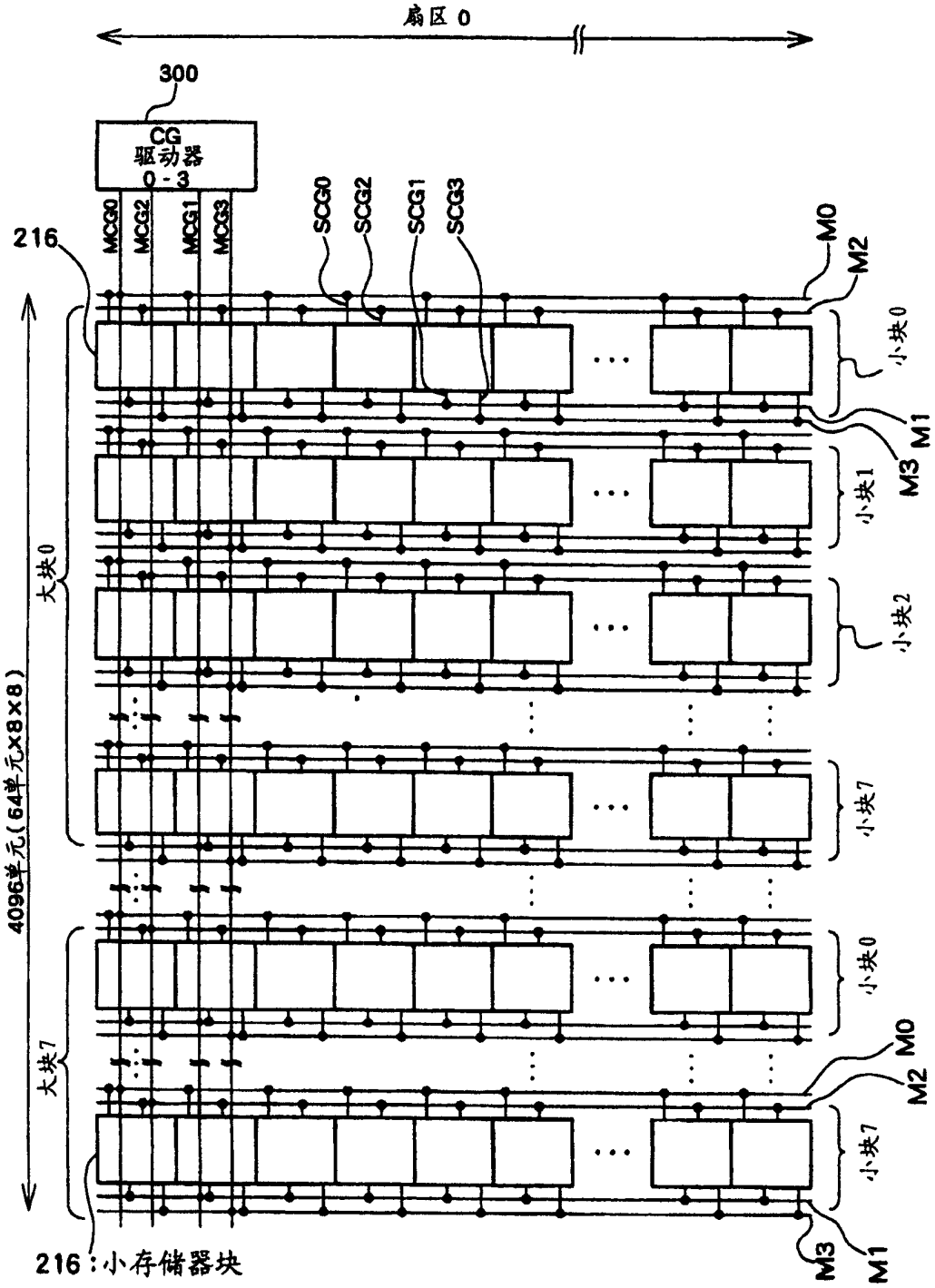

扇区 0
300
CG
驱动器
0 - 3
MCG0
MCG2
MCG1
MCG3
SCG0
SCG2
SCG1
SCG3
216
M0
M2
M1
M3
小块0
小块1
小块2
小块7
大块0
大块7
4096单元(64单元x8x8)
216：小存储器块

图 15