

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4577681号  
(P4577681)

(45) 発行日 平成22年11月10日(2010.11.10)

(24) 登録日 平成22年9月3日(2010.9.3)

(51) Int.Cl.		F I
<b>G09G 3/28 (2006.01)</b>		G09G 3/28 H
<b>G09G 3/20 (2006.01)</b>		G09G 3/20 621F
		G09G 3/20 622C
		G09G 3/20 624M

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2004-223368 (P2004-223368)	(73) 特許権者	505348027 株式会社日立プラズマパテントライセンシング
(22) 出願日	平成16年7月30日(2004.7.30)		東京都千代田区大手町二丁目2番1号
(65) 公開番号	特開2006-39479 (P2006-39479A)	(74) 代理人	100086933 弁理士 久保 幸雄
(43) 公開日	平成18年2月9日(2006.2.9)	(72) 発明者	平川 仁 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成19年6月11日(2007.6.11)	(72) 発明者	石本 学 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	粟本 健司 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

誘電体で被われた平行な第1電極及び第2電極と、前記第1電極及び第2電極と交差する方向に設けられた第3電極とを、各セルに備えたプラズマディスプレイパネルの駆動方法であって、

表示対象セルをアドレスする際に、前記第2電極と前記第3電極の間でアドレス用放電を発生させる操作の前に、前記第1電極及び第2電極上の誘電体層に同一極性の壁電荷を形成する操作を行い、その後、前記第1電極および第2電極の電位を負電位にバイアスし、選択行に対応した前記第2電極に負極性のスキャンパルスを加することにより、前記アドレス用放電を前記第2電極と前記第3電極の間でのみ発生させるようにしたことを特徴とする、プラズマディスプレイパネルの駆動方法。

10

【請求項2】

前記第1電極及び第2電極上の誘電体層の壁電荷の極性が、負極性であることを特徴とする、請求項1に記載のプラズマディスプレイパネルの駆動方法。

【請求項3】

誘電体で被われた平行な第1電極及び第2電極と、前記第1電極及び第2電極と交差する方向に設けられた第3電極とを、各セルに備えたプラズマディスプレイパネルを駆動する際に、複数の壁電荷を調整するためのリセット期間と、表示データに応じて任意のセルを点灯させるためのアドレス期間と、点灯セルの点灯を維持させるためのサステイン期間とに区分する、プラズマディスプレイパネルの駆動方法であって、

20

前記リセット期間に、全てのセルの前記第 1 電極及び第 2 電極上の誘電体層に同一極性の壁電荷を形成し、

前記アドレス期間に、前記第 1 電極および第 2 電極の電位を負電位にバイアスし、選択行に対応した前記第 2 電極に負極性のスキャンパルスを印加することにより、点灯セルの第 2 電極と第 3 電極の間でのみ放電を発生させることを特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 4】

前記リセット期間に、前回点灯したセルの第 1 電極及び第 3 電極の間で放電を生じさせる第 1 の操作と、前回点灯したセルの第 1 電極と第 3 電極の間と第 2 電極と第 3 電極の間において放電を生じさせる第 2 の操作と、を加えることを特徴とする、請求項 3 に記載のプラズマディスプレイパネルの駆動方法。

10

【請求項 5】

前記第 2 の操作は、前記第 1 電極及び第 2 電極に鈍波パルスをそれぞれ印加することを特徴とする、請求項 4 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 6】

前記アドレス期間に、点灯セルのアドレス後に全てのセルの第 1 電極及び第 2 電極に鈍波パルスを一斉に印加する第 3 の操作を加えることを特徴とする、請求項 4 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】

前記第 3 の操作の後の前記サステイン期間の前に、サステインパルスと同じ波高値を有しかつサステインパルスより大きいパルス幅を有するパルスを前記第 1 電極及び第 2 電極に印加する第 4 の操作を加え、点灯セルの全てを放電させることを特徴とする、請求項 6 に記載のプラズマディスプレイパネルの駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PDP（プラズマ・ディスプレイ・パネル）の駆動に関し、特に PDP におけるリセット電圧の印加に関する。

【背景技術】

【0002】

PDP においては、特開 2001-13911 号公報に記載されているように、アドレス期間において、直交する複数のアドレス電極 A と複数のスキャン電極 Y の間で選択的に対向放電させて、その放電をトリガにしてスキャン電極 Y とサステイン電極 X の間の面放電を起こさせ、表示のために放電させる選択セルと放電させない非選択セルとを決める。即ち、アドレス期間におけるアドレス放電は、アドレス電極 A とスキャン電極 Y との間の対向放電と、スキャン電極 Y とサステイン電極 X との間の面放電とからなる一連の放電である。ここで、このアドレス放電では高い精度が要求される。例えば、放電発光させるべき或るセルにおいてアドレス放電が発生しなければ、そのセルは発光しない。また、放電発光させないセルにおいてアドレス放電が発生すると、そのセルは不必要に発光する。アドレス放電において、アドレス電極 A とスキャン電極 Y の間で放電が発生しても、スキャン電極 Y とサステイン電極 X の間の放電が発生しなければ、アドレス放電は失敗する。従って、アドレス放電の精度が低いと表示品質が低下する。アドレス放電の精度を高くするために、アドレス電圧を高くし、またはアドレスパルス幅を広くしていた。

30

40

【特許文献 1】特開 2001-13911 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、アドレス電圧を高くすると、高耐圧ドライバや放熱の機構の導入が必要になり、PDP のコストが高くなる。また、アドレスパルス幅を広くすると、表示放電のための時間が制限され、輝度および階調数の低下が生じる。それを改善するためにアドレス電極

50

を上下二分割してアドレスドライバの数を増やすと、PDPのコストが高くなる。

【0004】

発明者たちは、PDPの駆動のアドレス期間において、アドレス電極Aとスキャン電極Yの間の対向放電によってトリガされるサステイン電極Xとスキャン電極Yの間の面放電を生じさせなければ、アドレス期間をより短くできると認識した。

【0005】

本発明の目的は、PDPの駆動のアドレス期間においてサステイン電極とスキャン電極の間で面放電を生じさせないことである。

【0006】

本発明の別の目的は、PDPの駆動のアドレス放電においてアドレスパルスの幅をより短くできるようにし、アドレス期間をより短くできるようにすることである。

【0007】

本発明のさらに別の目的は、PDPにおいて駆動の表示期間をより長くできるようにすることである。

【0008】

本発明のさらに別の目的は、PDPにおいてより高い表示品質を実現することである。

【課題を解決するための手段】

【0009】

本発明の特徴によれば、誘電体で被われた平行な第1電極及び第2電極と、その第1電極及び第2電極と交差する方向に設けられた第3電極とを、各セルに備えたプラズマディスプレイパネルの駆動方法は、表示対象セルをアドレスする際に、その第2電極とその第3電極の間でアドレス用放電を発生させる操作の前に、その第1電極及び第2電極上の誘電体層に同一極性の壁電荷を形成する操作を行うことによって、そのアドレス用放電をその第2電極とその第3電極の間でのみ発生させるようにする。

【0010】

本発明の別の特徴によれば、プラズマディスプレイパネルの駆動方法は、複数の壁電荷を調整するためのリセット期間と、表示データに応じて任意のセルを点灯させるためのアドレス期間と、点灯セルの点灯を維持させるためのサステイン期間とに区分し、そのリセット期間に、全てのセルの第1電極及び第2電極上の誘電体層に同一極性の壁電荷を形成し、そのアドレス期間に、点灯セルの第2電極と第3電極の間でのみ放電を発生させる。

【発明の効果】

【0011】

本発明によれば、PDPにおける駆動のアドレス期間をより短くでき、それによって表示期間をより長くでき、それによってPDPにおいてより高い表示品質を実現することができる。

【発明を実施するための最良の形態】

【0012】

本発明の実施形態を、図面を参照して説明する。図面において、同様の構成要素には同じ参照番号が付されている。

【0013】

図1は本発明の実施形態による表示装置60の構成を示している。表示装置60は、 $m \times n$ 個のセルのアレイからなる表示面を有する3電極面放電型のPDP10と、セルのアレイを選択的に発光させるためのドライブユニット50とを具備しており、例えばテレビジョン受像機、コンピュータ・システムのモニタ等に利用される。

【0014】

PDP10では、表示放電を生じさせるための電極対を構成する表示電極XおよびYが平行に配置され、これら表示電極XおよびYと交差するようにアドレス電極Aが配置されている。表示電極Xはサステイン(維持)電極であり、表示電極Yはスキャン(走査)電極である。表示電極XおよびYは、典型的には画面の行方向または水平方向に延び、アドレス電極Aは列方向または垂直方向に延びている。

10

20

30

40

50

## 【 0 0 1 5 】

ドライブユニット50は、ドライバ制御回路51、データ変換回路52、電源回路53、X電極ドライバ回路またはXドライバ回路61、Y電極ドライバ回路またはYドライバ回路64、およびアドレス電極ドライバ回路またはAドライバ回路68を含んでおり、場合によってROMを含み得る集積回路の形態で実装される。ドライブユニット50には、TVチューナまたはコンピュータのような外部装置からR、GおよびBの3原色の発光強度を示すフィールドデータDfが各種の同期信号とともに入力される。フィールドデータDfはデータ変換回路52の中のフィールドメモリに一時的に記憶される。データ変換回路52は、フィールドデータDfを階調表示のためのサブフィールドデータDsfに変換してAドライバ回路68に供給する。サブフィールドデータDsfは、1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフィールドSFにおける各セルの発光の要否、より正確にはアドレス放電の要否を表す。

10

## 【 0 0 1 6 】

Xドライバ回路61は、PDP表示面を構成する複数のセルの壁電圧を均等にするために表示電極Xに初期化のための電圧を印加するリセット回路62と、セルに表示放電を生じさせるために表示電極Xにサステインパルスを印加するサステイン回路63とを含んでいる。Yドライバ回路64は、表示電極Yに初期化のための電圧を印加するリセット回路65と、アドレッシングにおいて表示電極Yにスキャンパルスを印加するスキャン回路66と、セルに表示放電を生じさせるために表示電極Yにサステインパルスを印加するサステイン回路67とを含んでいる。Aドライバ回路68は、表示データに応じてサブフィールドデータDsfによって指定されたアドレス電極Aにアドレスパルスを印加する。

20

## 【 0 0 1 7 】

ドライバ制御回路51は、パルス電圧の印加およびサブフィールドデータDsfの転送を制御する。電源回路53はユニット内の所要部分に駆動電力を供給する。

## 【 0 0 1 8 】

図2はPDP10のセル構造の一例を示している。PDP10は1対の基板構体(ガラス基板上にセル構成要素を設けた構造体)100および20からなる。前面側のガラス基板11の内面に、n行m列の表示面ESの各行に1対ずつ表示電極XおよびYが配置されている。この図において、表示電極XおよびYの添字jは任意の行の位置を示し、アドレス電極Aの添字iは任意の列の位置を示す。表示電極XおよびYは、面放電ギャップを形成する透明導電膜41とその端縁部に重ねられた金属膜42とからなり、誘電体層17および保護膜18が被覆されている。背面側のガラス基板21の内面に1列に1本ずつアドレス電極Aが配列されており、これらアドレス電極Aは誘電体層24で被覆されている。誘電体層24の上に放電空間を列毎に区画する隔壁またはリブ29が設けられている。隔壁のパターンはストライプのパターンである。誘電体層24の表面および隔壁29の側面を被覆するカラー表示用の蛍光体層28R、28Gおよび28Bは、放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体文字(R、G、B)は蛍光体の発光色を示す。色配列は各列のセルを同色とするR、GおよびBの繰り返しパターンである。

30

## 【 0 0 1 9 】

1つのピクチャ(画面)は典型的には約16.7msの1フレーム期間で構成されており、インターレース型走査では1フレームが2つのフィールドで構成され、プログレッシブ型走査では1フレームが1つのフィールドで構成されている。PDP10による表示では、2値の発光制御によってカラー再現を行うために、典型的にはそのような1フィールド期間の入力画像の時系列の1つのフィールドFを所定数qのサブフィールドSFに分割する。典型的には、各フィールドFをq個のサブフィールドSFの集合に置き換える。しばしば、これらサブフィールドSFに順に $2^0$ 、 $2^1$ 、 $2^2$ 、...、 $2^{q-1}$ の重みを付けて各サブフィールドSFの表示放電の回数を設定する。但し、サブフィールドSFの重み付けは前記のような2の乗数に限定されるものではない。サブフィールド単位の発光/非発光の組合せでR、GおよびBの各色毎に $N(=1+2^1+2^2+\dots+2^{q-1})$ 段階の輝度設定を行うことができる。このようなフィールド構成に合わせてフィールド

40

50

転送周期であるフィールド期間  $T_f$  を  $q$  個のサブフィールド期間  $T_{sf}$  に分割し、各サブフィールド  $SF$  に 1 つのサブフィールド期間  $T_{sf}$  を割り当てる。さらに、サブフィールド期間  $T_{sf}$  を、初期化のためのリセット期間  $T_R$ 、アドレッシングのためのアドレス期間  $T_A$ 、および発光のための表示またはサステイン期間  $T_S$  に分ける。典型的には、リセット期間  $T_R$  およびアドレス期間  $T_A$  の長さが重みに係わらず一定であるのに対し、表示期間  $T_S$  におけるパルス数は重みが大きいほど多く、表示期間  $T_S$  の長さは重みが大きいほど長い。この場合、サブフィールド期間  $T_{sf}$  の長さも、該当するサブフィールド  $SF$  の重みが大きいほど長い。但し、リセット期間  $T_R$  およびアドレス期間  $T_A$  の長さは、それに限定されることなく、サブフィールド毎に異なってもよい。

#### 【0020】

図3は、Xドライバ回路61、Yドライバ回路64およびAドライバ回路68の出力駆動電圧波形の概略的な通常の駆動シーケンスを例示している。なお、図示の波形は一例であり、振幅、極性およびタイミングを様々に変更することができる。

#### 【0021】

リセット期間  $T_R$ 、アドレス期間  $T_A$  およびサステイン期間  $T_S$  の順序は、 $q$  個のサブフィールド  $SF$  において同じであり、駆動シーケンスはサブフィールド  $SF$  毎に繰り返される。各サブフィールド  $SF$  のリセット期間  $T_R$  においては、全ての表示電極  $X$  に対して負極性のパルス  $P_{rx1}$  と正極性のパルス  $P_{rx2}$  とを順に印加し、全ての表示電極  $Y$  に対して正極性のパルス  $P_{ry1}$  と負極性のパルス  $P_{ry2}$  とを順に印加する。パルス  $P_{rx1}$ 、 $P_{ry1}$  および  $P_{ry2}$  は微小放電が生じる変化率で振幅が漸増するランプ波形（鈍波）パルスである。最初に印加されるパルス  $P_{rx1}$  および  $P_{ry1}$  は、前サブフィールド  $SF$  における発光/非発光に係わらず全てのセルに同一極性の適度な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルス  $P_{rx2}$  および  $P_{ry2}$  を印加することにより、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。なお、表示電極  $X$  および  $Y$  の片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極  $X$  および  $Y$  の双方に互いに1対の逆極性のパルスを印加することによってドライバ回路素子の低耐圧化を図ることができる。セルに加わる駆動電圧は、表示電極  $X$  および  $Y$  に印加されるパルスの振幅を加算した合成電圧である。

#### 【0022】

アドレス期間  $T_A$  においては、発光させるセルのみに発光維持に必要な壁電荷を形成する。全ての表示電極  $X$  および全ての表示電極  $Y$  を所定電位にバイアスした状態で、行選択期間（1行分のスキャン時間）毎に選択行に対応した1つの表示電極  $Y$  に負極性のスキャンパルス  $-V_y$  を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極  $A$  のみにアドレスパルス  $V_a$  を印加する。つまり、選択行  $j$  の  $m$  列分のサブフィールドデータ  $D_{sf}$  に基づいてアドレス電極  $A_1 \sim A_m$  の電位を2値制御する。選択セルでは表示電極  $Y$  とアドレス電極  $A$  との間の放電が生じる。そのアドレス放電がトリガとなって、その後の表示電極  $X-Y$  間の面放電が生じる。これら一連の放電がアドレス放電である。

#### 【0023】

サステイン期間  $T_S$  においては、最初に全ての表示電極  $Y$  に対して所定極性（図の例では正極性）のサステインパルス  $P_s$  を印加する。その後、表示電極  $X$  と表示電極  $Y$  とに対して交互にサステインパルス  $P_s$  を印加する。サステインパルス  $P_s$  の振幅は維持電圧  $V_s$  である。サステインパルス  $P_s$  の印加によって、所定の壁電荷が残存するセルにおいて面放電が生じる。サステインパルス  $P_s$  の印加回数は、上述したようにサブフィールド  $SF$  の重みに対応する。なお、サステイン期間  $T_S$  全体にわたって不要な対向放電を防止するために、アドレス電極  $A$  をサステインパルス  $P_s$  と同極性の電圧  $V_{as}$  にバイアスする。

#### 【0024】

図4A、4Bおよび4Cは、図3の通常の駆動シーケンスによる、それぞれ、リセット放電後、その後のアドレス放電およびアドレス放電後における、セルのアドレス電極  $A_i$

10

20

30

40

50

、サステイン電極 $X_j$ およびスキャン電極 $Y_j$ における壁電荷の状態を示している。

【0025】

リセット期間 $T_R$ ではスキャン電極 $Y_j$ のみを陽極とし、アドレス電極 $A_i$ とサステイン電極 $X_j$ を陰極とした関係が成立するように印加電圧波形や電位を制御している。その結果、図4Aに示されているように、リセット放電後のアドレス放電前では、 $Y_j$ 電極に負極性の電荷が、アドレス電極 $A_i$ とサステイン電極 $X_j$ には正極性の電荷がそれぞれ形成される。図4Bに示されているように、アドレス放電では、アドレス電極 $A_i$ とスキャン電極 $Y_j$ の間の対向放電をトリガにして、サステイン電極 $X_j$ とスキャン電極 $Y_j$ の間の面放電を引き起こさせる。図4Cに示されているように、アドレス放電終了後では、サステイン電極 $X_j$ 上に負極性の電荷が、スキャン電極 $Y_j$ 上に正極性の電荷が形成され、サステイン放電が可能となる。

10

【0026】

しかし、3電極を含めたアドレス放電の形態なので、アドレス電極 $A_i$ とスキャン電極 $Y_j$ の間の対向放電が発生してもスキャン電極 $Y_j$ とサステイン電極 $X_j$ の間の面放電が発生しなければ、アドレス放電は失敗となる。従って、アドレスパルスの幅を所定値以上に大きくしなければならない。アドレスするのに時間がかかると、表示放電のための時間が短くなり、従って輝度および階調数が低下する。

【0027】

本発明の実施形態によるPDPドライブユニット50は、リセット期間 $T_R$ におけるスキャン電極 $Y$ およびサステイン電極 $X$ に印加するパルス電圧またはランプ波電圧の極性に特徴を有する。それによってアドレス期間 $T_A$ をより短くすることができ、それによって、サステイン期間 $T_S$ をより長くでき、それによって表示品質をより高くすることができる。

20

【0028】

図5A、5Bおよび5Cは、本発明の実施形態による、Aドライバ回路68、Xドライバ回路61およびYドライバ回路64の出力駆動電圧波形の概略的な駆動シーケンスを示している。なお、図示の波形は一例であり、波形、振幅、極性およびタイミングを様々に変更することができる。リセット期間 $T_R$ 、アドレス期間 $T_A$ およびサステイン期間 $T_S$ の順序は、 $q$ 個のサブフィールド $SF$ において同じであり、駆動シーケンスはサブフィールド $SF$ 毎に繰り返される。

30

【0029】

本発明の実施形態によれば、各サブフィールド $SF$ のリセット期間 $T_R$ は、前処理期間 $RPR$ およびリセット放電期間 $RD$ を含んでいる。アドレス期間 $T_A$ は、アドレス放電期間 $AD$ および後処理期間 $APT$ を含んでいる。

【0030】

図6A、6Bおよび6Cは、それぞれ、前のサブフィールド $SF$ のサステイン期間 $T_S$ の終了後、その後のリセット期間 $T_R$ の前処理期間 $RPR$ 、およびリセット放電期間 $RD$ 後における、点灯したセルのアドレス電極 $A_i$ 、サステイン電極 $X_j$ およびスキャン電極 $Y_j$ における電荷の状態を示している。

【0031】

図7A、7Bおよび7Cは、それぞれ、前のサブフィールド $SF$ のサステイン期間 $T_S$ の終了後、その後のリセット期間 $T_R$ の前処理期間 $RPR$ 、およびリセット放電期間 $RD$ 後における、点灯しなかったセルのアドレス電極 $A_i$ 、サステイン電極 $X_j$ およびスキャン電極 $Y_j$ における電荷の状態を示している。

40

【0032】

図6Aにおいて、サステイン期間 $T_S$ の終了後の点灯したセルのアドレス電極 $A_i$ 、サステイン電極 $X_j$ およびスキャン電極 $Y_j$ には、それぞれ正極性、負極性および正極性の電荷が形成されている。図7Aにおいて、サステイン期間 $T_S$ の終了後の点灯しなかったセルのアドレス電極 $A_i$ 、サステイン電極 $X_j$ およびスキャン電極 $Y_j$ には、それぞれ正極性、負極性および負極性の電荷が形成されているが、後で説明するように前のアドレス

50

期間 T A における消去放電によって壁電荷が既に消失している。

【 0 0 3 3 】

図 5 A ~ 5 C に示されているように、前処理期間 R P R において、A ドライバ回路 6 8 は、全てのアドレス電極 A 1 ~ A m に正極性パルス電圧 P p r a を印加し、X ドライバ回路 6 1 のリセット回路 6 2 および Y ドライバ回路 6 4 のリセット回路 6 5 は全てのサステイン電極 X 1 ~ X n および全てのスキャン電極 Y 1 ~ Y n に負極性パルス電圧 P p r x および P p r y を印加する。それによって、図 6 B に示されているように、前のサステイン期間 T S において点灯したセルについて、電極 A i と電極 X j の間で放電が生じ、電極 X j 上の電荷の極性が反転する。それによって、電極 X j および電極 Y j 上の電荷の極性が同じ正極性になり、電荷量が概ね等しくなる。一方、図 7 B において、前処理期間 R P R 10 の後の非点灯セルのアドレス電極 A i、サステイン電極 X j およびスキャン電極 Y j は、壁電荷が消失しているので、放電が生じず、図 7 A と同じ電荷の状態を維持する。セルの電極がこのような電荷の状態を取ることによって、後続のリセット放電期間 R D において、電極 X j と電極 A i の間と、電極 Y j と電極 A i の間における書き込み放電が促進される。

【 0 0 3 4 】

リセット放電期間 R D において、リセット回路 6 2 および 6 5 は、全てのサステイン電極 X に対してピーク値 V x w の正極性のランプ波または鈍波パルス電圧 P r x 1 とピーク値 - V b x の負極性のランプ波パルス電圧 P r x 2 とを順に印加し、全てのスキャン電極 Y に対してピーク値 V y w の正極性のランプ波パルス電圧 P r y 1 とピーク値 - V b y の 20 負極性のランプ波パルス電圧 P r y 2 とを順に印加する。それによって、アドレス電極 A を陰極とする、スキャン電極 Y とアドレス電極 A の間の放電と、サステイン電極 X とアドレス電極 A の間の放電とを生じさせる。ランプ波パルス電圧 P r x 1、P r x 2、P r y 1 および P r y 2 は微小放電が生じるような変化率で振幅が変化するランプ波形パルス電圧である。最初に印加されるランプ波パルス電圧 P r x 1 および P r y 1 は、前サブフィールド S F における点灯および非点灯に係わらず全てのセルに壁電圧を生じさせるために印加される。この期間において、アドレス電極 A は所定の電位、好ましくは接地電位 G N D に維持される。適度の壁電荷が形成されたセルに後続のランプ波パルス電圧 P r x 2 および P r y 2 を印加することによって、壁電圧を放電開始電圧とパルス振幅の間の差に相当する値に調整することができる。 30

【 0 0 3 5 】

壁電圧を放電開始電圧とパルス振幅の間の差に相当する値に調整するため、次の不等式が成立するようリセット・ランプ波パルス P r x 1 および P r y 1 のピーク電位 V x w および V y w を決定する。

$$|V_{xw}| > |V_{fx-a}| \quad \text{かつ}$$

$$|V_{yw}| > |V_{fy-a}|$$

ここで、V f x - a および V f y - a は、それぞれ、アドレス電極 A を陰極としたサステイン電極 X とアドレス電極 A の間の放電開始電圧、およびスキャン電極 Y とアドレス電極 A の間の放電の開始電圧を表す。

【 0 0 3 6 】

このようにして、図 6 C および 7 C において、リセット放電期間 R D の後のそのセルのアドレス電極 A i、サステイン電極 X j およびスキャン電極 Y j には、それぞれ正極性、負極性および負極性の電荷が形成される。

【 0 0 3 7 】

図 8 A は、それぞれ、アドレス期間 T A のアドレス放電期間 A D 中、アドレス放電期間 A D の終了後、および後処理期間 A P T における点灯させるセルのアドレス電極 A i、サステイン電極 X j およびスキャン電極 Y j における電荷の状態を示している。

【 0 0 3 8 】

図 9 A は、それぞれ、アドレス期間 T A のアドレス放電期間 A D 中、アドレス放電期間 A D の終了後、および後処理期間 A P T における点灯させないセルのアドレス電極 A i、 50

サステイン電極  $X_j$  およびスキャン電極  $Y_j$  における電荷の状態を示している。

【0039】

アドレス放電期間  $AD$  においては、点灯させるセルのみにおいて発光維持に必要な壁電荷を形成する。全てのサステイン電極  $X$  および全てのスキャン電極  $Y$  を所定電位にバイアスした状態で、スキャン回路 66 は、行選択期間（1行分のスキャン時間）毎に選択行に対応した表示電極  $Y$  に負極性のスキャンパルス電圧  $-V_y$  を印加する。Xドライバ回路 61 およびYドライバ回路 64 は、非行選択期間中、サステイン電極  $X$  およびスキャン電極  $Y$  を同じ電位に（ $|V_{xa}| = |V_{sc}|$ ）または異なる電位に（ $|V_{xa}| \neq |V_{sc}|$ ）バイアスしてもよい。Aドライバ回路 68 は、この行選択の期間にアドレス放電を生じさせるべき選択セルに対応したアドレス電極  $A_i$  へのみ正極性のアドレスパルス電圧  $V_a$  を印加する。他のアドレス電極  $A$  は、リセット期間  $TR$  と同じ所定の電位、好ましくは接地電位  $GND$  に維持される。即ち、選択行  $j$  の  $m$  列分のサブフィールドデータ  $D_{sf}$  に基づいてアドレス電極  $A_1 \sim A_m$  の電位を 2 値制御する。

10

【0040】

アドレス放電をより発生させやすくするため、次の不等式が成立するようにランプ波パルス  $P_{ry2}$  の電位  $-V_{by}$  およびスキャンパルス電位  $-V_y$  を決定することが好ましい。

$$|V_{by}| < |V_y|$$

【0041】

図 8 A に示されているように、アドレス放電期間  $AD$  において選択セルではスキャン電極  $Y_j$  とアドレス電極  $A_i$  の間で放電が生じる。図 8 B に示されているように、アドレス放電後、アドレス電極  $A_i$  には負極性の電荷が形成され、サステイン電極  $X_j$  には負極性の電荷が残留し、スキャン電極  $Y_j$  には正極性の電荷が形成される。この場合、スキャン電極  $X_j$  とサステイン電極  $Y_j$  の間で面放電は生じない。

20

【0042】

一方、非選択セルでは放電が生じない。図 9 A に示されているように、アドレス放電期間  $AD$  において点灯セルの電極間には放電は生じず、アドレス電極  $A_i$ 、サステイン電極  $X_j$  およびスキャン電極  $Y_j$  には、それぞれ正極性、負極性および負極性の電荷が維持され、図 9 B に示されているように、アドレス放電期間  $RD$  の後も、そのセルの電極の電荷が維持される。

30

【0043】

アドレス期間  $TA$  の後処理期間  $APT$  において、非点灯セルにおける電荷を消去するための放電を生じさせる。この放電では、放電強度を小さく抑えたいので、Xドライバ回路 61 およびYドライバ回路 64 は、 $X_j$  電極および  $Y_j$  電極にそれぞれピーク値  $-V_{xe}$  および  $-V_{ye}$  の負極性のランプ波パルス電圧  $P_{ptx}$  および  $P_{pty}$  を印加することが好ましい。そのピーク値  $-V_{xe}$  および  $-V_{ye}$  はスキャンパルス電位  $-V_y$  と等しいことが好ましい。この期間において、Aドライバ回路 68 は、アドレス電極  $A_i$  に、好ましくはアドレスパルス電圧  $V_a$  と同じ高さの正極性パルス電圧  $P_{pta}$  を印加する。図 9 C において、後処理期間  $APT$  では非点灯セルのサステイン電極  $X_j$  およびスキャン電極  $Y_j$  とアドレス電極  $A_i$  の間で小さな放電が生じ、図 9 B におけるそれぞれの電極の電荷が減少する。図 8 C においては、サステイン電極  $X_j$  およびスキャン電極  $Y_j$  とアドレス電極  $A_i$  の間で放電は生じないが、後処理期間  $APT$  ではアドレス放電した後の選択セルにおけるサステイン電極  $X_j$  上では、負の電荷が或る程度消失する。

40

【0044】

サステイン期間  $TS$  の第 1 のサステインパルス  $S_1$  の期間において、サステイン回路 67 は全てのスキャン電極  $Y$  に対して正極性のサステインパルス電圧  $V_s$  を幾分長い持続時間だけ印加し、サステイン回路 63 は、全てのサステイン電極  $X$  に対して通常より大きい負極性の電圧  $-V_{xs}$  を幾分長い持続時間だけ印加して、後処理期間  $APT$  に選択セルの電極  $X_j$  で消失した壁電荷分の壁電圧を補償する。次いで、全てのサステイン電極  $X$  に対して正極性のサステインパルス電圧  $V_s$  を幾分長い持続時間だけ印加する。その後のサス

50



テインパルスの期間  $S_2$ 、 $S_3$  . . . において、サステイン回路 67 およびサステイン回路 63 は、表示電極 X および表示電極 Y に対して交互により短い幅のサステインパルス電圧  $V_s$  を印加する。サステインパルス電圧  $V_s$  の印加によって、所定の壁電荷が残存する選択セルのサステイン電極  $X_j$  とスキャン電極  $Y_j$  の間で面放電が生じる。サステインパルス電圧  $V_s$  の印加の回数は、上述したようにサブフィールド SF の重みに対応する。サステイン期間 TS 全体にわたって、アドレス電極 A は前述のリセット期間 TR と同じ所定の電位、好ましくは接地電位に維持される。サステイン期間 TS の後の点灯セルおよび非点灯セルのアドレス電極  $A_i$ 、サステイン電極  $X_j$  およびスキャン電極  $Y_j$  上の電荷の状態は、前述のように図 6A および 7A に示されている。

【0045】

10

図 6A および 6B を再び参照すると、次のサブフィールド SF におけるリセット期間 TR の前処理期間 RPR において、前述のように、好ましくは全てのアドレス電極 A にアドレスパルス電位と同じ高さのパルス電圧を印加し、好ましくは全てのスキャン電極 Y およびサステイン電極 X にスキャンパルス電圧と同じ電位のパルス電圧を印加する。それによって、前のフィールド SF のサステイン期間 TS において点灯させたセルにおいてのみアドレス電極  $A_i$  とサステイン電極  $X_j$  の間の放電を生じさせ、サステイン電極  $X_j$  上の電荷の極性を反転させる。それによって、サステイン電極  $X_j$  およびスキャン電極  $Y_j$  上の電荷が同じ正極性になる。それによって、次のリセット放電期間 RD において、スキャン電極  $Y_j$  とアドレス電極  $A_i$  の間と、サステイン電極  $X_j$  とアドレス電極  $A_i$  の間における書き込み放電が生じやすくなる。一方、図 7A および 7B を参照すると、非選択セルは、前のアドレス期間 TA の後処理期間 APT における非選択セルの消去放電によって壁電荷を失っているため、放電は生じない。

20

【0046】

本発明の実施形態によれば、スキャン電極 Y およびサステイン電極 X に、正極性のランプ波電圧を印加して同じ極性の壁電荷を形成するので、アドレス期間のアドレス放電においてスキャン電極  $X_j$  とサステイン電極  $Y_j$  の間で面放電を生じさせる必要がなく、従って PDP における駆動のアドレス期間をより短くでき、それによって表示期間をより長くでき、それによって PDP においてより高い表示品質を実現することができる。

【0047】

以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素を組み合わせることで、その変形およびバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理および請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。

30

【図面の簡単な説明】

【0048】

【図 1】図 1 は、本発明の実施形態による表示装置の構成を示している。

【図 2】図 2 は、PDP のセル構造の一例を示している。

【図 3】図 3 は、X ドライバ回路、Y ドライバ回路および A ドライバ回路の概略的な通常出力駆動電圧波形を示している。

【図 4】図 4A、4B および 4C は、図 3 の通常駆動シーケンスによる、それぞれ、リセット放電後、その後のアドレス放電およびアドレス放電後における、セルのアドレス電極  $A_i$ 、サステイン電極  $X_j$  およびスキャン電極  $Y_j$  における電荷の状態を示している。

40

【図 5】図 5A、5B および 5C は、本発明の実施形態による、A ドライバ回路、X ドライバ回路および Y ドライバ回路の出力駆動電圧波形の概略的な駆動シーケンスを示している。

【図 6】図 6A、6B および 6C は、それぞれ、前のサブフィールドのサステイン期間の終了後、その後のリセット期間の前処理期間、およびリセット放電期間における、点灯後のセルのアドレス電極、サステイン電極およびスキャン電極における電荷の状態を示している。

【図 7】図 7A、7B および 7C は、それぞれ、前のサブフィールドのサステイン期間の

50

終了後、その後のリセット期間の前処理期間、およびにリセット放電期間おける、点灯しなかったセルのアドレス電極、サステイン電極およびスキャン電極における電荷の状態を示している。

【図8】図8A、8Bおよび8Cは、それぞれ、アドレス期間のアドレス放電期間、その後のアドレス放電期間の終了後、およびアドレス期間の後処理期間における点灯させるセルのアドレス電極、サステイン電極およびスキャン電極における電荷の状態を示している。

【図9】図9A、9Bおよび9Cは、それぞれ、アドレス期間のアドレス放電期間、その後のアドレス放電期間の終了後、およびアドレス期間の後処理期間における点灯させないセルのアドレス電極、サステイン電極およびスキャン電極における電荷の状態を示している。

10

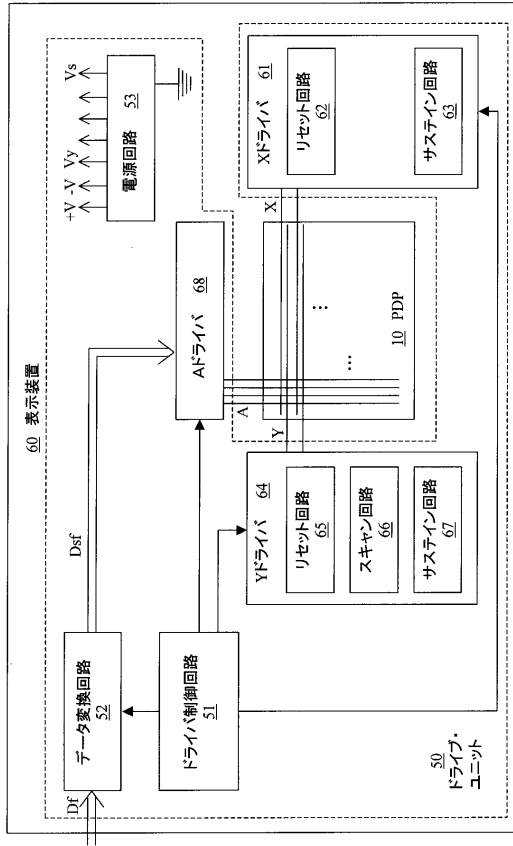
【符号の説明】

【0049】

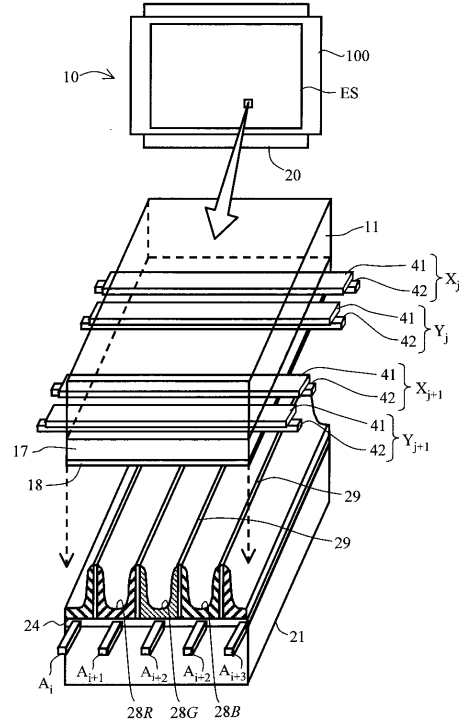
- 60 表示装置
- 10 PDP
- 50 ドライブユニット
- 51 ドライバ制御回路
- 52 データ変換回路
- 53 電源回路
- 61 Xドライバ回路
- 62 リセット回路
- 63 サステイン回路
- 64 Yドライバ回路
- 65 リセット回路
- 66 スキャン回路
- 67 サステイン回路

20

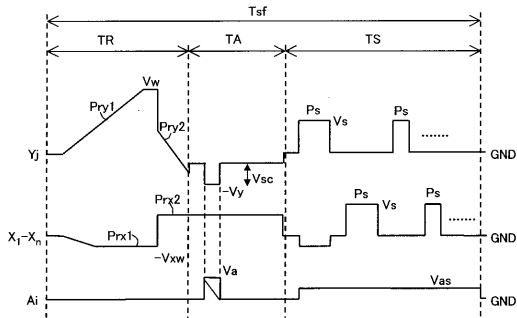
【図1】



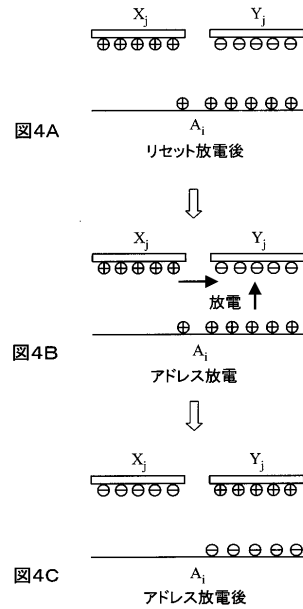
【図2】



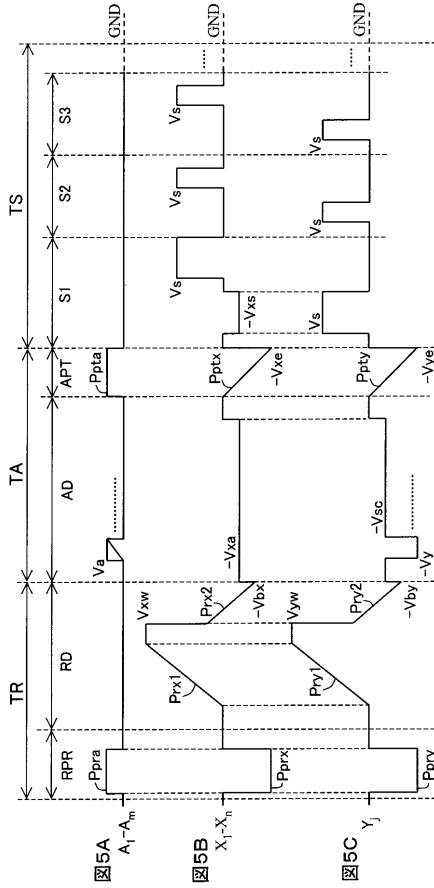
【図3】



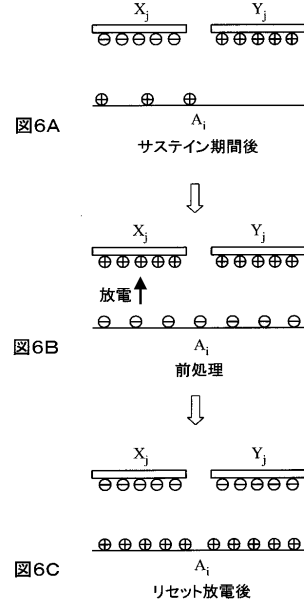
【図4】



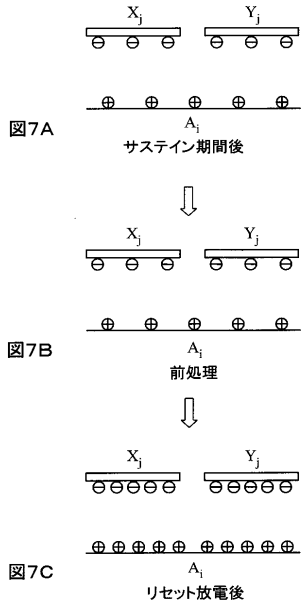
【 図 5 】



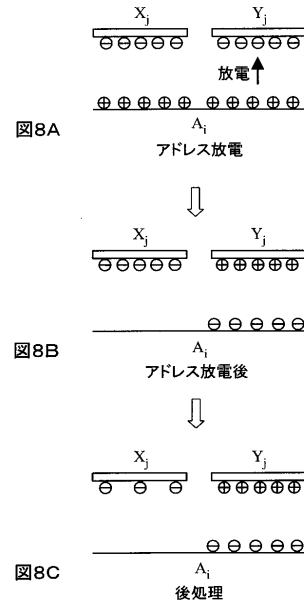
【 図 6 】



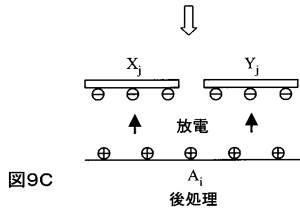
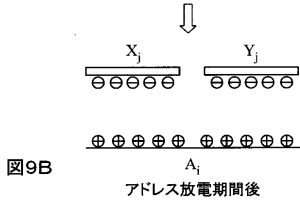
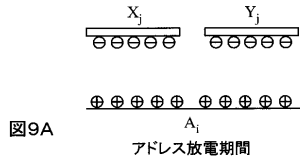
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

審査官 佐藤 高之

(56)参考文献 特開2003-330411(JP,A)  
特開平08-212930(JP,A)  
特開2004-348140(JP,A)  
特開2005-292840(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G09G 3/00-3/38