

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95101576

※ 申請日期：95年1月16日

※IPC 分類：

一、發明名稱：(中文/英文)

H01L 21/336, 21/62 (2006.01)

在半導體基板內形成埋式隔離區之方法及具有埋式隔離區之半導體裝置

METHOD OF FORMING BURIED ISOLATION REGIONS IN SEMICONDUCTOR SUBSTRATES AND SEMICONDUCTOR DEVICES WITH BURIED ISOLATION REGIONS

二、申請人：(共1人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

☐ 指定 為應受送達人

代表人：(中文/英文)(簽章)

琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國/US

三、發明人：(共5人)

姓名：(中文/英文)

1、池田 展男 / FURUKAWA, TOSHIHARU

2、馬克 C. 黑奇 / HAKEY, MARK C.

3、史蒂芬 J. 福爾摩斯 / HOLMES, STEVEN J.

4、大衛 V. 哈克 / HORAK, DAVID V.

5、查爾斯 W. 柯博爾三世 / KOBURGER, CHARLES W., III

國籍：(中文/英文)

1 為日本 / JP

2-5 皆為美國 / US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 US；西元 2005 年 1 月 28 日；10/905,980

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於積體電路製造領域；更確切而言，係關於在半導體基板內形成埋式隔離區(buried isolation regions)的方法，以及形成具有埋式隔離區之半導體裝置的方法。

【先前技術】

製造絕緣層上矽(silicon on insulator, SOI)基板的傳統方法，例如將矽晶圓置於氧離子植入(ion implantation)或氧電漿(plasmas)中，如此形成之埋式氧化(buried oxide, BOX)層的缺陷(defect)程度總是相當高。此外，在某些應用中，埋式氧化層會抑制形成在矽層內裝置最理想的操作。因此，需要在半導體基板內形成埋式隔離區之改善方法，也需要形成具有埋式隔離區之半導體裝置之方法且此裝置仍然可以提供最理想的操作。

【發明內容】

本發明係利用奈米罩(nano-masking)技術在一半導體基板特定區域內形成奈米開口(nano-openings)或在一半導體基板上形成一絕緣層。各種半導體製程接著由使用奈米開口而被執行，以產生或調整在半導體基板內之一埋式絕緣層。

本發明一第一方面係形成一半導體結構之一方法，包含：(a)提供一單晶矽基板；(b)在基板的一上表面形成一硬罩層；(c)在硬罩層的一上表面形成一奈米罩層，而不執行一微影(photolithographic)製程，奈米罩層具有一罩圖案；(d)蝕刻罩圖案進入硬罩層內，以形成具有開口的一圖案化硬罩層，開口從圖案化硬罩層的一上表面延伸至基板上表面，其中開口、開口之間距離、或開口及開口之間距離兩者，皆獨立地具有至少一個空間範圍(spatial extent)延伸平行於圖案化硬罩層的上表面；以及(e)移除奈米罩層後，形成一層單晶 IV 族半導體層(single crystal group IV semiconductor layer)在圖案化硬罩層的一上表面，單晶 IV 族半導體層填滿圖案化硬罩層內的開口。

本發明一第二方面係形成一半導體結構之一方法，包含：(a)提供一單晶矽基板；(b)形成一假性閘(dummy gate)在基板的一上表面；(c)形成一奈米罩層在基板的一上表面及假性閘的一上表面，而不執行一微影製程，奈米罩層具有一罩圖案；(d)蝕刻罩圖案進入該基板沒有被假性閘覆蓋之所有部分，以形成具有開口在基板內的一圖案化矽區(silicon region)，開口從基板的一上表面延伸一預定距離至基板內，其中開口、開口之間距離、或開口及開口之間距離兩者，皆獨立地具有至少一個空間範圍延伸平行於圖案化層的上表面；(e)移除奈米罩層後，形成一保護層在基板上表面及開口側壁(sidewalls)上；(f)氧化暴露於開口底部的

基板部分，以形成一埋式圖案化二氧化矽層；(g)從開口側壁移除保護層；以及(h)以一單晶 IV 族半導體材料填滿開口。

本發明一第三方面係形成一半導體結構之一方法，包含：(a)提供一單晶矽基板；(b)形成一假性閘在基板的一上表面；(c)形成一奈米罩層在基板的一上表面及假性閘的一上表面，而不執行一微影製程，奈米罩層具有一罩圖案；(d)蝕刻罩圖案進入基板沒有被假性閘覆蓋之所有部分，以形成開口在基板內，開口從基板的一上表面延伸一預定距離至基板內，其中開口、開口之間距離、或開口及開口之間距離兩者，皆獨立地具有至少一個空間範圍延伸平行於圖案化層的上表面；以及(e)退火該基板以再熱流(reflow)鄰近基板上表面的矽，從基板的上表面密封開口，並癒合開口而成為埋式孔洞(voids)。

本發明一第四方面係一半導體結構，包含：一基板，包含一矽底層(lower layer)，一圖案化埋式氧化層在矽底層的一上表面，圖案化埋式氧化層具有開口，開口延伸穿越圖案化氧化層且被以一單晶 IV 族半導體材料填滿，以及一層單晶 IV 族半導體層在圖案化埋式氧化層上方，其中開口一寬度、開口之間距離、或開口寬度及開口之間距離兩者，皆獨立地具有至少一個空間範圍小於一微影可定義的尺寸，至少一個空間範圍延伸平行於基板的一上表面；一閘

介電層(gate dielectric)，在矽基板的上表面；一閘電極(gate electrode)，在閘介電層的一上表面；以及一源極及一汲極在基板內且在閘電極的相反兩側。

本發明一第五方面係一半導體結構，包含：一矽基板；一閘介電層，在矽基板的一上表面；一閘電極，在閘介電層的一上表面；一源極及一汲極，在基板內且在閘電極相反兩側；以及一第一孔洞或孔洞群，在基板內的源極下方，且一第二孔洞或孔洞群在基板內的汲極下方。

【實施方式】

本發明所利用之所有奈米罩層皆被形成而沒有執行微影製程。一微影製程係為，一圖案藉由暴露阻層於能量而被形成在一光阻層內，由此將產生一圖案在阻層內，是經由使用光波長輻射(亦即可見光或紫外光)或 X 光輻射透過一光罩(photo-mask)，或是以一電子束(electron beam)直接寫入(亦即沒有罩)圖案至光阻內。一影像顯影(image development)製程步驟通常也是在微影製程中所必須。奈米罩層通常具有圖案，其中一個或更多圖案特性(亦即一開口寬度、一島(island)寬度、島之間的一距離、或開口之間的一距離)具有小於傳統微影製程可獲得的一尺寸。這些尺寸被指定為在「奈米(nanometer)」範圍，且在一個範例中，係從大約 2 奈米(nm)至大約 100 奈米。

圖 1A 至圖 1H 係為部分剖面圖(partial cross-sectional views)，顯示依據本發明一第一實施例，在一半導體基板內形成一埋式隔離區之步驟。在圖 1A 中，一矽基板 100 已被暴露於一高能氧植入，以產生一富氧層(oxygen rich layer)105 在基板內，與基板 100 的一上表面 110 距離 D1 處。富氧層 105 定義矽基板 100 一上層部分為介於富氧層及基板上表面之間的一矽層 115。富氧層 105 可以包含二氧化矽區。由於半導體結構中確切的矽氧化物理想配比(stoichiometry)可以稍微變化，對本發明之目的而言，二氧化矽這個詞包含矽與氧的化合物，其具有特定的化學式 SiO_2 及通用的化學式 Si_xO_y 。在一個範例中，距離 D1 係為大約 20 奈米至大約 100 奈米。

在圖 1B 中，一硬罩層 120 被形成在基板 100 上表面 110。在一個範例中，硬罩層 120 包含大約 50 奈米厚的氮化矽。一奈米罩 125 被形成在硬罩層 120 的一上表面 130。奈米罩層 125 包含從奈米罩層 125 的一上表面 140 延伸至硬罩層 120 的上表面 130 之孔洞區 135 及實體區(solid regions)145。在一第一範例中，孔洞區 135 係在一連續的實體區 145 內的洞(holes)。在一第二範例中，實體區 145 係被孔洞區 135 圍繞的島。孔洞區 135 具有至少一個尺寸 D2 的空間範圍，平行於基板 100 的上表面 110，且實體區 145 具有至少一個尺寸 D3 的空間範圍，平行於基板 100 的上表面 110。在一第一範例中，D2 及 D3 各自獨立地在大

約 2 奈米至大約 100 奈米之間。在一第二範例中，D2 及 D3 各自獨立地在大約 2 奈米至大約 50 奈米之間。

形成奈米罩層的方法如以下兩個範例所陳述。形成奈米罩層的第一方法，係利用高分子塊體共聚合物(block copolymer)。高分子塊體共聚合物包含兩個或更多化學上有區別的聚合物鏈(polymer chains)共價鍵結，以形成一單分子。由於相互的排斥作用(mutual repulsion)，高分子塊體共聚合物易於分離至不同的區域內，且從其中一個共聚物顯露出的自我組織微結構可以選擇性地被移除。形成奈米罩層的第二方法係利用奈米晶體(nano-crystals)。

在一第一高分子塊體共聚合物範例中，為了形成一奈米罩層，一聚甲基丙烯酸酯(polymethylmethacrylate, PMMA)在聚苯乙烯(polystyrene, PS)共聚合物內被旋轉施加至一表面，接著被加熱至大約 100°C 至大約 400°C 之間，以趕走 PMMA 聚合物或其一部分。供選擇地，藉由使用溶解 PMMA 比溶解 PS 快的一溶劑，PMMA 可以被移除。移除 PMMA 前，PMMA/PS 共聚物層可呈垂直方向進入垂直於表面的圓柱區域(cylindrical domain)，其中 PMMA/PS 共聚物已被施加一電場。

在一第二高分子塊體共聚合物範例中，一 PMMA/PS 共聚物層可自我聚集進入在一聚苯乙烯矩陣內 PMMA 圓

柱的一六角堆積陣列(hexagonally packed array)中。可以藉由(在其他已知方式中)旋塗(spin-coating)稀釋於甲苯(toluene)或其他溶劑的聚合物溶液至基板上，並退火產生薄膜，而讓 PMMA 圓柱垂直於薄膜平面方向。PMMA 圓柱接著被移除，係藉由暴露於電子束或紫外光輻射，且溶解於醋酸(acetic acid)或其他有效的溶劑。產生的奈米罩層通常具有最大寬度(或直徑)大約 20 奈米之六角堆積的洞。藉由控制兩個聚合物塊體(polymer blocks)的分子量及相對比例，可以控制洞的大小範圍從大約 2 奈米上至大約 100 奈米，且洞的間隔從大約 2 奈米上至大約 100 奈米。

在一第三高分子塊體共聚合物範例中，PS/聚丁二烯(polybutadiene, PB)高分子塊體共聚合物被用作供奈米罩層的一起始材料。PS/PB 高分子塊體共聚合物自我聚集進入該嵌在一 PS 矩陣內的 PB 圓柱之六角堆積陣列中。可以藉由(在其他已知方式中)塗佈一滴稀釋於甲苯或類似溶劑之 PS/PB 高分子塊體共聚合物溶液，至一去離子水浴(de-ionized water bath)的表面，且允許甲苯蒸發，而讓 PB 圓柱垂直於奈米罩層平面方向。此留下一薄膜通常厚度為大約 100 至大約 200 奈米，其可能接著被沉積在一表面，以被奈米罩化(nano-masked)。PB 圓柱接著藉由退火及與臭氧(ozone)反應而被移除，臭氧與 PB 反應比與 PS 反應快速，由此留下具有最大寬度(或直徑)通常為大約 13 奈米的洞之一奈米罩層。藉由控制共聚物的分子量，可以控制

洞的大小最大寬度(或直徑)範圍從大約 2 至大約 100 奈米，且間隔從大約 2 至大約 100 奈米。

在一第四高分子塊體共聚合物範例中，一 PS/PB 高分子塊體共聚合物層(如以上第三高分子塊體共聚合物範例中陳述)被選擇性地結合至 PB 圓柱的氧化鉬(OsO_4)所處理。此時造成臭氧以較攻擊 PB 快之速率攻擊 PS 成分，由此留下島圖案而不是洞。

在一第五高分子塊體共聚合物範例中，一 PS/聚異戊二烯(polyisoprene, PI)高分子塊體共聚合物被使用。PS/PI 高分子塊體共聚合物類似於以上第三及第四高分子塊體共聚合物範例中陳述之 PS/PB 高分子塊體共聚合物，除了 PI 自我聚集進入球體(spheres)內而不是圓柱。因此，不需要讓 PI 成分垂直於將被產生的奈米單層平面方向。PS-PI 薄膜也可被 OsO_4 所處理，以形成一反向的圖案。

在一第六高分子塊體共聚合物範例中，一 PS/多晶苯乙烯-*b*-二茂鐵二甲基矽烷(poly(styrene-*b*-ferrocenyldimethylsilane), PFS)高分子塊體共聚合物被施加旋轉，且藉由氧反應式離子蝕刻(reactive ion etching, RIE)移除 PS，以形成 PFS 的島。

在一第一奈米晶體範例中，一聚馬來酸酐(polymaleic

anhydride)聚合物層被以脈衝(pulse)電漿沉積在一表面以被奈米罩化。聚合物表面接著被一烷基硫醇(alkanethiol)溶液所處理，例如在室溫黑暗中，烷基雙硫醇(1,6-hexanedithiol)體積大約占 0.0008%、液態氨(aqueous ammonia)體積大約占 12%(重量占 35%)、及 2-丙醇(2-propanol)體積大約占 88%之一混合溶液。沖洗後，被處理的表面被浸入在室溫黑暗中，包含硒化鎘(CdSe)奈米晶體重量大約占 0.016%之一甲苯溶液，期間 CdSe 奈米晶體附著在被處理的表面。在一個範例中，大約 2.4 至大約 4 奈米的 CdSe 奈米晶體可被使用。

在一第二奈米晶體範例中，硫化鎘(CdS)奈米晶體取代了 CdSe 奈米晶體。

由於奈米罩製備的數個範例已被提出，包含材料島寬度(或直徑)從大約 2 奈米至大約 100 奈米、間隔從大約 2 奈米至大約 100 奈米，或包含一具有孔洞的材料從奈米罩層的一上表面延伸至一下表面、寬度(或直徑)從大約 2 奈米至大約 100 奈米，且間隔從大約 2 奈米至大約 100 奈米之任何奈米罩層皆可被使用於實行本發明，如果材料足以抵擋將轉移奈米罩圖案至一底層材料內之蝕刻製程，則可能被使用。

在圖 1C 中，硬罩層 120(見圖 1B)被移除(例如藉由一

RIE 製程)，以形成一圖案化硬罩層 120A，並暴露出硬罩層沒有被圖案化奈米罩層 125 所保護的矽基板 100 部分。奈米罩層圖案因此被轉移至硬罩層。

在圖 1D 中，奈米罩層 125(見圖 1C)被移除，且一圖案化矽層 115A 被形成(例如藉由 RIE 停止於富氧層 105)在矽層 115(見圖 1C)沒有被圖案化硬罩層 120A 保護的部分。圖案化矽層 115A 包含從圖案化矽層 115A 的一上表面 162 延伸至富氧層 105 之孔洞區 161，以及實體區 163。在一第一範例中，孔洞區 161 係在一連續的實體區 163 內的洞。在一第二範例中，實體區 163 係被孔洞區 161 圍繞的島。孔洞區 161 具有至少一個尺寸 D2 的空間範圍，平行於實體區 163 的上表面 162，且實體區 163 具有至少一個尺寸 D3 的空間範圍，平行於實體區 163 上表面 162。D2 及 D3 的值已在之前被陳述。

在圖 1E 中，氮化矽間隙層(spacers)150 被形成在實體區 163 暴露出的側壁 155 上。藉由沉積一共面的(conformal)氮化矽層，接著一 RIE 選擇性蝕刻氮化矽先於二氧化矽及矽，間隙層 150 則可形成。在一個範例中，共面的氮化矽層厚度係大約 2 奈米至大約 5 奈米。間隙層 150 形成後，一熱氧化(thermal oxidation)被執行，以使富氧層 105(見圖 1D)轉變成一埋式氧化層 105A。在一個範例中，熱氧化被執行在氧、水蒸氣、或氧/水蒸氣環境中，於大約 1000°C 至

大約 1200°C，從大約 10 微秒至大約 600 秒。

在圖 1F 中，圖案化硬罩層 120A(見圖 1E)及間隙層 150(見圖 1E)被移除，且一層單晶 IV 族半導體層 160 被形成。IV 族半導體層 160 可以包含矽、鍺或一矽鍺混合物以化學式 Si_xGe_y 標示，其中 $x=0$ 至 1 且 $y=1-x$ 。當 $x=0$ 時，IV 族半導體層 160 含有鍺但沒有矽。當 $x=1$ 時，IV 族半導體層 160 含有矽但沒有鍺。在一個範例中，使用圖案化矽層 115A 作為一層種晶層(seed layer)，藉由在氬中於大約 850°C 退火，多晶 Si_xGe_y (poly- Si_xGe_y)被沉積且被轉換成一層單晶層。一單晶矽種晶(層)允許(於相當高溫時，例如使用於磊晶(epitaxial)沉積，或 850°C 或更高溫的退火)矽種晶(層)及矽沉積在矽種晶(層)上，以聚結成具有與矽種晶(層)相同的單晶結構之一單矽層。在另一範例中，磊晶 Si_xGe_y 的成長係使用圖案化矽層 115A 作為一種晶層，接著一氬退火於大約 850°C。在兩個範例中，一相對而言沒有缺陷的 IV 族半導體層 160 優於在相對而言沒有缺陷的埋式氧化層 105A 之結果，然而，磊晶範例通常產生更沒有缺陷的 Si_xGe_y 層。供選擇地，在氬中雷射退火及熱退火的組合可被執行。

在圖 1G 中，以上與圖 1F 相關的被執行的退火導致圖案化矽層 115A(見圖 1F)及 IV 族半導體層 160(見圖 1F)聚結成具有與矽層 115(見圖 1A)相同的單晶結構之一單層。

IV 族半導體層 160(見圖 1F)之化學機械研磨(chemical-mechanical-polish, CMP)被執行，以形成一單晶 IV 族半導體層 165。如果單晶 IV 族半導體層 160(見圖 1F)含有鍺，則單晶 IV 族半導體層 165 將含有矽與鍺。埋式氧化層 105A 的一上表面 166 係低於 IV 族半導體層 165 的上表面 167 一距離 D4。在一個範例中，D4 係從大約 20 奈米至大約 300 奈米。因此，一 SOI 基板已被製成。

在圖 1H 中，一場效電晶體(field effect transistor, FET)185 之源極 170、汲極 175、及通道區 180 已被形成在 IV 族半導體層 165 內。溝槽隔離區(trench isolation)190 也被形成在 IV 族半導體層 165 內。一閘介電層 195 及一閘電極已被形成在通道區 180 上。閘電極 200 被例示為具有選擇性的絕緣側壁間隙層 205 及一絕緣罩蓋層(capping layer)210。

圖 2A 至圖 2E 係部分剖面圖，顯示依據本發明第二實施例在一半導體基板內形成一埋式隔離區之步驟。在圖 2A 中，一二氧化矽層 215 被形成在一矽基板 225 的一上表面 220。在一個範例中，二氧化矽層 215 的厚度係從大約 5 奈米至大約 100 奈米。

在圖 2B 中，奈米罩層 125 被形成在二氧化矽層 215 的上表面 230。奈米罩層 125 已被陳述於上，與本發明第

一實施例相關。

在圖 2C 中，二氧化矽層 215(見圖 2B)被移除(例如藉由一 RIE 製程)，以形成一圖案化二氧化矽層 215A，並暴露出二氧化矽層 215 沒有被奈米罩層 125 保護的部分矽基板 225。圖案化二氧化矽層 215A 包含從圖案化矽層 215A 的一上表面 232 延伸至基板 225 的上表面 220 之孔洞區 231，以及實體區 233。在一第一範例中，孔洞區 231 係在連續的實體區 233 內的洞。在一第二範例中，實體區 233 係被孔洞區 231 圍繞的島。孔洞區 231 具有至少一個尺寸 D2 的空間範圍，平行於實體區 233 的上表面 232，且實體區 233 具有至少一個尺寸 D3 的空間範圍，平行於實體區 233 的上表面 232。D2 及 D3 的值已在之前被陳述。

在圖 2D 中，奈米罩層 125(見圖 2C)被移除，且單晶 IV 族半導體層 235 被形成，係使用暴露出的矽基板 225 作為一種晶。IV 族半導體層 235 可以包含矽、鍺、或一矽鍺混合物，以化學式 Si_xGe_y 標示，其中 $x=0$ 至 1 且 $y=1-x$ 。當 $x=0$ 時，IV 族半導體層 235 含有鍺但沒有矽。當 $x=1$ 時，IV 族半導體層 235 含有矽但沒有鍺。在一個範例中，藉由在氫中於大約 850°C 退火，接著一 CMP，多晶 Si_xGe_y 被沉積，且被轉換成一單晶層。在另一範例中，磊晶 Si_xGe_y 的成長係使用圖案化矽層 215A 作為一種晶層，接著在氫中於大約 850°C 退火，接著一 CMP。再次，磊晶範例一般而

言產生更沒有缺陷的矽層。供選擇地，在氬中雷射退火及熱退火的組合可被執行。圖案化埋式氧化層 215A 的一上表面 236 低於 IV 族半導體層 235 的一上表面 237 一距離 D4。在一個範例中，D4 係從大約 20 奈米至大約 300 奈米。因此，一 SOI 或絕緣層上 Si_xGe_y (Si_xGe_y -on-insulator) 基板已被製成，雖然絕緣體部分不是連續的。

在圖 2E 中，一 FET 185A 之源極 170、汲極 175、及通道區 180 已被形成在 IV 族半導體層 235 內。溝槽隔離區 190 也已被形成在 IV 族半導體層 235 內。一選擇性井 (well) 240 已被形成在基板 225 內。井係被摻雜的基板區域，舉例而言，藉由離子植入，FETs 擴散的部分則被製成。選擇性井 240 可以在溝槽隔離區 190 下方部分延伸。閘介電層 195 及閘電極 200 已被形成在通道區 180 上。閘電極 200 被例示為具有視需要的絕緣側壁間隙層 205 及絕緣罩蓋層 210。二氧化矽層 215A 內的開口允許 IV 族半導體層 235 與基板 225 之間直接接觸，因此提供 FET 185A 改善的冷卻及本體電位控制。

圖 3A 至圖 3E 係部分剖面圖，顯示依據本發明第三實施例在一半導體基板內、一半導體裝置中形成一埋式隔離區之步驟。在圖 3A 中，二氧化矽層 215 被形成在一矽基板 225 的一上表面 220。在一個範例中，二氧化矽層 215 厚度係從大約 5 奈米至大約 100 奈米。一氮化矽層 245 被

形成在二氧化矽層 215 的上表面 230。在一個範例中，氮化矽層 245 厚度係從大約 50 奈米至大約 100 奈米。一開口 250 被形成在氮化矽層 245 內，開口中暴露出二氧化矽層 215。

在圖 3B 中，奈米罩 125 被形成在二氧化矽層 215 的一上表面 230。奈米罩層 125 已被陳述於上，與本發明第一實施例相關。

在圖 3C 中，二氧化矽層 215(見圖 3B)被移除(例如藉由對氮化矽具選擇性的 RIE 製程)，以形成一圖案化二氧化矽層 215B，並暴露出二氧化矽層沒有被奈米罩層 125 保護的部分矽基板 225。圖案化二氧化矽層 215B 包含從圖案化矽層 215B 的一上表面 252 延伸至基板 225 的上表面 220 之孔洞區 251，以及實體區 235。在一第一範例中，孔洞區 251 係在一連續的實體區 253 內的洞。在一第二範例中，實體區 253 係被孔洞區 251 圍繞的島。孔洞區 251 具有至少一個尺寸 D2 的空間範圍，平行於實體區 253 的上表面 252，且實體區 253 具有至少一個尺寸 D3 的空間範圍，平行於實體區 253 上表面 252。D2 及 D3 的值已在之前被陳述。

在圖 3D 中，奈米罩層 125(見圖 3C)及氮層 245 被移除，且單晶 IV 族半導體層 235 被形成，係使用暴露出的矽

基板 225 作為一種晶。在一個範例中，藉由在氫中於大約 850°C 退火，接著一 CMP，多晶 Si_xGe_y 被沉積且被轉換成一單晶層。在另一範例中，磊晶 Si_xGe_y 的成長係使用基板 225 作為一種晶層，接著在氫中於大約 850°C 退火，接著一 CMP。再次，磊晶範例一般而言產生更沒有缺陷的矽層。供選擇地，在氫中雷射退火及熱退火的組合可被執行。圖案化埋式氧化層 215B 上表面 266 低於 IV 族半導體層 235 的一上表面 267 一距離 D4。在一個範例中，D4 係從大約 20 奈米至大約 300 奈米。因此，一 SOI 基板已被製成，雖然絕緣體部分不是連續的。

在圖 3E 中，一 FET 185C 之源極 170、汲極 175、及通道區 180 已被形成在 IV 族半導體層 235 內。源極 170 及汲極 175 在圖案化二氧化矽層 215B 的第二區域 265 上方被對準(aligned)，且通道區 180 及閘電極 200 在圖案化氧化層 215B(島或孔洞的)的第一區域 260 上方被對準。溝槽隔離區 190 也已被形成在 IV 族半導體層 235 內。一選擇性井 240 已被形成在基板 225 內。選擇性井 240 可以在溝槽隔離區 190 下方部分延伸，且被摻雜與基板 225 相反的摻雜類型及/或一不同的摻雜濃度。閘介電層 195 及閘電極 200 已被形成在通道區 180 上方。閘電極 200 被例示為具有視需要的絕緣側壁間隙層 205 及絕緣罩蓋層 210。二氧化矽層 215B 內開口允許 IV 族半導體層 235 與基板 225 之間直接接觸，因此提供 FET 185C 改善的冷卻及本體電位 ✓

控制。應注意到第一區域 260 可以在源極 170 及/或汲極 175 下方部分延伸，且第二區域 265 可以在閘電極 200 下方部分延伸。

圖 4A 至圖 4L 係部分剖面圖，顯示依據本發明第四實施例在一半導體基板內、一半導體裝置中形成一埋式隔離區之步驟。在圖 4A 中，溝槽隔離區 190 及選擇性井 240 被形成在一矽基板 270 內。

在圖 4B 中，一假性閘 280 被形成在選擇性井 240 上方、基板 270 的一上表面 275 上。在一個範例中，假性閘 280 包含鎢、鉛、或鉭或多晶矽。假性閘 280 應包含一材料足以抵擋後來的氧化及退火製程溫度。假性閘 280 可以包含數層，例如一二氧化矽層與選擇性井 240 接觸及一層鎢在氧化層上方，若需要的話，以及一氮化矽罩蓋層。假性閘 280 可能與一材料被壓縮(encapsulated)，以預防在後來的氧化製程期間假性閘氧化。在一個範例中，一氮化矽層被形成在假性閘 280 所有暴露出的表面上方，以保護假性閘免受後來的製程影響。在一個範例中，假性閘 280 具一厚度從大約 50 奈米至大約 300 奈米。一硬罩層 290 被形成在基板 270 的上表面 275 及假性閘 280 的一上表面 285。在一個範例中，硬罩層 290 係在一二氧化矽層上方的二氧化矽或氮化矽層。

在圖 4C 中，奈米罩 125 被形成在二氧化矽層 290 的一上表面 295 上。奈米罩層 125 已被陳述於上，與本發明第一實施例相關。

在圖 4D 中，二氧化矽層 290(見圖 4C)被移除(例如藉由一 RIE 製程)，以形成一圖案化二氧化矽層 290A，並暴露出二氧化矽層沒有被奈米罩層 125 保護的部分矽基板 270。圖案化二氧化矽層 290A 包含二氧化矽區及完全穿越圖案化二氧化矽層 290A 而被形成的孔洞區。奈米罩層 125 之圖案及影像尺寸被轉移至圖案化硬罩層 290A。

接下來，開口 300 在矽基板 270 內被蝕刻，使用例如一 RIE 製程於沒有被圖案化二氧化矽層 290A 保護的部分矽基板 270。開口 300 可包含圍繞矽島的孔洞或被形成在矽基板 270 內的孔洞。圖案化二氧化矽層 290A 包含從基板 270 的一上表面 275 延伸進入基板一距離 D5 之孔洞區開口 300，以及矽區 302。在一第一範例中，開口區 300 係在一連續的實體區 302 內的洞。在一第二範例中，實體區 302 係被開口區 300 圍繞的島。開口 300 具有至少一個尺寸 D2 的空間範圍，平行於實體區 302 的上表面 301，且實體區 302 具有至少一個尺寸 D3 的空間範圍，平行於實體區 302 的上表面 301。D2 及 D3 的值已被陳述於上。開口 300 被蝕刻至一深度 D5。在一個範例中，D5 係從大約 20 奈米至大約 300 奈米。選擇性地，蝕刻硬罩層 290 後，但

在蝕刻矽基板 270 之前，奈米罩層 125 可被移除。

在圖 4E 中，奈米罩層 125(見圖 4D)已被移除，且氮化矽間隙層 305 被形成在開口 300 的側壁 310 上，且在圖 4F 中，一圖案化埋式氧化層 315 藉由熱氧化在開口 300 底部 320 暴露出的矽而被形成。在一個範例中，熱氧化被執行在一氧、水蒸氣、或氧/水蒸氣環境中，於大約 1000°C 至大約 1200°C，從大約 5 分鐘至大約 60 分鐘。

在圖 4G 中，氮化矽間隙層 305(見圖 4F)被移除，且磊晶 IV 族半導體材料選擇性地被沉積在開口 300 內，形成一磊晶或多晶 IV 族半導體核(nodules)322。IV 族半導體核 322 可以包含矽、鍺、或一矽鍺混合物，以化學式 Si_xGe_y 標示，其中 $x=0$ 至 1 且 $y=1-x$ 。當 $x=0$ 時，IV 族半導體核 322 含有鍺但沒有矽。當 $x=1$ 時，IV 族半導體核 322 含有矽但沒有鍺。為了再熱流矽基板 270 及 IV 族半導體核 322，在大約 850°C 的氬退火接著被執行。退火製程也從埋式氧化層 315 移除缺陷。

在圖 4H 中，以上與圖 4G 相關被執行的退火，導致 IV 族半導體核 322(見圖 4G)及矽基板 270 聚結成具有與矽基板 270 相同的單晶結構的一單層。如果 IV 族半導體核 322(見圖 4G)含有鍺，則介於氧化層 315 及基板 270 的上表面 275 之間的基板 270 區域將含有矽與鍺。圖案化硬罩層

290A(見圖 4G)任何殘留的痕跡皆被移除，且在圖 4I 中，源極 170、汲極 175 被形成例如藉由離子植入，且通道區 180 因此被定義。圖案化埋式氧化層 315 的一上表面 316 係低於基板 270 上表面 275 一距離 D4。在一個範例中，D4 係從大約 20 奈米至大約 300 奈米。應注意到埋式氧化層 315 沒有在假性閘 280 下方明顯延伸。

在圖 4J 中，一二氧化矽層 325 被覆蓋(blanket)沉積，且一 CMP 製程被執行以共平坦化(co-planarize)二氧化矽層 325 的一上表面 330 及假性閘 280 一(新的)上表面 335。

在圖 4K 中，假性閘 280(見圖 4J)被移除，且一閘介電層 340 被沉積，接著沉積一閘導體層(gate conductor layer)345。供選擇地，一薄閘氧化層可能被加熱成長而不沉積一閘介電層。

在圖 4L 中，閘導體層 345 及閘介電層 340(見圖 4K)已受到一 CMP 製程，以形成一閘電極 350。一 FET 185D 包含源極 170、汲極 175、通道 180、閘介電層 340 及閘電極 350 因此已被製成。埋式氧化層 315 內開口允許矽層通道區 180 及基板 270 之間直接接觸，因此提供 FET 185D 改善的冷卻以及本體電位控制。應注意到埋式氧化層 315 可以在閘電極 350 下方部分延伸。

圖 5A 至圖 5J 係部分剖面圖，顯示依據本發明第五實施例在一半導體基板內、一半導體裝置中形成一埋式隔離區之步驟。在圖 5A 中，溝槽隔離區 190 及選擇性井 240 被形成在一矽基板 270 內。

在圖 5B 中，假性閘 280 被形成在選擇性井 240 上方、基板 270 的一上表面 275。在一個範例中，假性閘 280 包含鎢、鉛、鉭或多晶矽。假性閘 280 已被陳述於上，與本發明第四實施例相關。假性閘 280 可能也被壓縮。在一個範例中，一氮化矽層被形成在假性閘 280 所有暴露出的表面上方，以保護假性閘免受後來的製程步驟影響。

在圖 5C 中，奈米罩 125 被形成在二氧化矽層 290 的一上表面 295。奈米罩層 125 已被陳述於上，與本發明第一實施例相關。

在圖 5D 中，開口 300 被蝕刻在矽基板 270 內，使用例如一 RIE 製程於沒有被圖案化奈米罩層 125 保護的部分矽基板 270。供選擇地，一硬罩層可能被如本發明第四實施例使用，以轉移奈米罩 125 圖案至矽基板 270。在一第一範例中，開口區 300 係在一連續的實體區 302 內的洞。在一第二範例中，實體區 302 係被開口區 300 圍繞的島。開口 300 具有至少一個尺寸 D2 的空間範圍，平行於實體區 302 上表面 301，且實體區 302 具有至少一個尺寸 D3 的

空間範圍，平行於實體區 302 上表面 301。D2 及 D3 的值已被陳述如上。開口 300 被蝕刻至一深度 D5。在一個範例中，D5 係從大約 20 奈米至大約 300 奈米。

接下來，在圖 5E 中，奈米罩層 125(見圖 5D)被移除。

在圖 5F 中，一氫退火於大約 1100°C 被執行，使得矽基板流動，且開口 300(見圖 5E)聚結進入位於假性閘 280 任一側、距離矽基板 270 上表面 275 一 D6 處之孔洞 355。在一個範例中，D6 係從大約 20 奈米至大約 250 奈米。由於每個孔洞 355 皆被例示為一單缺口(single cavity)，每個孔洞 355 可以包含一孔洞區(亦即一群鄰近的個別缺口被薄矽牆彼此分隔，其中某些缺口可能相互連接)。

在圖 5G 中，源極 170、汲極 175 被形成，例如藉由離子植入，且通道區 180 因此被定義。應注意到孔洞 355 沒有在假性閘 280 下方明顯延伸。

在圖 5H 中，二氧化矽層 325 被覆蓋沉積且一 CMP 製程被執行，以共平坦化一二氧化矽層 325 的上表面 330 及假性閘 280(新的)上表面 335。

在圖 5I 中，假性閘 280(見圖 5H)被移除，且閘介電層

340 被沉積，接著沉積閘導體層 345。供選擇地，一薄閘氧化層可能被加熱成長，而不沉積一閘介電層。

在圖 5J 中，閘導體層 345 及閘介電層 340(見圖 5I)已受到一 CMP 製程，以形成閘電極 350。一 FET 185E 包含源極 170、汲極 175、通道 180、閘介電層 340 及閘電極 350 因此已被製成。孔洞 355 之間的空間允許矽層通道區 180 及基板 270 之間直接接觸，因此提供 FET 185E 改善的冷卻。此外，沒有埋式氧化層缺陷可對付。應注意到孔洞 355 可以在閘電極 350 下方部分延伸。

因此，本發明提供在半導體基板內形成埋式隔離區之改善的方法，以及形成具有埋式隔離區的半導體裝置之方法，且仍然提供此裝置之冷卻及本體電位控制。

參照上述本發明各實施例之說明以理解本發明。可了解本發明不欲被限制在此處說明之特定實施例內，但是熟此技藝者在不悖離本發明之範疇下，將可以作到各種修改、重整及代換。因此，以下所附申請專利範圍欲涵蓋所有修改與變化，落在本發明之精神與範疇下。

【圖式簡單說明】

本發明之特色被提出在所附申請專利範圍中。然而，了解本發明之最佳方式為參照以下一例示實施例詳細說明，配合所附本應用之圖式，其中：

圖 1A 至圖 1H 係部分剖面圖，顯示依據本發明一第一實施例在一半導體基板內形成一埋式隔離區之步驟；

圖 2A 至圖 2E 係部分剖面圖，顯示依據本發明一第二實施例在一半導體基板內形成一埋式隔離區之步驟；

圖 3A 至圖 3E 係部分剖面圖，顯示依據本發明一第三實施例在一半導體基板內、一半導體裝置中形成一埋式隔離區之步驟；

圖 4A 至圖 4L 係部分剖面圖，顯示依據本發明一第四實施例在一半導體基板內、一半導體裝置中形成一埋式隔離區之步驟；以及

圖 5A 至圖 5J 係部分剖面圖，顯示依據本發明一第五實施例在一半導體基板內、一半導體裝置中形成一埋式隔離區之步驟。

【主要元件符號說明】

100 矽基板	
105A 埋式氧化層	165IV 族半導體層
170 源極	175 汲極
180 通道區	
185 場效電晶體(FET)	
185A 場效電晶體	185B 場效電晶體
185C 場效電晶體	185D 場效電晶體
190 溝槽隔離區	
195 閘介電層	200 閘電極
205 視需要的絕緣側壁間隙層	
210 視需要的絕緣罩蓋層	
215A 圖案化二氧化矽層	
215B 圖案化二氧化矽層	
225 矽基板	
235IV 族半導體層	240 選擇性井
270 矽基板	
315 圖案化埋式氧化層	325 二氧化矽層
340 閘介電層	350 閘電極
355 孔洞	

五、中文發明摘要：

本發明係關於半導體結構及形成半導體結構的方法。此半導體結構包含奈米結構(nano-structures)或使用奈米結構製成。形成半導體結構的方法包含使用一奈米罩(nano-mask)產生奈米結構，並使用產生的奈米結構執行額外的半導體製程步驟。

六、英文發明摘要：

Semiconductor structures and method of forming semiconductor structures. The semiconductor structures including nano-structures or fabricated using nano-structures. The method of forming semiconductor structures including generating nano-structures using a nano-mask and performing additional semiconductor processing steps using the nano-structures generated.

十、申請專利範圍：

1. 一種形成一半導體結構之方法，包含：

- (a)提供一單晶矽基板(substrate)；
- (b)形成一硬罩層(hard mask layer)在該基板的一上表面；
- (c)形成一奈米罩層(nano-mask layer)在該硬罩層的一上表面，而不執行一微影(photolithographic)製程，該奈米罩層具有一罩圖案(masking pattern)；
- (d)蝕刻該罩圖案進入該硬罩層內，以形成具有開口(openings)的一圖案化硬罩層，該開口從該圖案化硬罩層的一上表面延伸至該基板的該上表面，其中該開口、該開口之間的距離、或該開口及該開口之間該距離兩者，獨立地具有至少一個空間範圍(spatial extent)延伸平行於該圖案化硬罩層的該上表面；以及
- (e)移除該奈米罩層後，形成一單晶 IV 族半導體層(single crystal group IV semiconductor layer)在該圖案化硬罩層的一上表面，該單晶 IV 族半導體層填滿該圖案化硬罩層內的該等開口。

2. 如請求項第 1 項所述之方法，其中該單晶 IV 族半導體層係藉由沉積磊晶矽(epitaxial silicon)、磊晶鍺、或矽和鍺的一磊晶混合物而形成。

3. 如請求項第 1 項所述之方法，更包含：

(f)退火(annealing)該 IV 族半導體層。

4. 如請求項第 1 項所述之方法，更包含：

(f)執行一化學機械研磨(chemical-mechanical-polish)以平坦化(planarize)該單晶 IV 族半導體層的一上表面。

5. 如請求項第 1 項所述之方法，其中圖案化硬罩層包含硬罩島(islands)或該開口，係為該圖案化硬罩層內的洞。

6. 如請求項第 1 項所述之方法，其中該圖案化硬罩層的一上表面係低於該單晶 IV 族半導體層的一上表面大約 20 奈米(nanometers)至大約 300 奈米。

7. 如請求項第 1 項所述之方法，其中該奈米罩層包含一高分子塊體共聚合物(block copolymer)層包含兩個或更多不同的聚合物，由此所有該聚合物或其中一個該聚合物一部分已被移除。

8. 如請求項第 1 項所述之方法，其中該奈米罩層包含奈米晶體(nano-crystals)。

9. 如請求項第 1 項所述之方法，更包含：

形成一閘介電層(gate dielectric)在該單晶 IV 族半導體層的

一上表面上；

形成一閘電極(gate electrode)在該閘介電層的一上表面上；以及

形成一源極及一汲極在該單晶 IV 族半導體層內並在該閘電極的相反兩側。

10. 如請求項第 9 項所述之方法，更包含：

在步驟(b)及步驟(c)之間，形成一保護層在該單晶 IV 族半導體層區域上方該硬罩層的該上表面，以預留給該源極及該汲極之形成，而該保護層避免轉移該罩圖案至該硬罩層內。

11. 如請求項第 1 項所述之方法，其中該至少一個空間範圍係大約為 2 奈米至大約 100 奈米之間。

12. 如請求項第 1 項所述之方法，其中該單晶 IV 族半導體層包含 Si_xGe_y ，其中 $x=0$ 至 1 且 $y=x-1$ 。

13. 一種形成一半導體結構之方法，包含：

(a)提供一單晶矽基板；

(b)形成一假性閘(dummy gate)在該基板的一上表面；

(c)形成一奈米罩層在該基板的一上表面及該假性閘的一上表面，而不執行一微影製程，該奈米罩層具有一罩圖案；

(d)蝕刻該罩圖案進入該基板沒有被該假性閘覆蓋之所有

17. 如請求項第 13 項所述之方法，其中該埋式圖案化二氧化矽層的一上表面係低於該基板的一上表面大約 20 奈米至大約 300 奈米。

18. 如請求項第 13 項所述之方法，其中該奈米罩層包含一高分子塊體共聚合物層包含兩個或更多不同的聚合物，由此所有該聚合物或其中一個該聚合物一部分已被移除。

19. 如請求項第 13 項所述之方法，其中該奈米罩層包含奈米晶體。

20. 如請求項第 13 項所述之方法，更包含：

形成一源極及一汲極在該基板內該假性閘的相反兩側；

形成一平坦化層在該假性閘及該基板沒有被該假性閘覆蓋之該上表面上；

共平坦化(co-planarizing)該平坦化層的一上表面及該假性閘的一上表面；

移除該假性閘；

形成一層閘介電層在移除該假性閘而暴露出的該基板的一上表面；以及

形成一閘電極在該閘介電層的一上表面，該閘電極自我對準於該源極及該汲極。

21. 如請求項第 20 項所述之方法，其中該埋式圖案化二氧化矽層在該源極及該汲極下方延伸。

22. 如請求項第 20 項所述之方法，其中該埋式圖案化二氧化矽層沒有在該閘電極下方完全延伸。

23. 如請求項第 13 項所述之方法，更包含：

在步驟(a)前，形成一層富氧層(oxygen rich layer)埋在該基板內。

24. 如請求項第 23 項所述之方法，其中該開口從該基板的該上表面延伸至該富氧層。

25. 如請求項第 13 項所述之方法，其中該至少一個空間範圍係為大約 2 奈米至大約 100 奈米。

26. 如請求項第 13 項所述之方法，其中該單晶 IV 族半導體材料包含 Si_xGe_y ，其中 $x=0$ 至 1 且 $y=x-1$ 。

27. 一種形成一半導體結構之一方法，包含：

(a)提供一單晶矽基板；

(b)形成一假性閘在該基板的一上表面；

(c)形成一奈米罩層在該基板的一上表面及該假性閘的一

蓋之該上表面上；

共平坦化(co-planarizing)該平坦化層的一上表面及該假性閘的一上表面；

移除該假性閘；

形成一層閘介電層在移除該假性閘而暴露出的該基板的一上表面；以及

形成一閘電極在該閘介電層的一上表面，該閘電極自我對準於該源極及該汲極。

32. 如請求項第 31 項所述之方法，其中該一個或更多埋式孔洞在該源極下方延伸，且一個或更多埋式孔洞在該汲極下方延伸。

33. 如請求項第 31 項所述之方法，其中該埋式孔洞沒有在該閘電極下方完全延伸。

34. 如請求項第 31 項所述之方法，其中該至少一個空間範圍係為大約 2 奈米至大約 100 奈米。

35. 一種半導體結構，包含：

一基板，包含一矽底層(lower layer)，一圖案化埋式氧化層在該矽底層的一上表面，該圖案化埋式氧化層具有開口，該開口延伸穿越該圖案化氧化層且被以一單晶 IV 族半導體材料

填滿，以及一層單晶 IV 族半導體層在該圖案化埋式氧化層上方，其中該開口的一寬度、該開口之間的一距離，或該開口的該寬度及該開口之間的該距離兩者，獨立地具有至少一個空間範圍小於一微影可定義的尺寸，該至少一個空間範圍延伸平行於該基板的一上表面；

一閘介電層，在該矽基板的該上表面；

一閘電極，在該閘介電層的一上表面；以及

一源極及一汲極在該基板內且在該閘電極的相反兩側。

36. 如請求項第 35 項所述之結構，其中該圖案化埋式氧化層包含氧化物島或開口在一氧化層內。

37. 如請求項第 35 項所述之結構，其中該圖案化埋式氧化層的一上表面係低於該基板的一上表面大約 20 奈米至大約 300 奈米。

38. 如請求項第 35 項所述之結構，其中該圖案化埋式氧化層在該源極、該汲極及該閘電極下方延伸。

39. 如請求項第 35 項所述之結構，其中該圖案化埋式氧化層在該閘電極下方延伸，但沒有在該源極及該汲極下方延伸。

40. 如請求項第 35 項所述之結構，其中該圖案化埋式氧化層

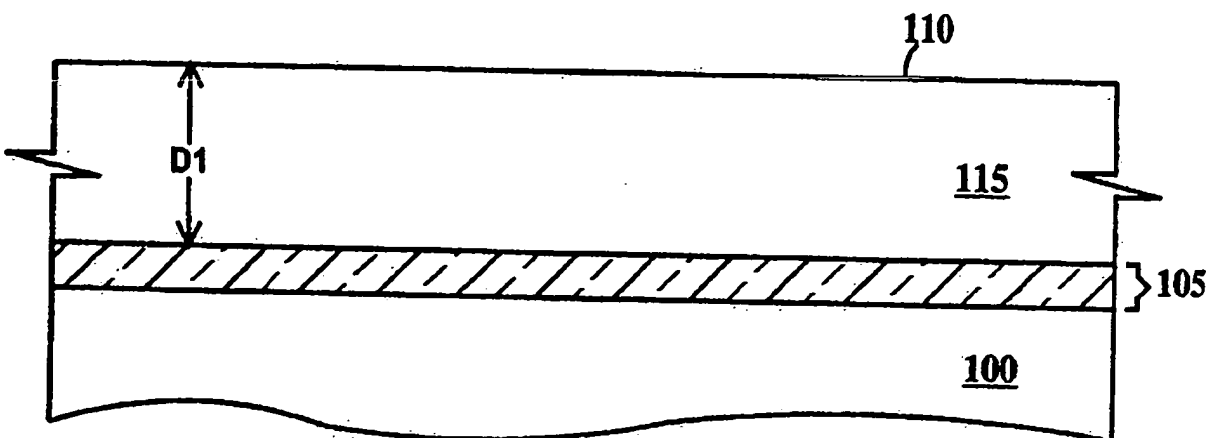


圖1A

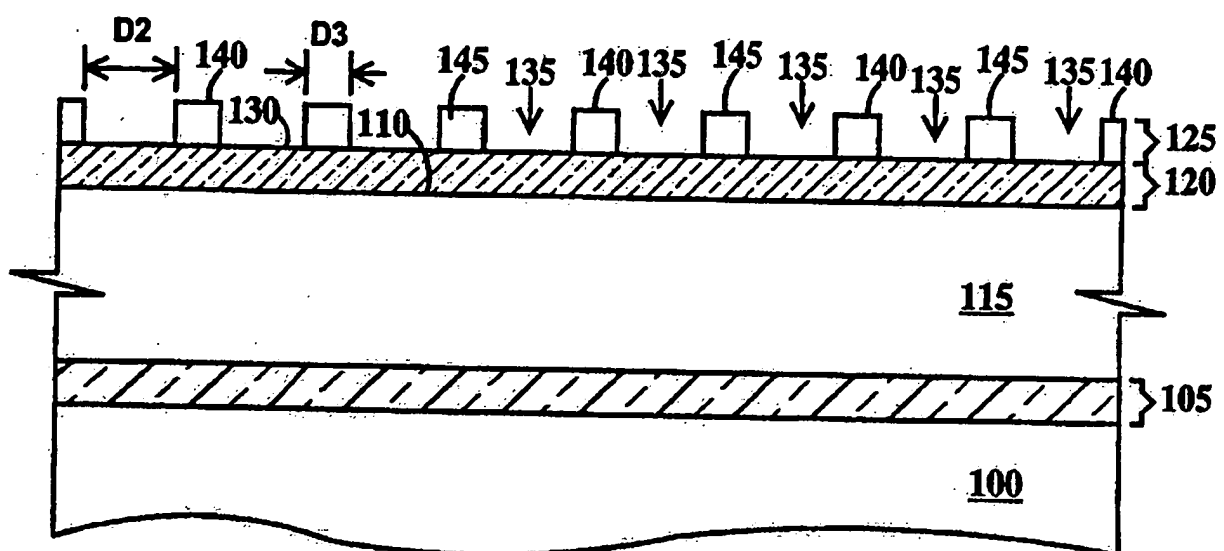


圖1B

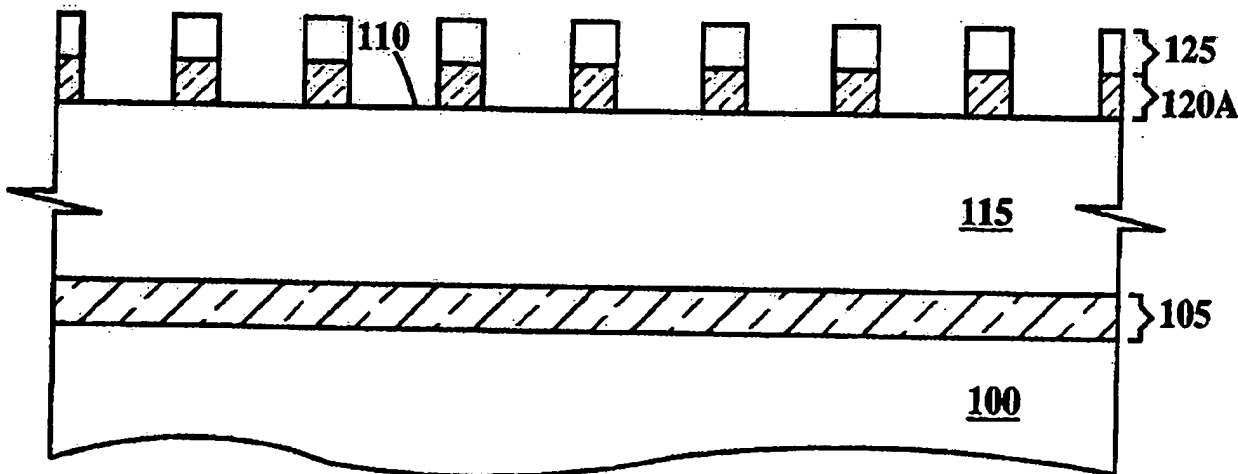


圖1C

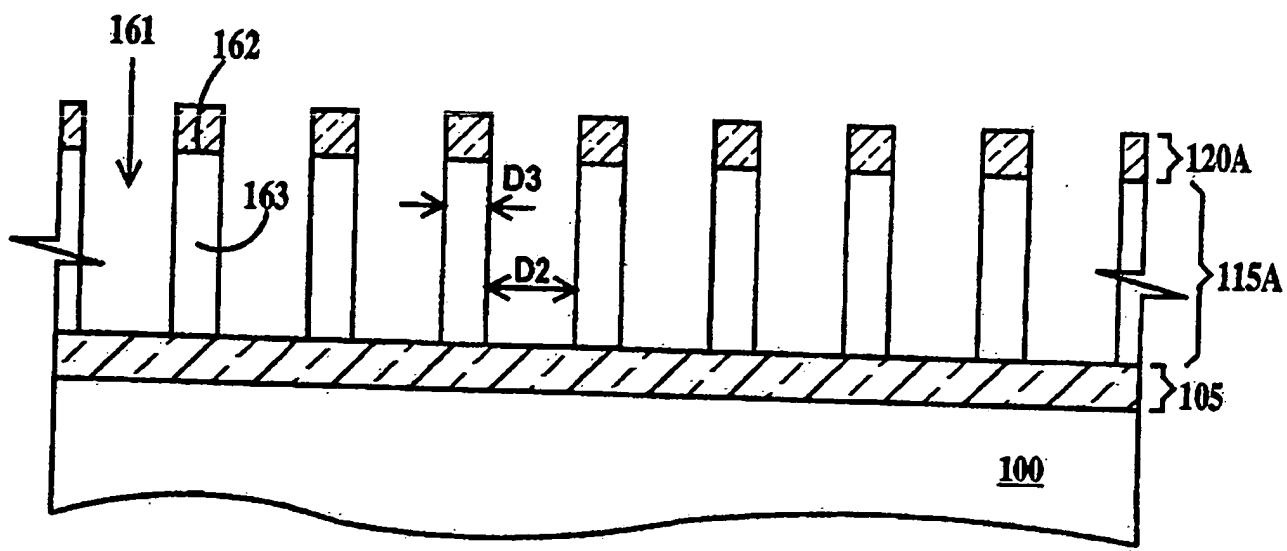


圖 1D

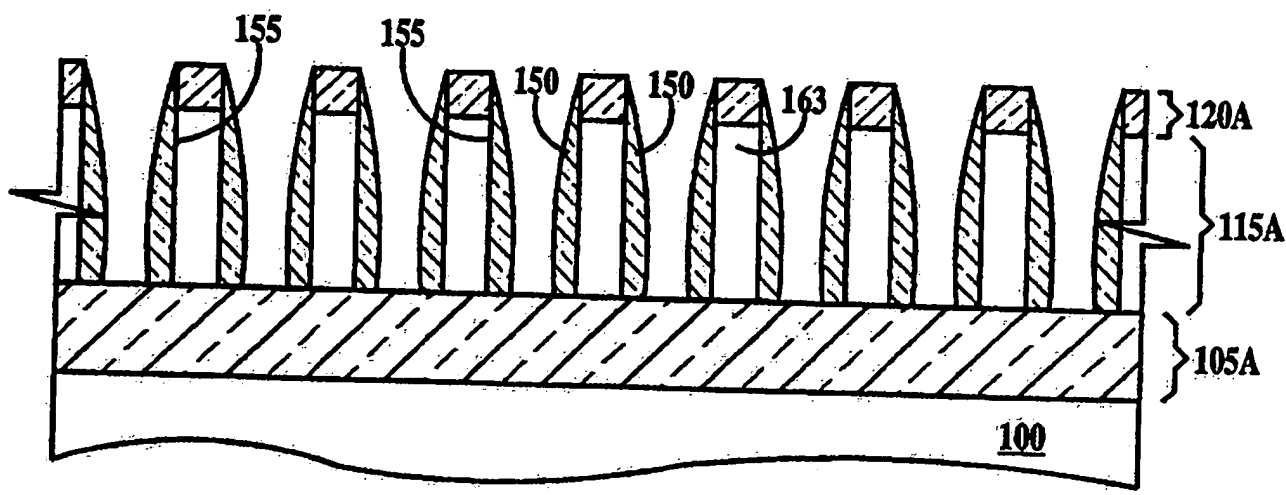


圖 1E

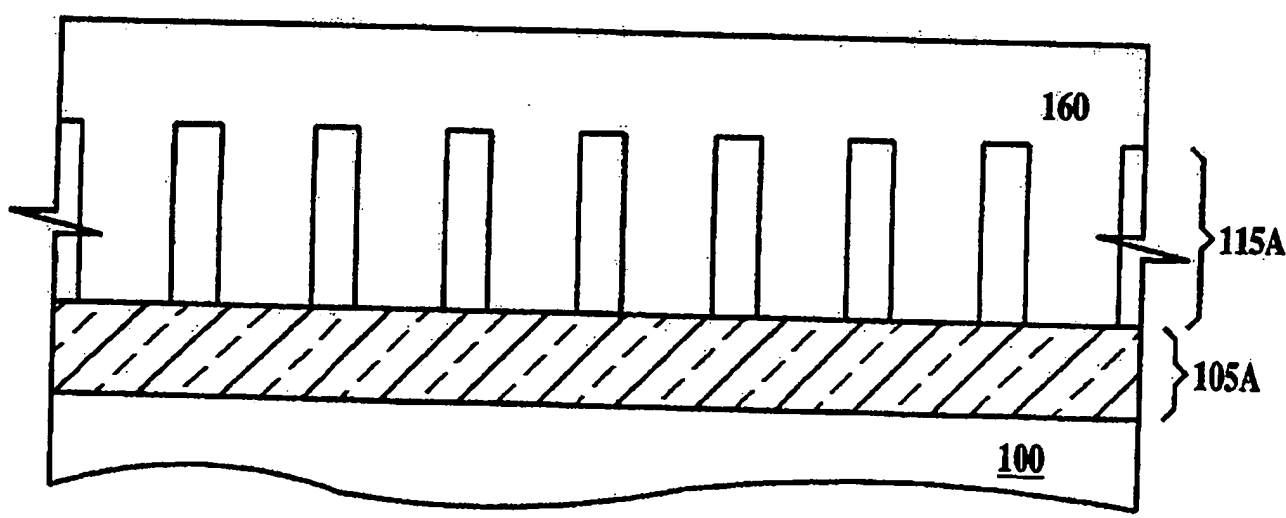


圖 1F

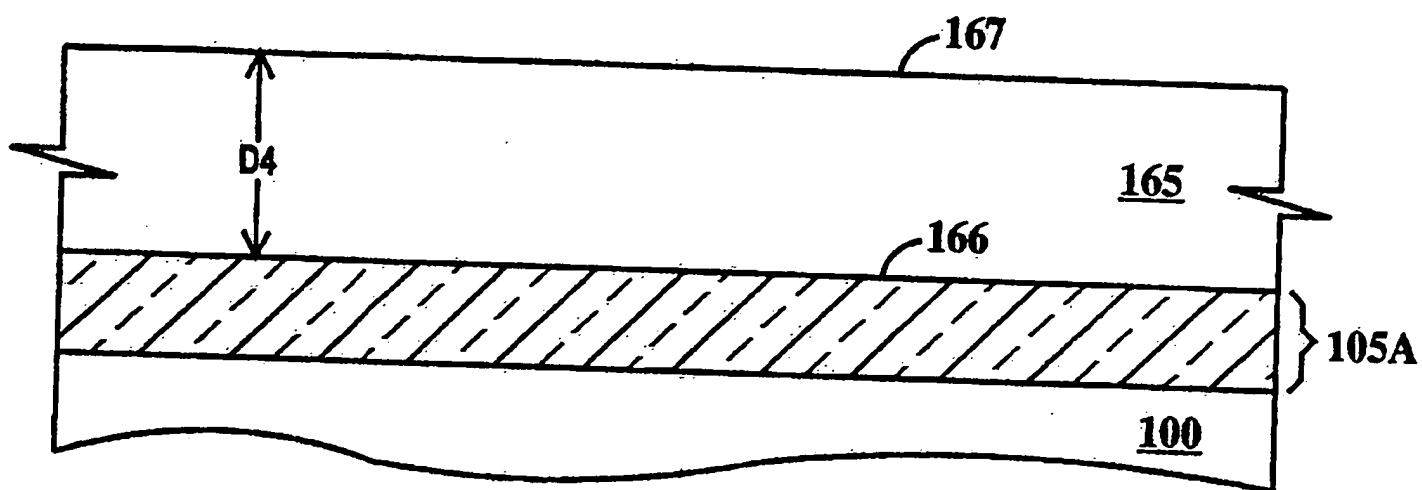


圖1G

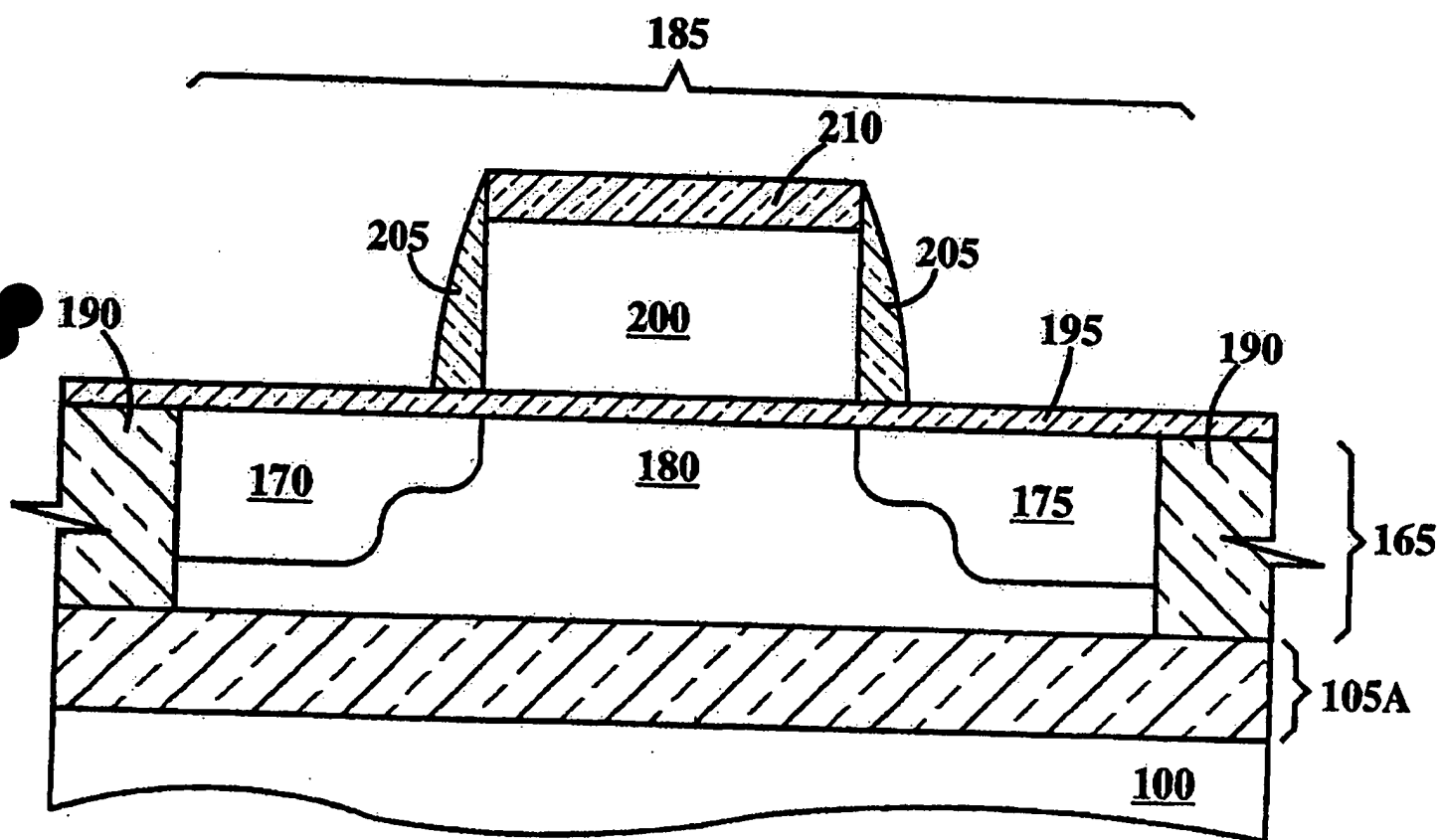


圖1H

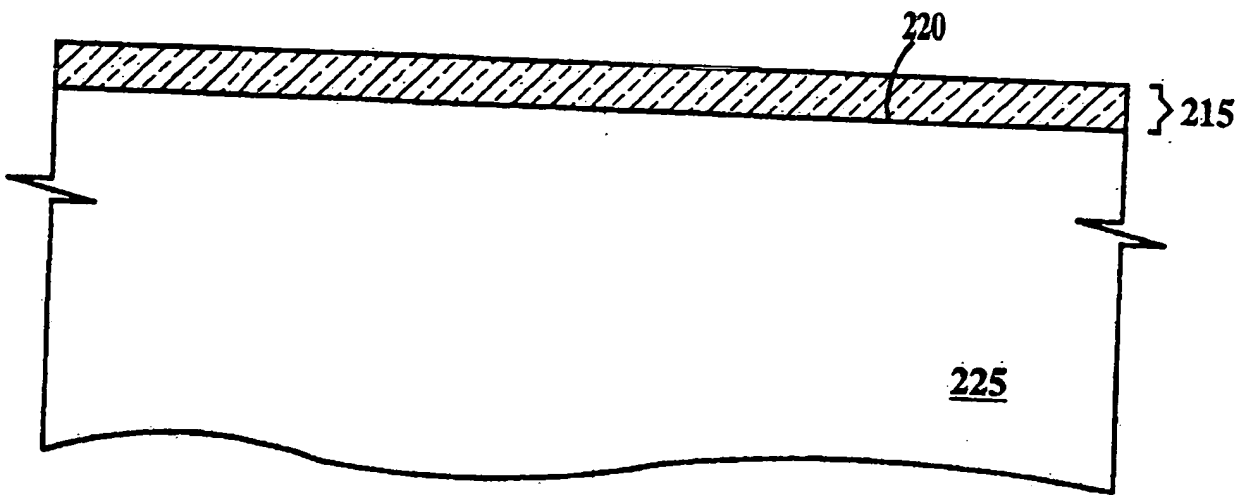


圖2A

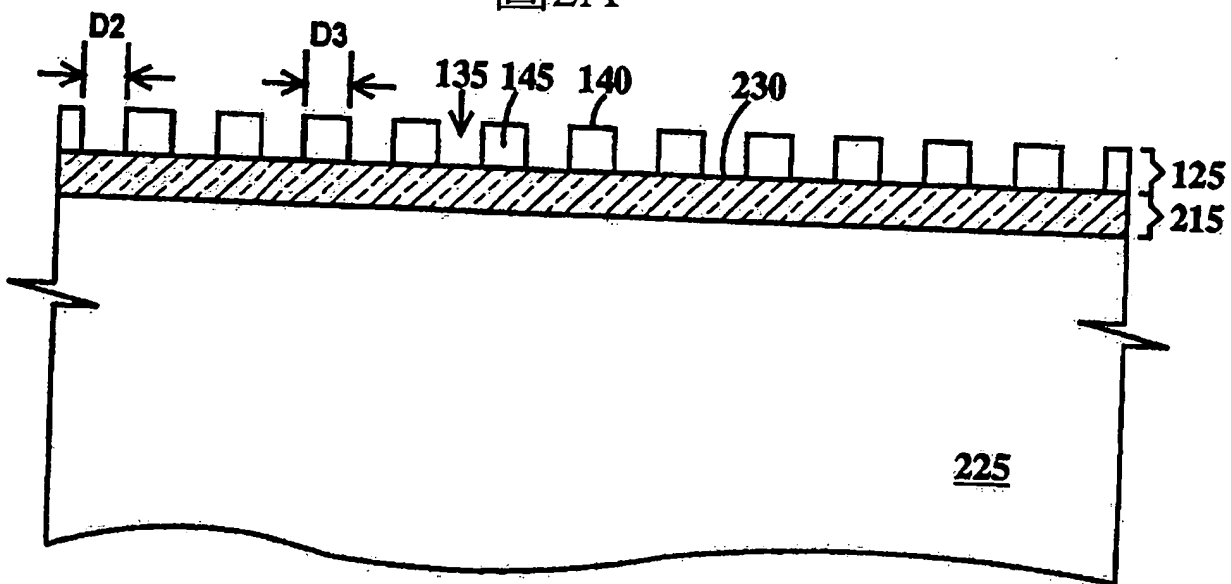


圖2B

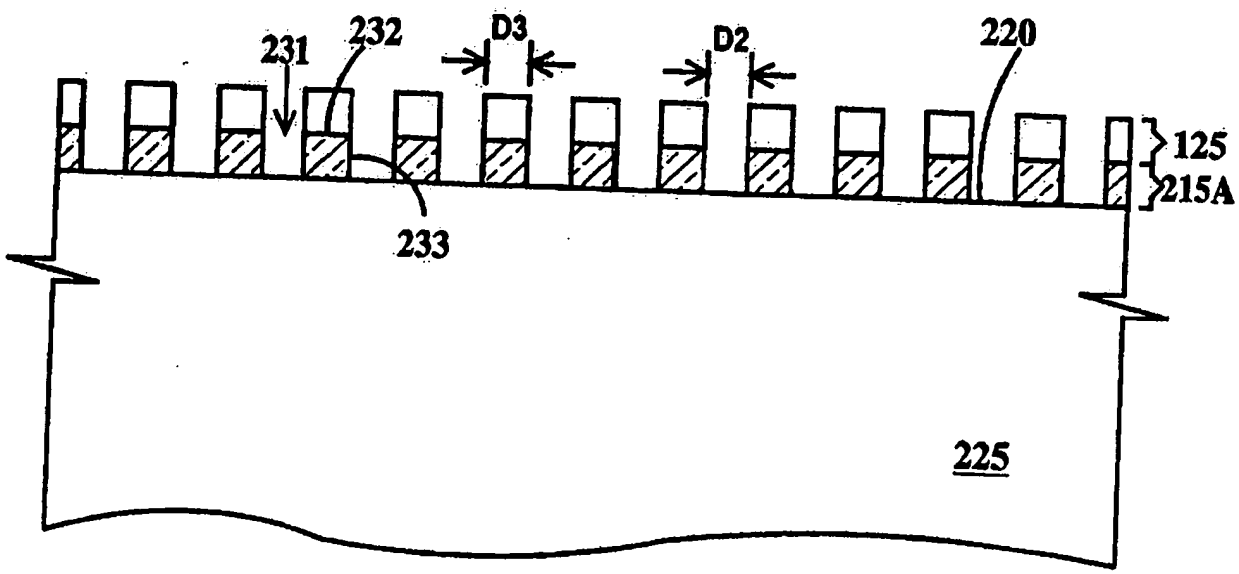


圖2C

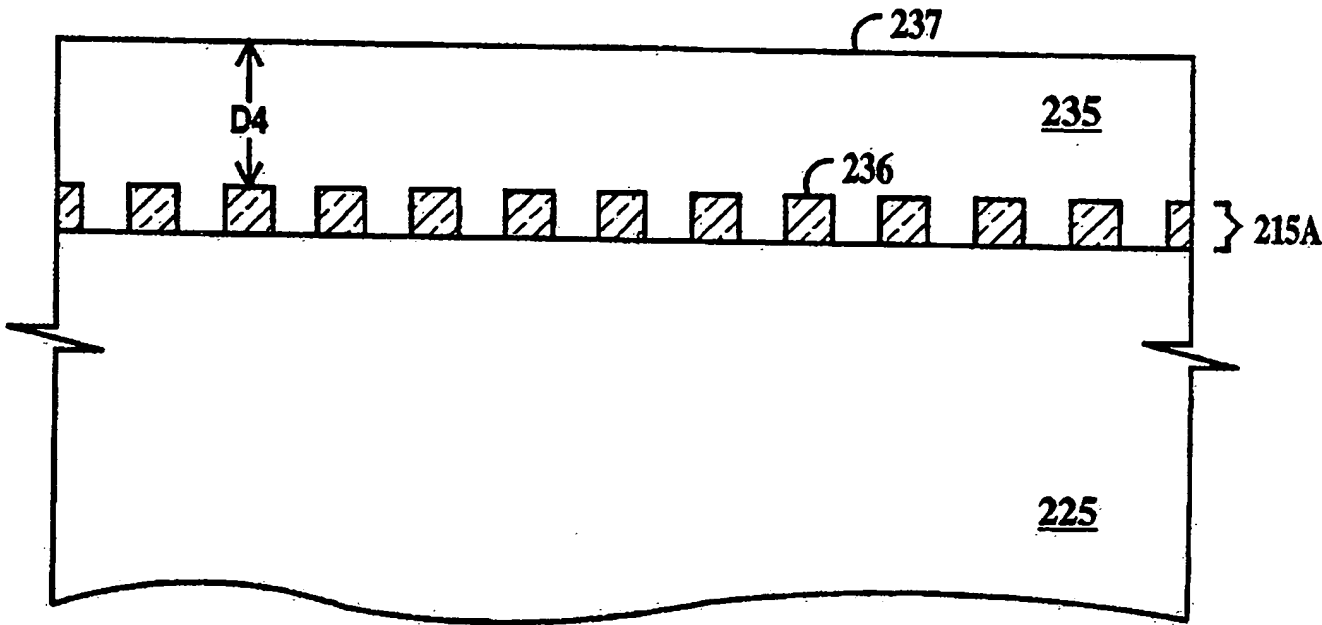


圖2D

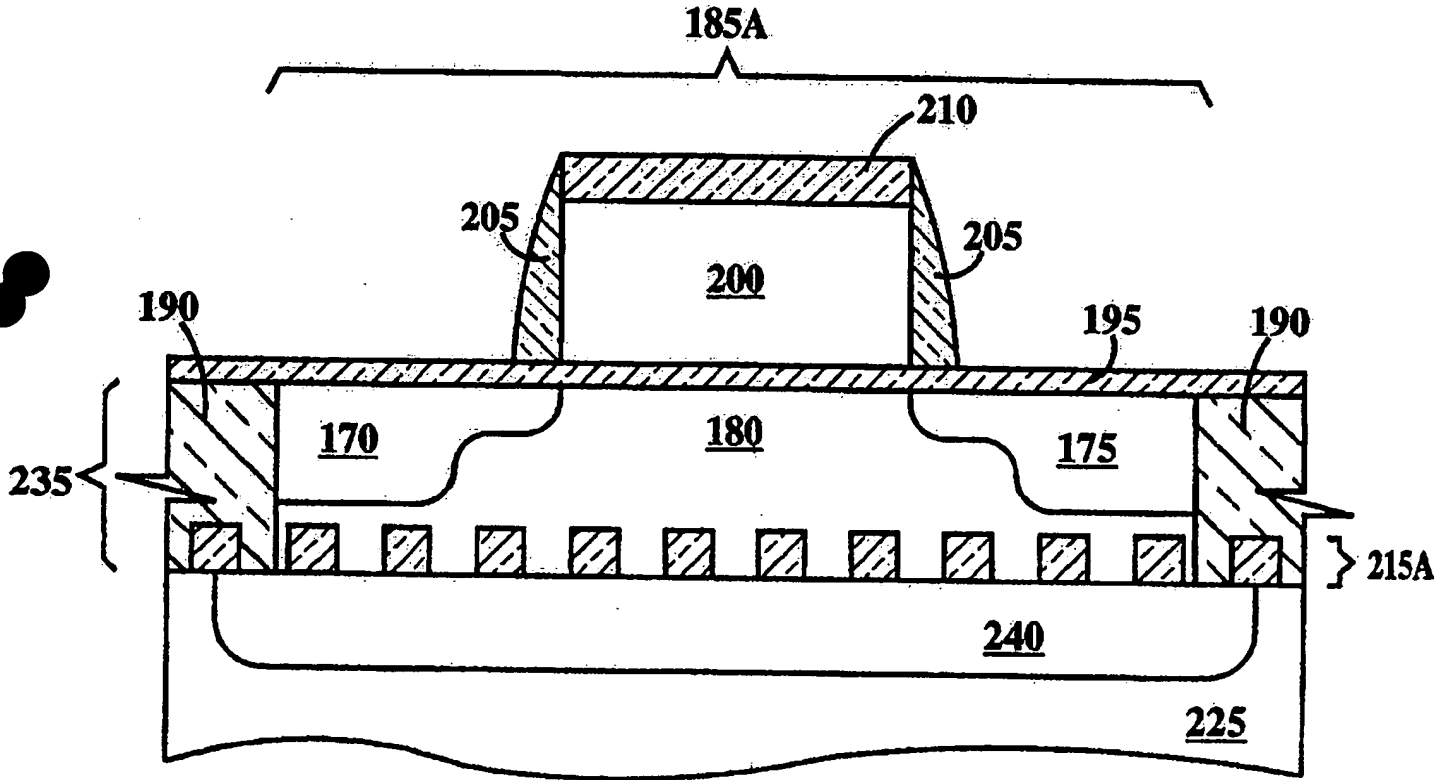


圖2E

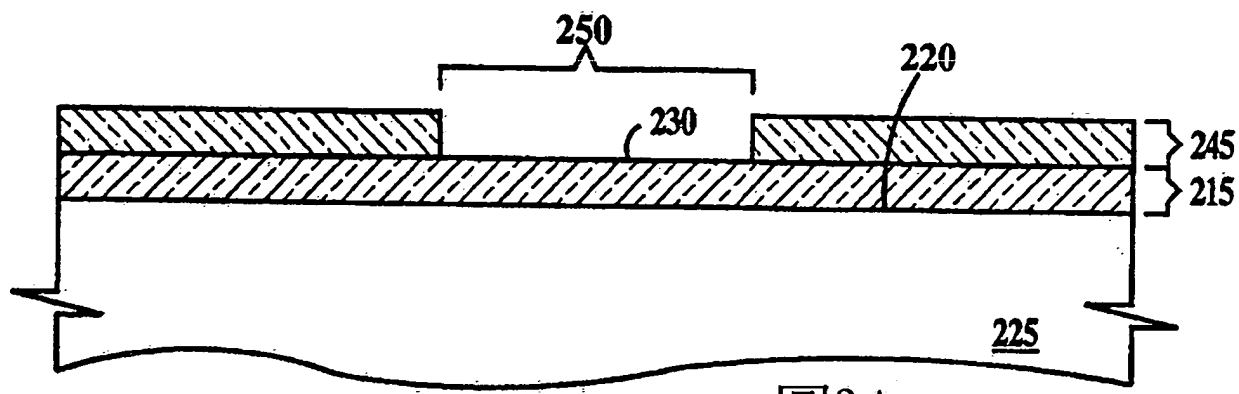


圖3A

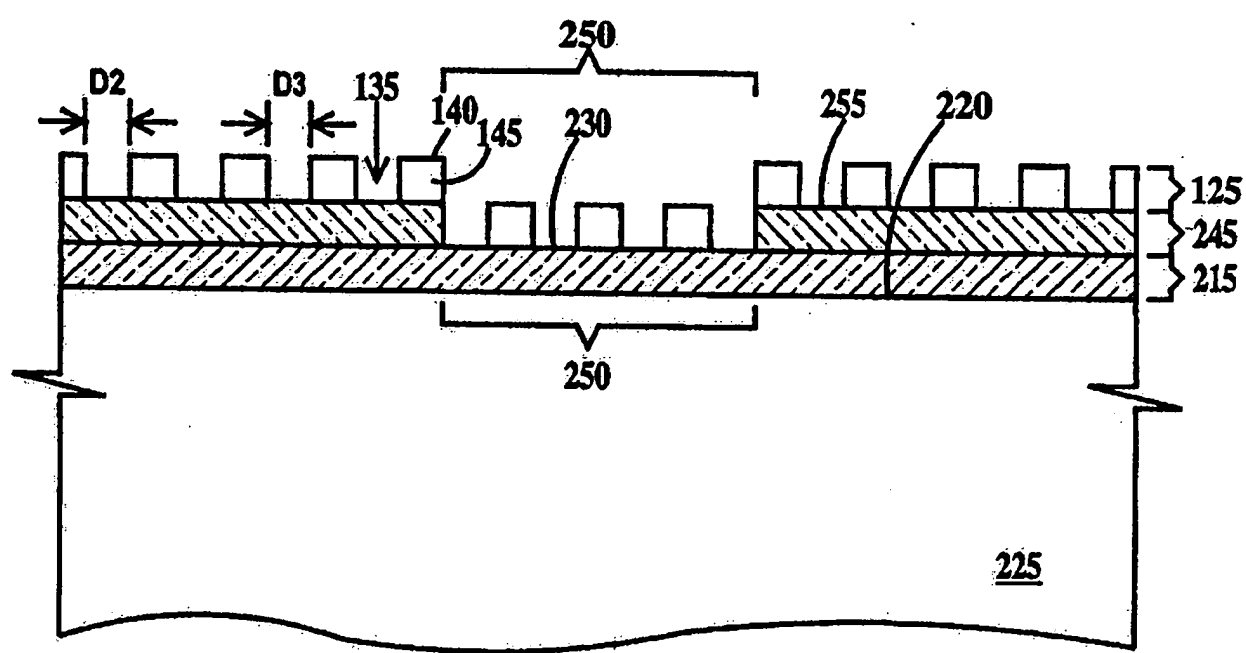


圖3B

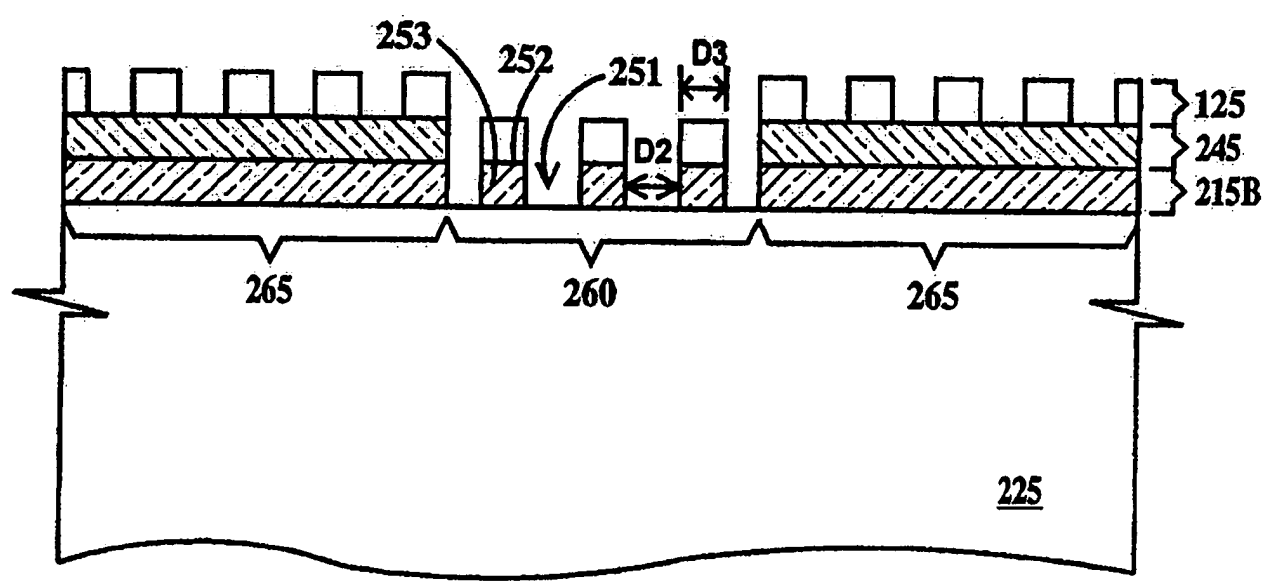


圖3C

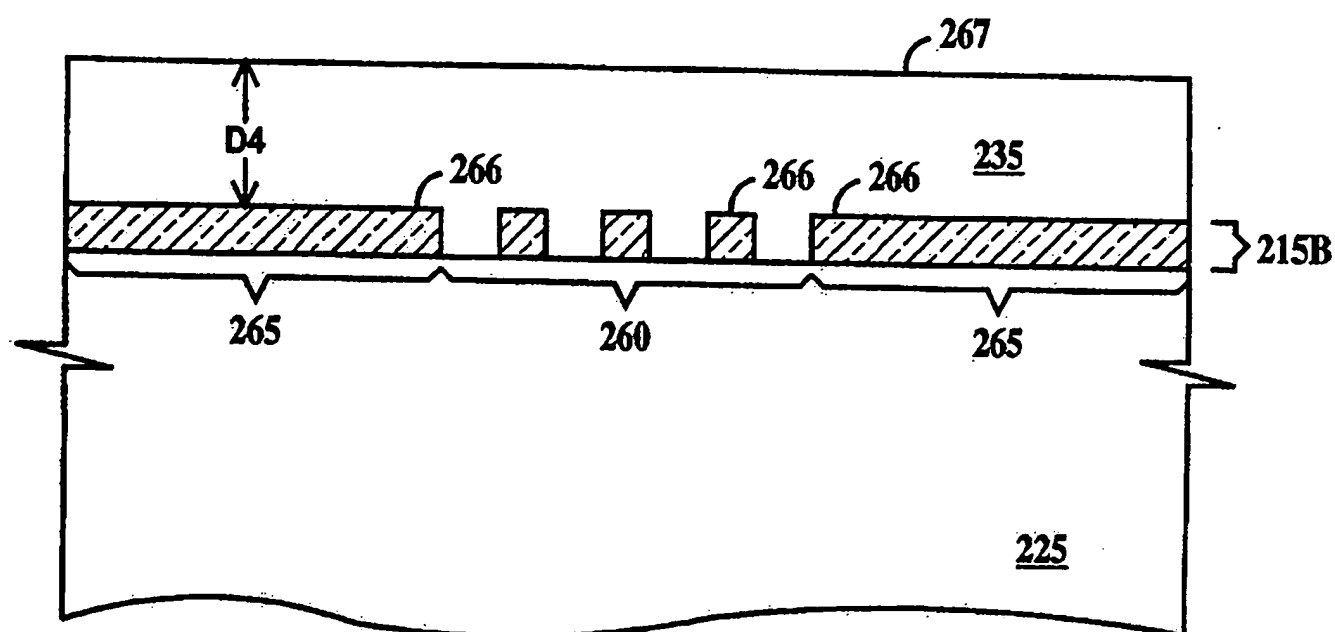


圖3D

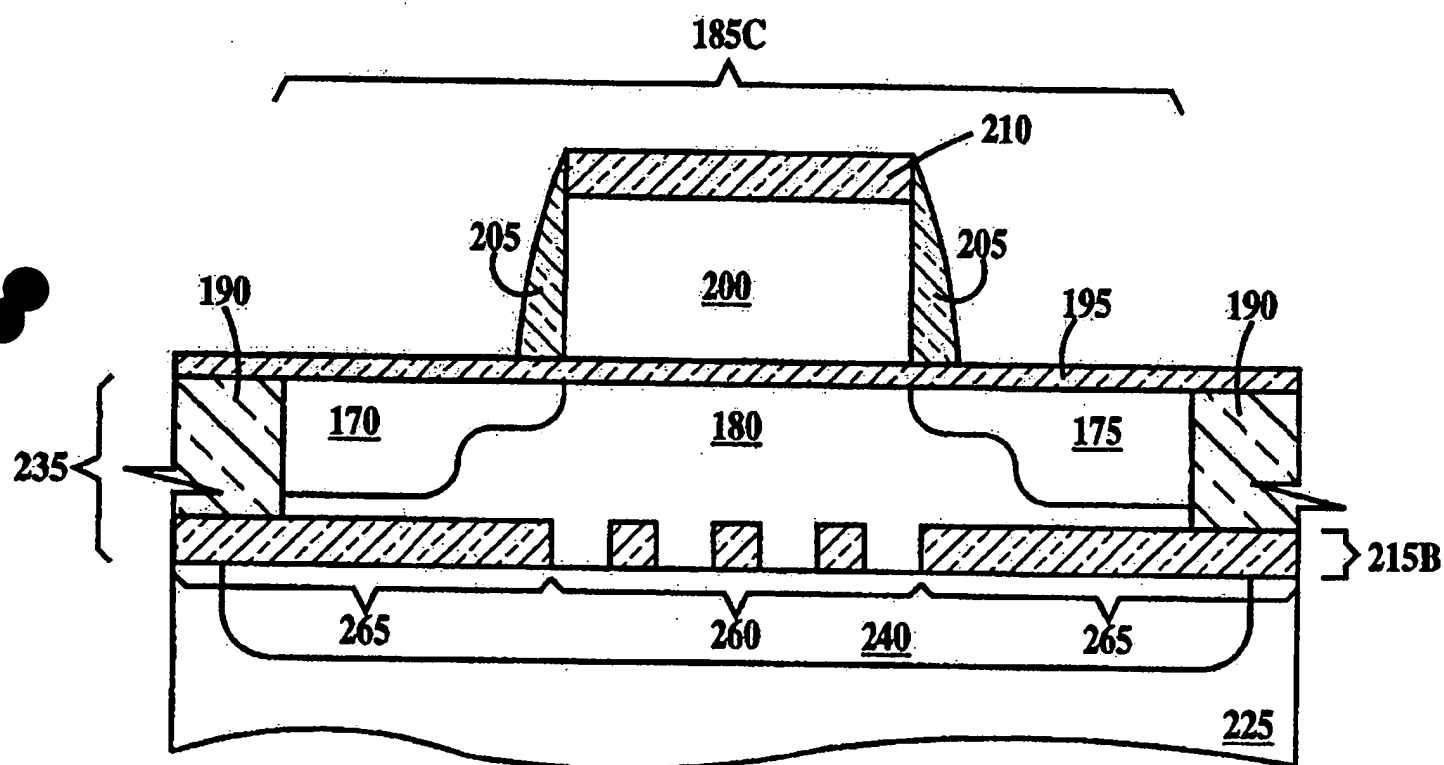


圖3E

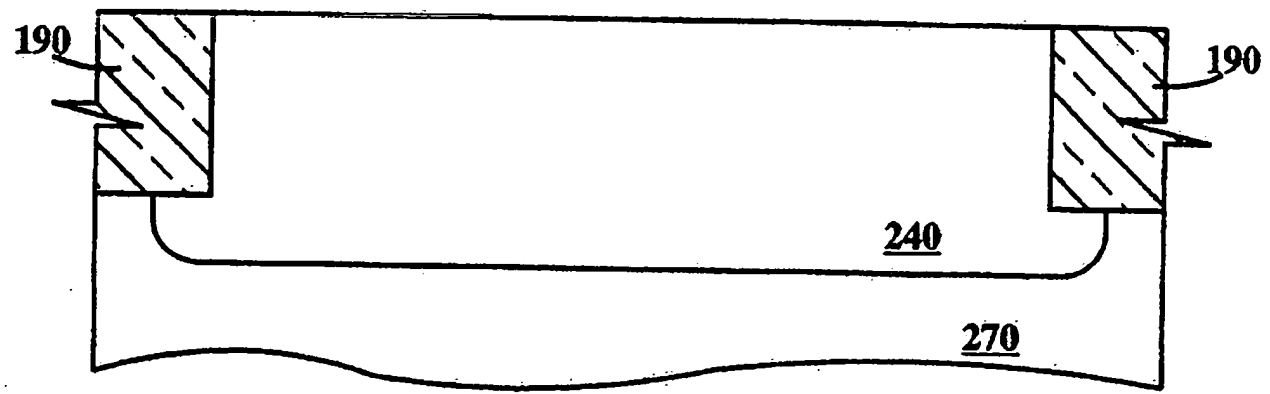


圖4A

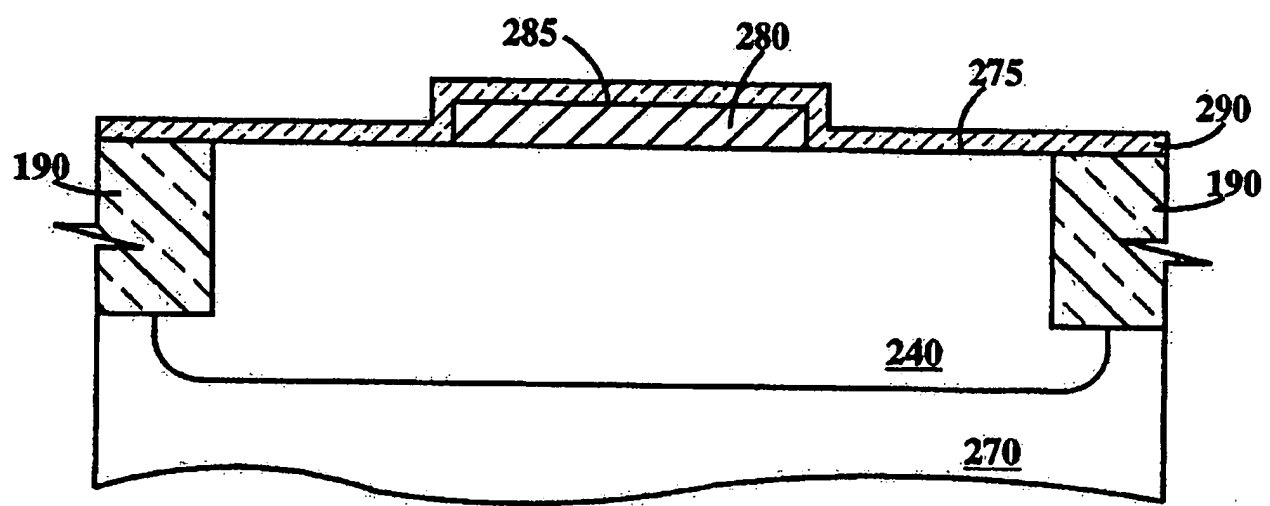


圖4B

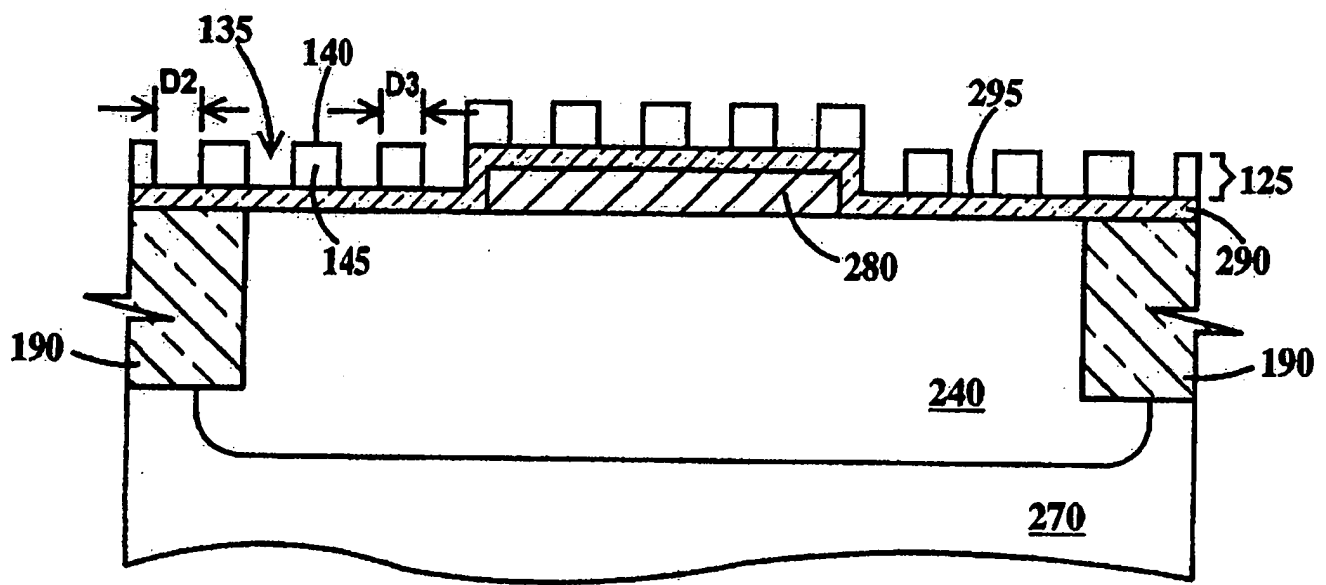


圖4C

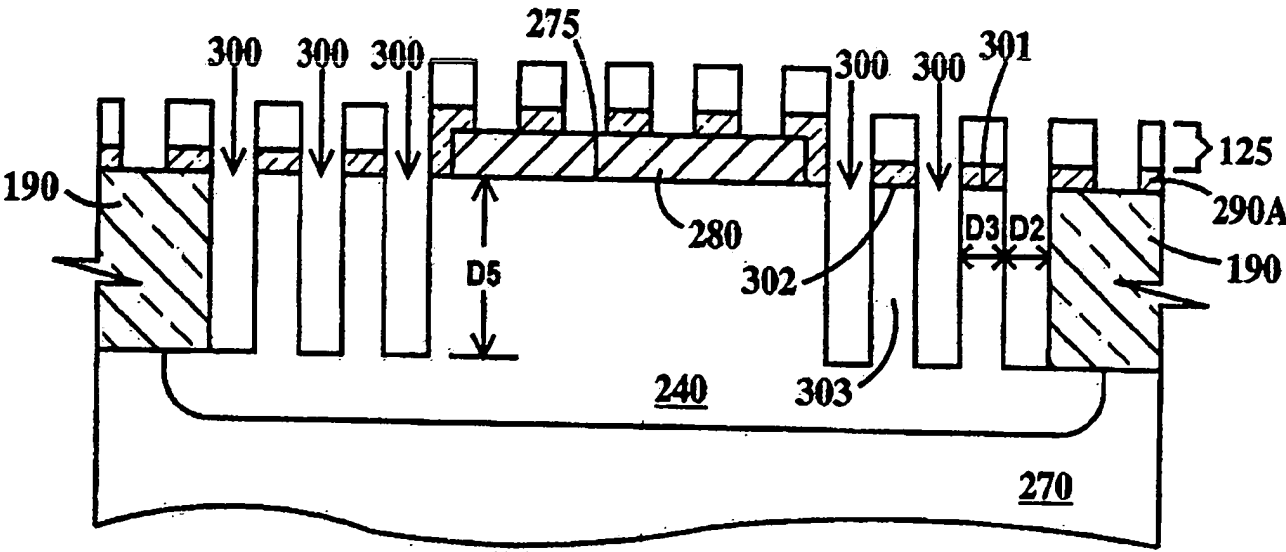


圖4D

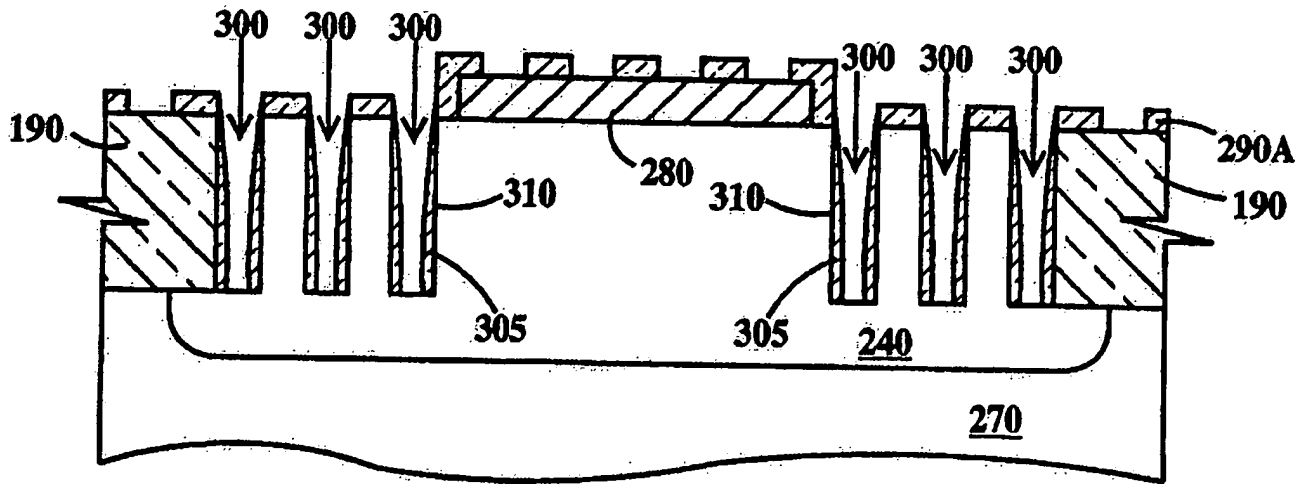


圖4E

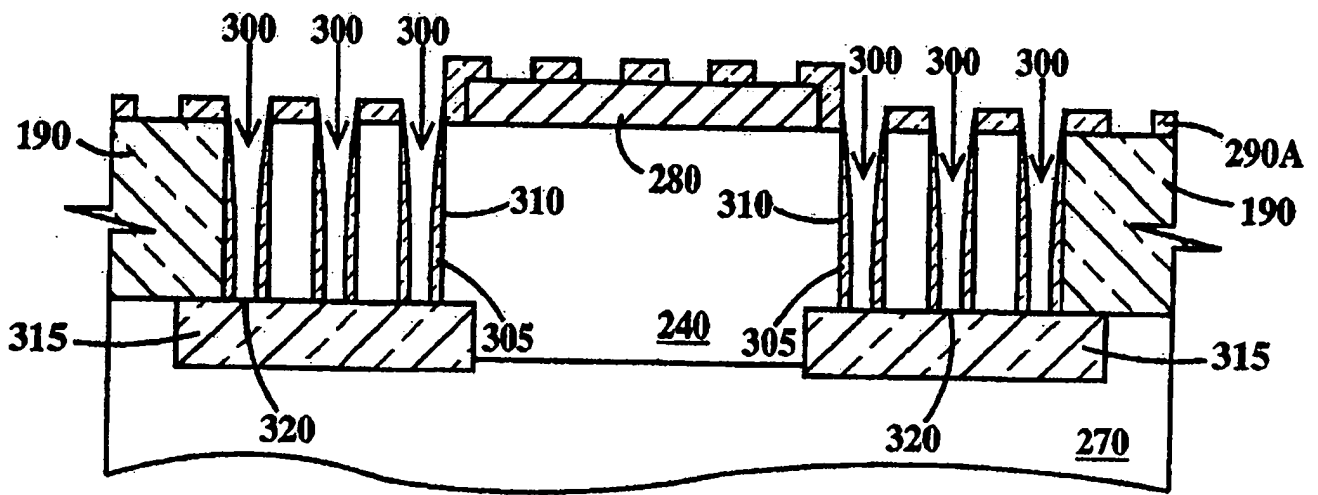


圖4F

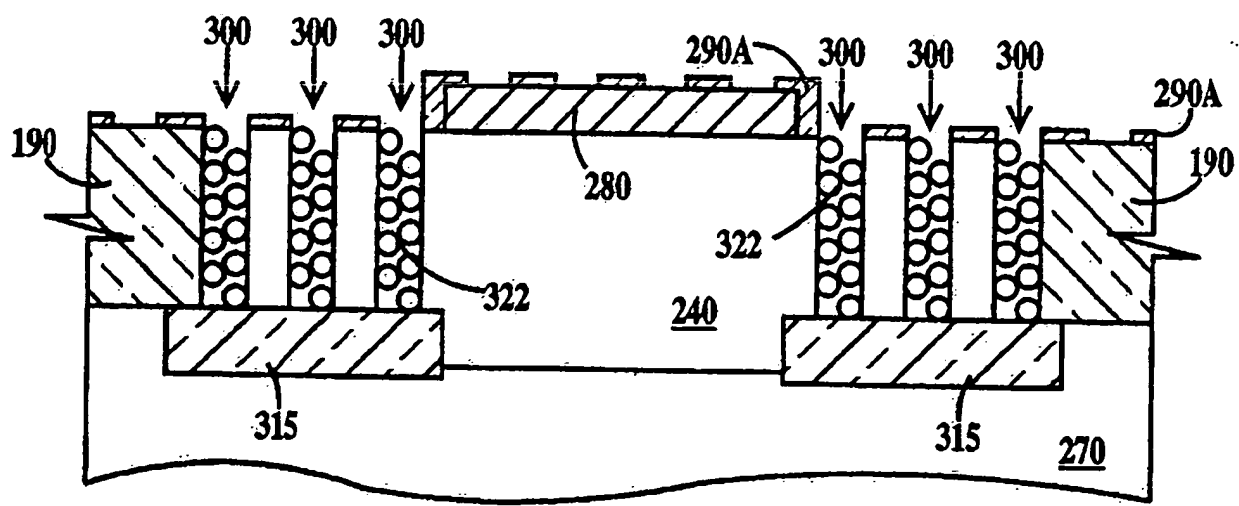


圖4G

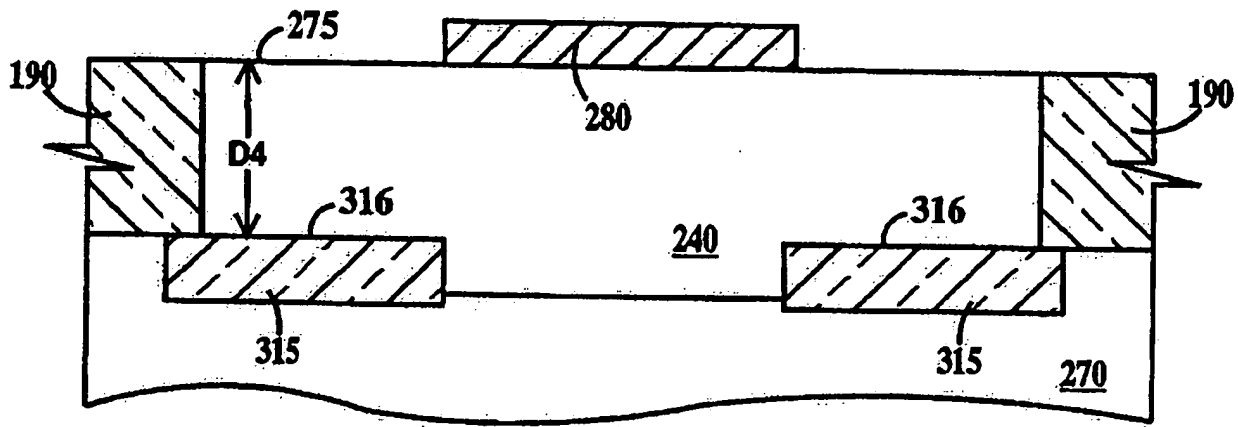


圖4H

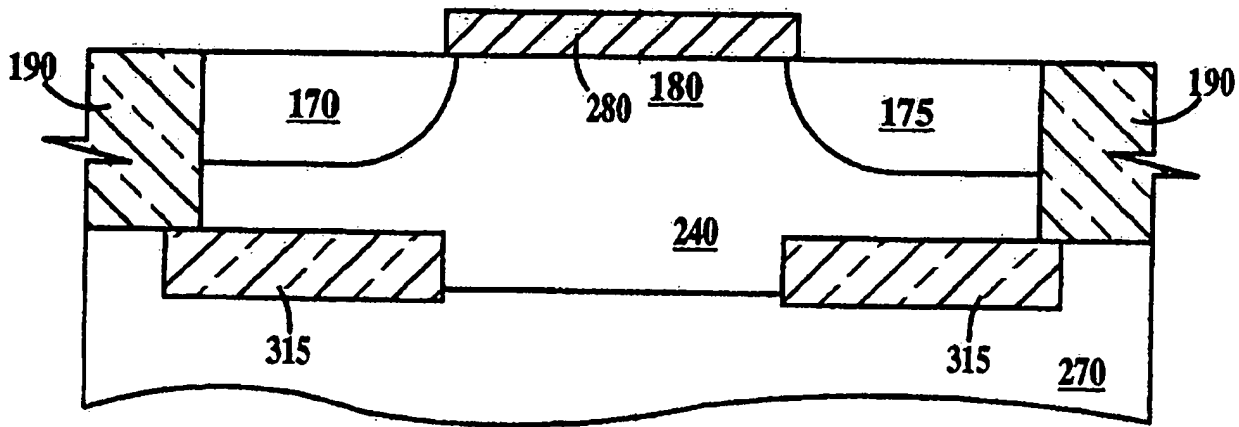


圖4I

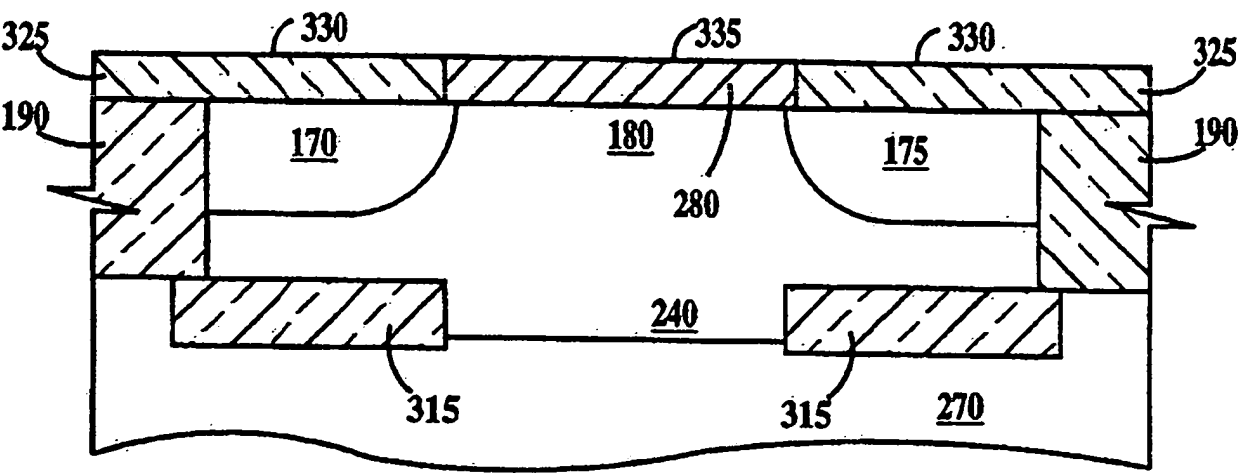


圖4J

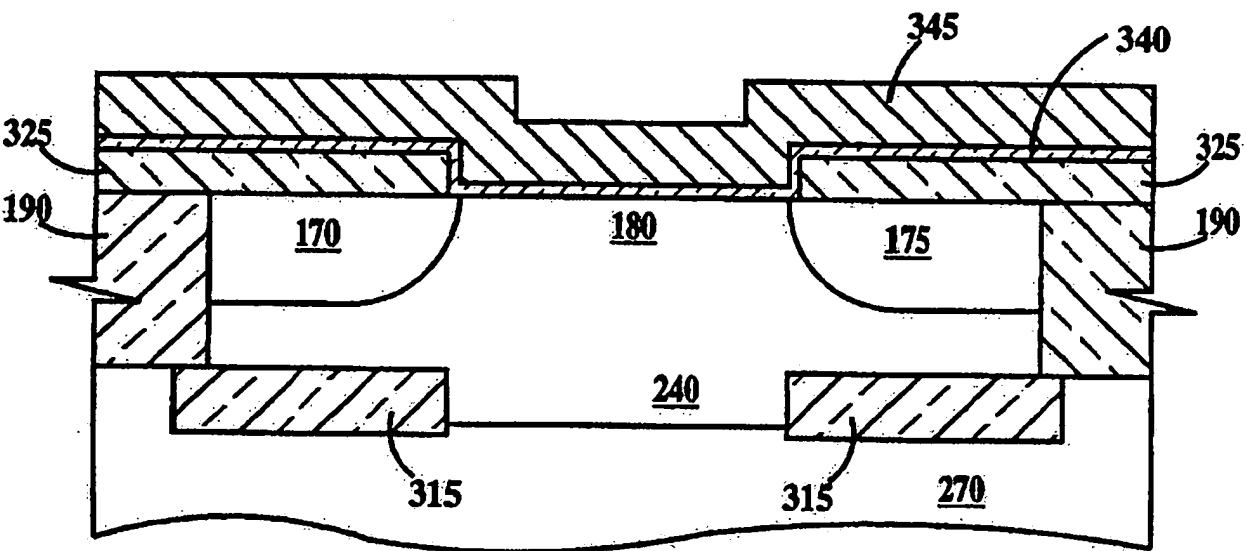


圖4K

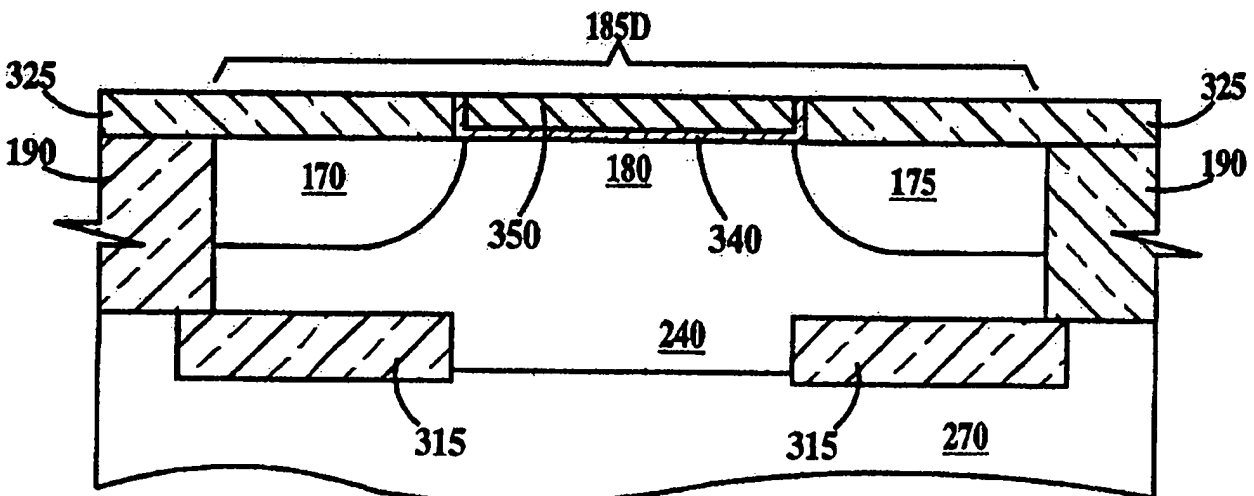


圖4L

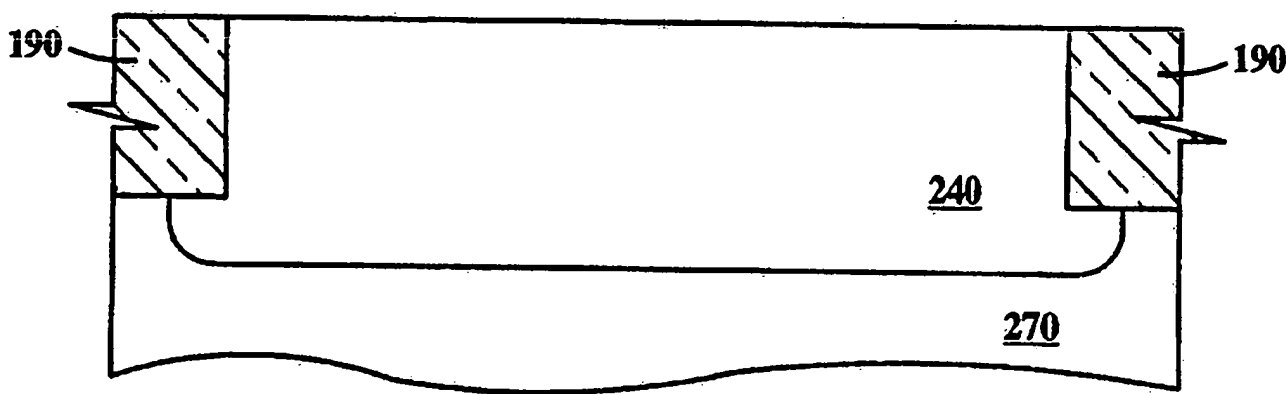


圖5A

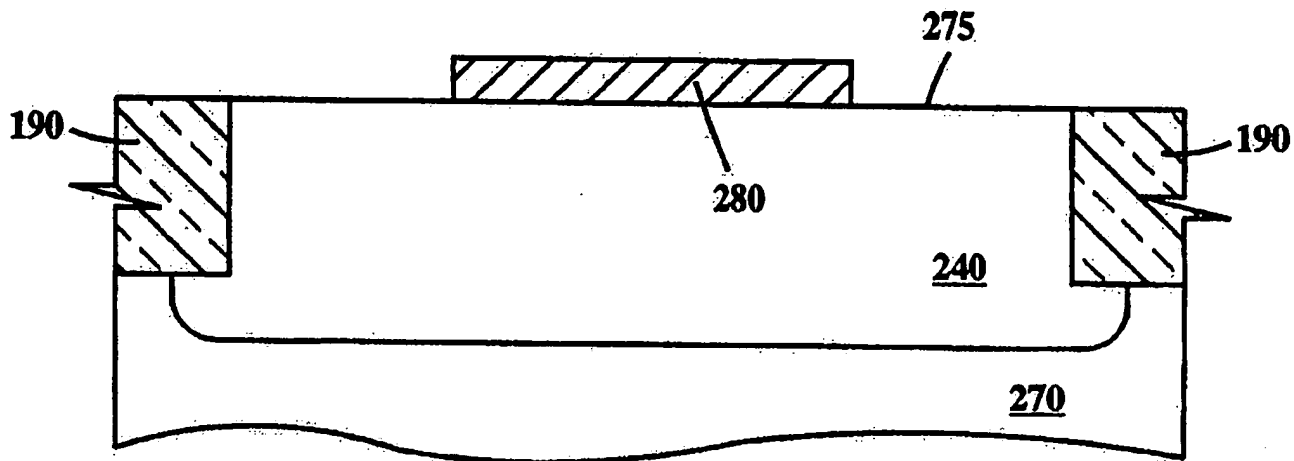


圖5B

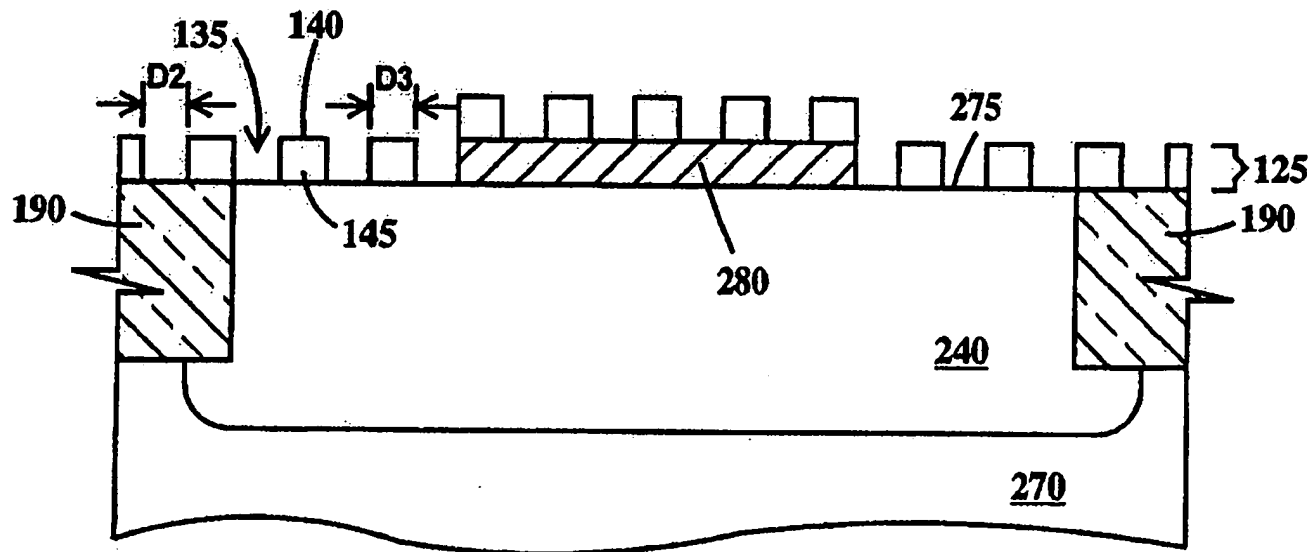


圖5C

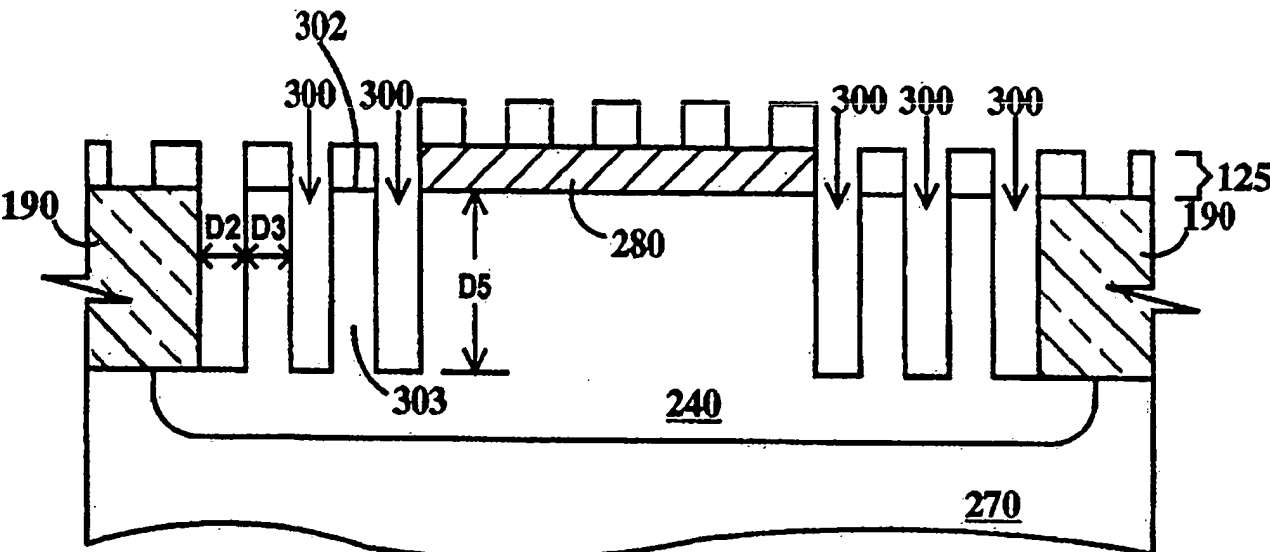


圖5D

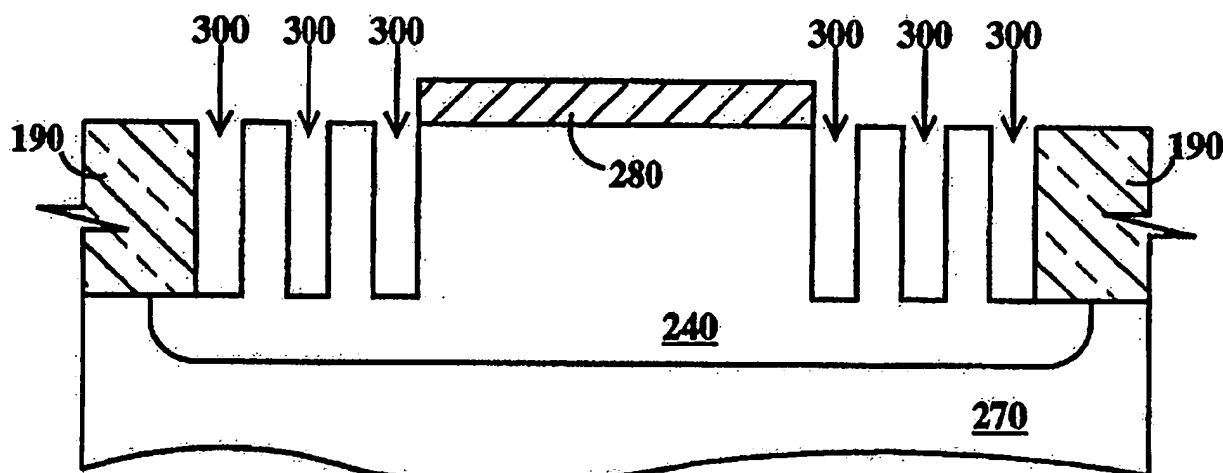


圖5E

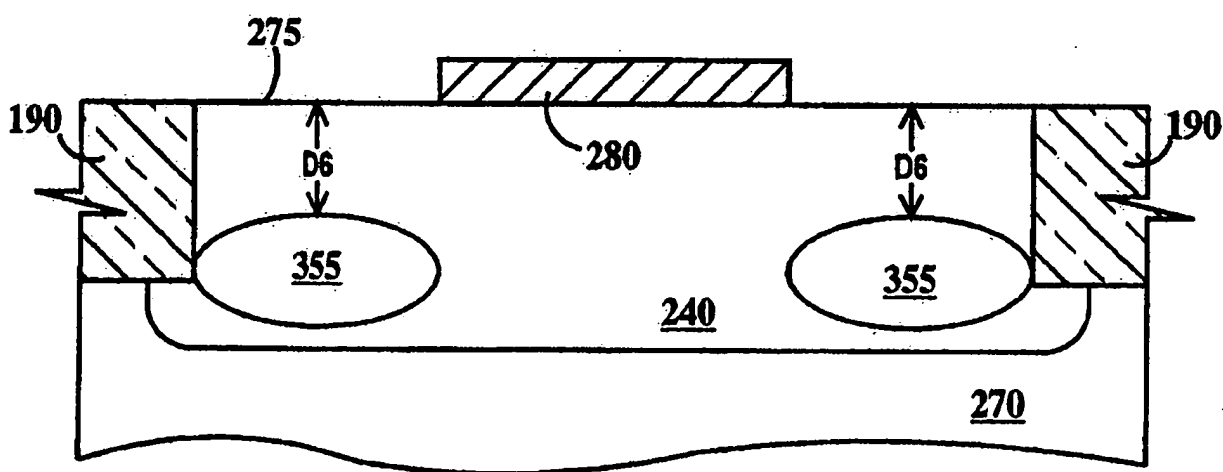


圖5F

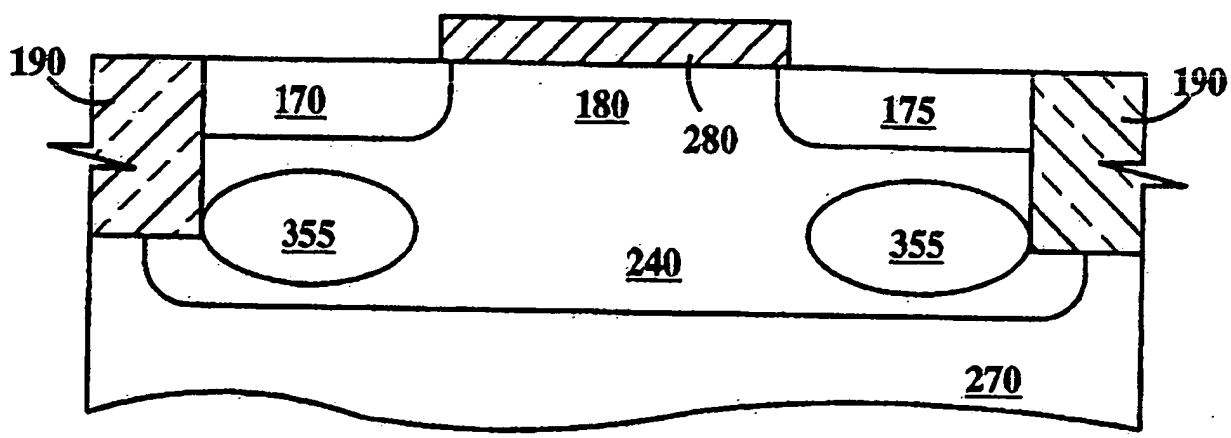


圖5G

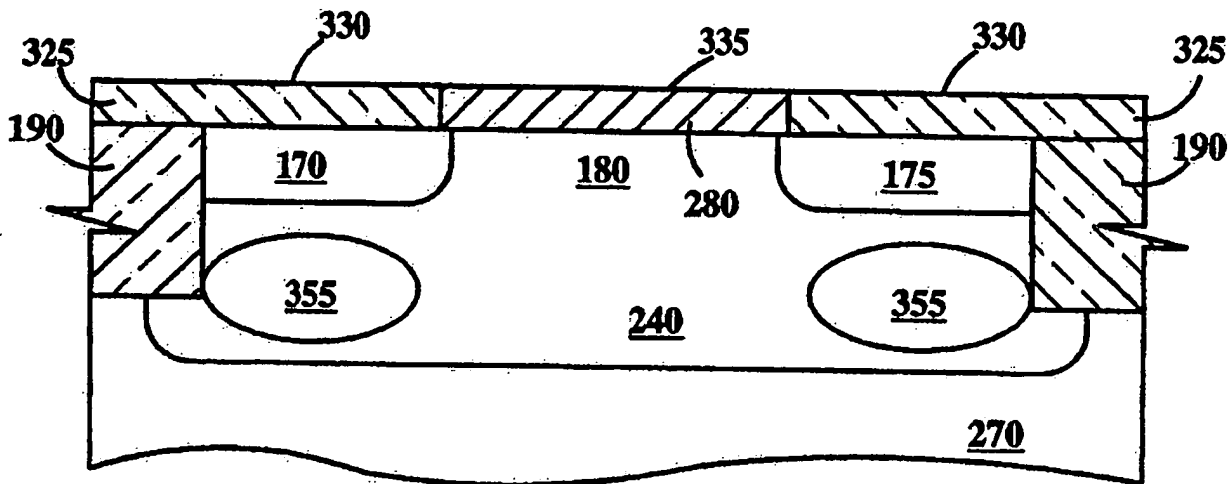


圖5H

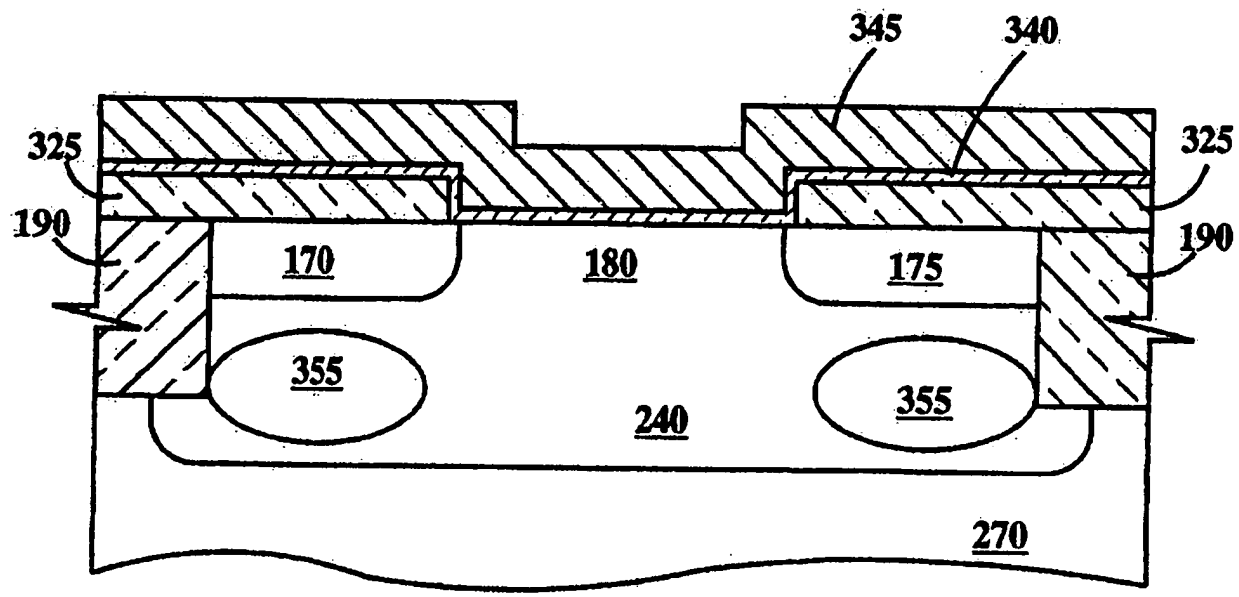


圖5I

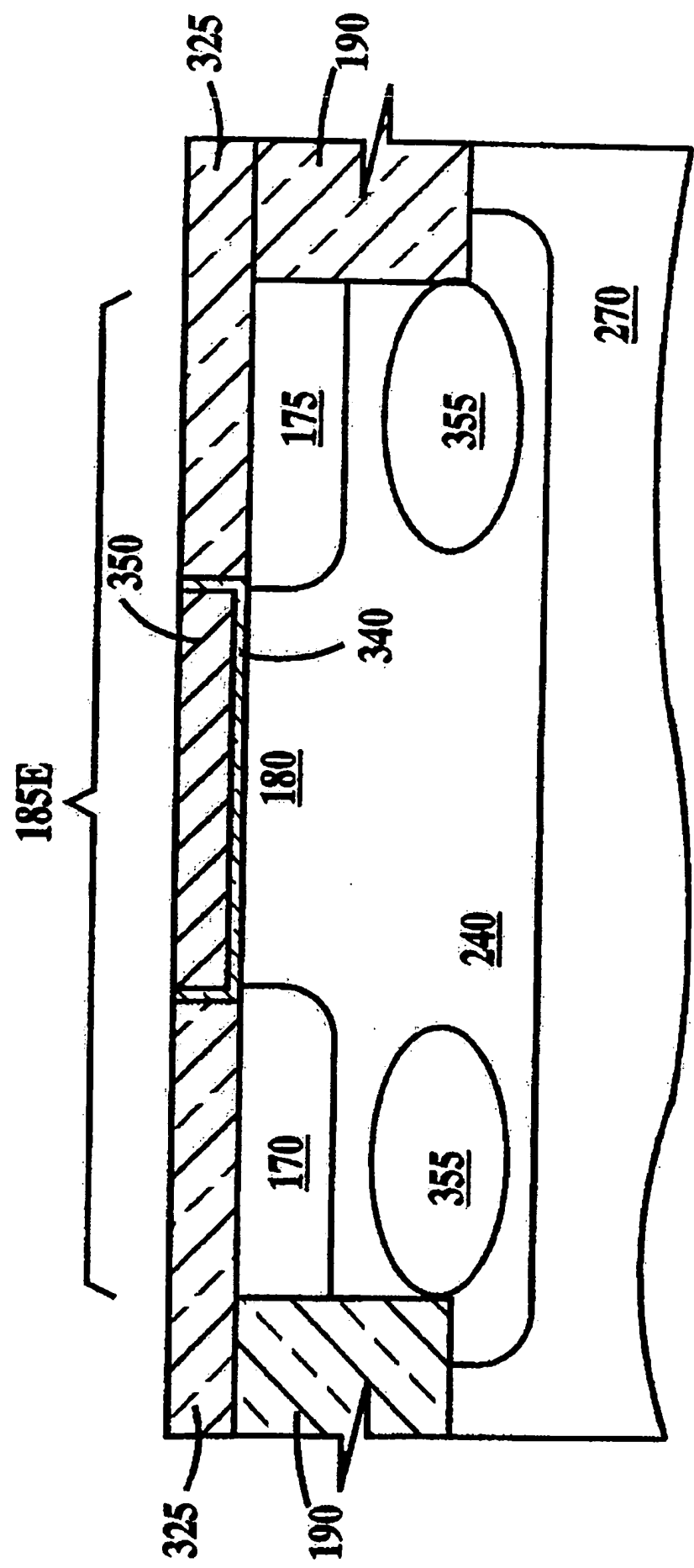


圖5J

七、指定代表圖：

(一)本案指定代表圖為：圖 1H。

(二)本代表圖之元件符號簡單說明：

165 IV 族半導體層

170 源極

175 汲極

180 通道區

185 場效電晶體(FET)

190 溝槽隔離區

195 閘介電層

200 閘電極

205 視需要的絕緣側壁間隙層

210 視需要的絕緣罩蓋層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

部分，以形成具有開口在該基板內的一圖案化矽區(silicon region)，該開口從該基板的一上表面延伸一預定距離至該基板內，其中該開口、該開口之間距離、或該開口及該開口之間該距離兩者，獨立地具有至少一個空間範圍延伸平行於該圖案化矽區的該上表面；

(e)移除該奈米罩層後，形成一保護層在該基板的該上表面及該開口的側壁(sidewalls)上；

(f)氧化暴露於該開口底部之該基板，以形成一埋式圖案化二氧化矽層；

(g)從該開口的該側壁移除該保護層；以及

(h)以一單晶 IV 族半導體材料填滿該開口。

14. 如請求項第 13 項所述之方法，其中步驟(h)包含選擇性地沉積多晶 Si_xGe_y (poly- Si_xGe_y)至該開口內，其中 $x=0$ 至 1 且 $y=x-1$ ，並退火該 Si_xGe_y 。

15. 如請求項第 13 項所述之方法，其中該開口被單晶 Si_xGe_y 填滿，其中 $x=0$ 至 1 且 $y=x-1$ ，藉由沉積磊晶 Si_xGe_y 至該開口內。

16. 如請求項第 13 項所述之方法，其中該圖案化矽區包含矽島或該開口，係為該圖案化矽區內的洞。

上表面，而不執行一微影製程，該奈米罩層具有一罩圖案；

(d)蝕刻該罩圖案進入該基板沒有被該假性閘覆蓋之所有部分，以形成開口在該基板內之一圖案化矽區，該開口從該基板的一上表面延伸一預定距離至該基板內，其中該開口、該開口之間距離、或該開口及該開口之間該距離兩者，獨立地具有至少一個空間範圍延伸平行於該圖案化矽區的該上表面；以及

(e)退火該基板以再熱流(reflow)鄰近該基板該上表面的矽，從該基板的該上表面密封該開口，並癒合該開口而成為埋式孔洞(voids)。

28. 如請求項第 27 項所述之方法，其中該埋式孔洞的上表面係低於該基板的一上表面大約 20 奈米至大約 300 奈米。

29. 如請求項第 27 項所述之方法，其中該奈米罩層包含一高分子塊體共聚合物層包含兩個或更多不同的聚合物，由此所有該聚合物或其中一個該聚合物一部分已被移除。

30. 如請求項第 27 項所述之方法，其中該奈米罩層包含奈米晶體。

31. 如請求項第 27 項所述之方法，更包含：

形成一源極及一汲極在該基板內該假性閘的相反兩側；

形成一平坦化層在該假性閘及該基板沒有被該假性閘覆

在該閘電極下方延伸，且在該源極及該汲極下方部分延伸。

41. 如請求項第 35 項所述之結構，更包含一連續的埋式氧化層在該源極及該汲極下方延伸。

42. 如請求項第 36 項所述之結構，更包含一連續的埋式氧化層在該源極及該汲極下方延伸，該圖案化埋式氧化層在該閘電極下方延伸。

43. 如請求項第 35 項所述之結構，其中該至少一個空間範圍係為大約 2 奈米至大約 100 奈米。

44. 如請求項第 35 項所述之結構，其中該單晶 IV 族半導體材料及該單晶 IV 族半導體層各自獨立地包含 Si_xGe_y ，其中 $x=0$ 至 1 且 $y=x-1$ 。