

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年5月27日(27.05.2010)

PCT

(10) 国際公開番号
WO 2010/058441 A1

- (51) 国際特許分類
GOIR 31/319 (2006 01) G1C 29/56 (2006 01)
- (21) 国際出願番号 PCT/JP2008/003395
- (22) 国際出願日 2008年11月19日(19 11 2008)
- (25) 国際出願の言語 日本語
- (26) 国際公開の言語 日本語
- (71) 出願人(米国を除く全ての指定国について) 株式会社アドバンテスト(DVANTEST CORPORATION) [JP/JP], 〒1790071 東京都練馬区旭町1丁目3番2号 Tokyo (JP)
- (72) 発明者;および
- (75) 発明者/出願人(米国についてのみ) 坂井満(SAKAI, Mitsuru) [JP/P], 〒1790071 東京都練馬区旭町1丁目3番2号 株式会社アドバンテスト内 Tokyo (JP)
- (74) 代理人 龍華明裕(RYUKA, Akihiro), T 1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP)

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能) AE, AG, AL, AM, Aφ, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, Cφ, CR, CU, CZ, DE, DK, DM, Dφ, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW
- (84) 指定国(表示のない限り、全ての種類の区域保護が可能) ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヌーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, Nφ, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, Gφ, GW, ML, MR, NE, SN, TD, TG)

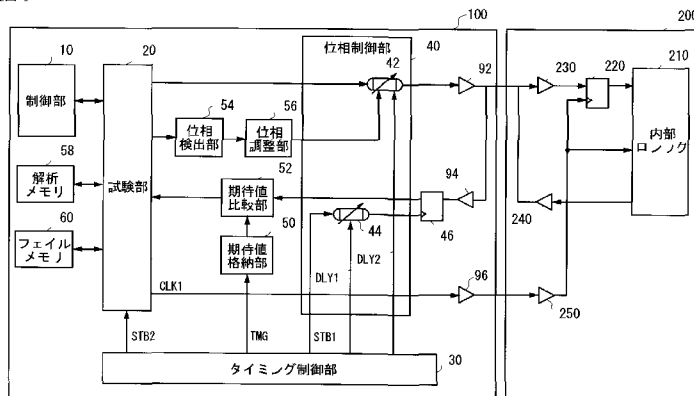
添付公開書類

— 国際調査報告(条約第21条(3))

(54) Title TEST EQUIPMENT, TEST METHOD, AND PROGRAM

(54) 発明の名称 試験装置、試験方法、および、プログラム

[図1]



- 10 - CONTROL UNIT
- 58 - ANALYSIS MEMORY
- 60 - FAILURE MEMORY
- 20 - TEST UNIT
- 54 - PHASE DETECTION UNIT
- 56 - PHASE ADJUSTING UNIT
- 52 - EXPECTED VALUE COMPARING UNIT
- 50 - EXPECTED VALUE STORAGE UNIT
- 40 - PHASE CONTROL UNIT
- 30 - TIMING CONTROL UNIT
- 210 - INTERNAL LOGIC

(57) Abstract Test equipment comprises a phase control unit for sequentially changing the relative phases of the input/output data of a device under test and a predetermined strobe signal toward a predetermined single direction, an expected value comparing unit for determining a predetermined number of times at each relative phase whether a value obtained by sampling the input/output data using the strobe signal matches a predetermined expected value or not, a phase detection unit for detecting a first relative phase in which a failure state transits to a pass state and a second relative phase in which the pass state transits to the failure state, wherein the failure state indicates that at least one of the determination results of the predetermined number of times shows mismatch and the pass state indicates that all the determination results of the predetermined number of times show match, a phase adjusting unit for adjusting, based on the first and second relative phases detected by the phase detection unit, the phase of a test signal supplied to the device under test, and a test unit for testing the phase of which has been adjusted by the phase

adjusting unit This reduces time required for timing training

(57) 要約

[続葉有]

WO 2010/05 441 1



被試験デバイスの入出力データ、および、所定のストロブ信号の相対位相を、所定の1方向に順次変化させる位相制御部と、ストロブ信号で入出力データをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの相対位相において所定回数ずつ判定する期待値比較部と、所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、所定回数の判定結果の全てが一致を示すパス状態に移る第1の相対位相、および、パス状態からフェイル状態に移る第2の相対位相を検出する位相検出部と、位相検出部が検出した第1の相対位相および第2の相対位相に基づいて、被試験デバイスに供給する試験信号の位相を調整する位相調整部と、位相調整部により位相が調整された試験信号を用いて、被試験デバイスを試験する試験部とを試験装置に備えることにより、タイミングトレーニングに要する時間を短縮する。

明 細 書

試験装置、試験方法、および、プログラム

技術分野

[0001] 本発明は、試験装置、試験方法、および、プログラムに関する。

背景技術

[0002] 半導体試験装置は、半導体デバイスを試験する場合に、被試験デバイスとの間でクロックに同期したデータを送受信する。データを確実に受け渡すには、データの中心位置でデータをサンプリングすることが好ましい。ところが、データの周波数が高い場合には、データの一単位長であるUI (Unit Interval) に対して、配線長スキューおよびジッタの影響が大きくなる。その結果、半導体試験装置および被試験デバイスが受信したデータのアイ開口部が小さくなる。そこで、半導体試験装置においては、アイ開口部の時間方向の中心位置でデータをサンプリングすることを目的として、クロックとデータとのタイミングを調整するタイミングトレーニングが必要とされる。

[0003] タイミングトレーニングは、被試験デバイスのデータの読み出し時に行われるリードトレーニング、および、被試験デバイスへのデータの書き込み時に行われるライトトレーニングに大別される。半導体試験装置は、リードトレーニングにおいて、被試験デバイスから受信するデータをアイ開口部の中心位置付近でラッチするべく、ラッチ用ストロブ信号の位相を調整する。また、半導体試験装置は、ライトトレーニングにおいて、被試験デバイスが、受信するデータをアイ開口部の中心位置付近でラッチするべく、被試験デバイスに対して出力するデータの位相を調整する。なお、関連する技術文献として、以下の特許文献「を把握している。

特許文献1：特開2004-「25574号公報

発明の開示

発明が解決しようとする課題

[0004] 半導体試験装置は、アイ開口部の中心位置を検出するべく、データおよびストロークの相対位相を順次変化させた上で、それぞれの相対位相において、受信したデータと期待値とが一致するか否かを判定する。半導体試験装置は、受信したデータが期待値と一致しないと判定した場合には、当該相対位相は、データを正常に送受信できないフェイル状態にあると判断する。これに対して、半導体試験装置は、受信データが期待値と一致すると判定した場合には、当該相対位相は、データを正常に送受信できるパス状態にあると判断する。

[0005] そこで、半導体試験装置は、パス状態となるタイミングに相対位相の初期位相を設定した上で、相対位相を左側にシフトすることによりアイ開口部の左端を検出し、右側にシフトすることによりアイ開口部の右端を検出する。しかし、被試験デバイスが出力するデータ、または、被試験デバイス内のストロークの位相は不確定なので、パス状態となるタイミングに相対位相の初期位相を設定することは困難である。その結果、アイ開口部の端部を検出するまでに、長時間を要するという課題がある。

[0006] そこで本発明の「つの側面においては、上記の課題を解決することのできる試験装置、試験方法、および、プログラムを提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0007] **A**記課題を解決するために、本発明の第「の状態においては、被試験デバイスを試験する試験装置であって、被試験デバイスの人出力データ、および、所定のストローク信号の相対位相を、所定の「方向に順次変化させる位相制御部と、ストローク信号で人出力データをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの相対位相において所定回数ずつ判定する期待値比較部と、所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、所定回数の判定結果の全てが一致を示すパス状態に遷移する第「の相対位相、および、パス状態からフェイル状態に遷移する第2の

相対位相を検出する位相検出部と、位相検出部が検出した第「の相対位相および第2の相対位相に基づいて、被試験デバイスに供給する試験信号の位相を調整する位相調整部と、位相調整部により位相が調整された試験信号を用いて、被試験デバイスを試験する試験部とを備える試験装置を提供する。

[0008] 本発明の第2の態様においては、被試験デバイスを試験する試験方法であって、被試験デバイスの人出力データ、および、所定のストロブ信号の相対位相を、所定の「方向に順次変化させ、ストロブ信号で人出力データをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの相対位相において所定回数ずつ判定し、所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、所定回数の判定結果の全てが一致を示すパス状態に遷移する第「の相対位相、および、パス状態からフェイル状態に遷移する第2の相対位相を検出し、第「の相対位相および第2の相対位相に基づいて、被試験デバイスに供給する試験信号の位相を調整し、位相が調整された試験信号を用いて、被試験デバイスを試験する試験方法を提供する。

[0009] 本発明の第3の態様においては、被試験デバイスを試験する試験装置を機能させるプログラムであって、試験装置を、被試験デバイスの人出力データ、および、所定のストロブ信号の相対位相を、所定の「方向に順次変化させる位相制御部と、ストロブ信号で人出力データをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの相対位相において所定回数ずつ判定する期待値比較部と、所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、所定回数の判定結果の全てが一致を示すパス状態に遷移する第「の相対位相、および、パス状態からフェイル状態に遷移する第2の相対位相を検出する位相検出部と、位相検出部が検出した第「の相対位相および第2の相対位相に基づいて、被試験デバイスに供給する試験信号の位相を調整する位相調整部と、位相調整部により位相が調整された試験信号を用いて、被試験デバイスを試験する試験部として機能させるプログラムを提供する。

[0010] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したもので

はなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0011] [図1] 本実施形態に係る半導体試験装置「00」の構成を示す。
- [図2] 本実施形態に係る半導体試験装置「00」における、リードトレーニング手順を示す。
- [図3] 本実施形態に係る半導体試験装置「00」における、ライトトレーニング手順を示す。
- [図4] 本実施形態に係る半導体試験装置「00」における、タイミングトレーニングおよび被試験デバイスの試験のフローチャートを示す。
- [図5] 第2の実施形態に係る半導体試験装置「00」における、リードトレーニング手順を示す。
- [図6] 第3の実施形態に係る半導体試験装置「00」における、リードトレーニング手順を示す。
- [図7] 第4の実施形態に係る半導体試験装置「00」の構成を示す。
- [図8] 第5の実施形態に係る半導体試験装置「00」の構成を示す。

符号の説明

- [0012] 「0 制御部
- 2 0 試験部
- 3 0 タイミング制御部
- 4 0 位相制御部
- 4 2 遅延回路
- 4 4 遅延回路
- 4 6 タイミング比較器
- 4 8 遅延回路
- 5 0 期待値格納部
- 5 2 期待値比較部
- 5 4 位相検出部
- 5 6 位相調整部

- 5 8 解析メモリ
- 6 0 フェイルメモリ
- 9 2 ドライバ
- 9 4 レベル比較器
- 9 6 ドライバ
 - 「 0 0 半導体試験装置
- 2 0 0 被試験デバイス
 - 2 「 0 内部ロジック
 - 2 2 0 タイミング比較器
 - 2 3 0 レベル比較器
 - 2 4 0 ドライバ
 - 2 5 0 レベル比較器
- 「 9 0 0 コンピュータ
 - 2 0 0 0 CPU
 - 2 0 「 0 ROM
 - 2 0 2 0 RAM
 - 2 0 3 0 通信インターフェイス
 - 2 0 4 0 ハードディスクドライブ
 - 2 0 5 0 フレキシブルディスク・ドライブ
 - 2 0 6 0 CD-ROMドライブ
 - 2 0 7 0 入出力チップ
 - 2 0 7 5 グラフィック・コントローラ
 - 2 0 8 0 表示装置
 - 2 0 8 2 ホスト・コントローラ
 - 2 0 8 4 入出力コントローラ
 - 2 0 9 0 フレキシブルディスク
 - 2 0 9 5 CD-ROM

発明を実施するための最良の形態

- [0013] 以下、発明の実施の形態を通じて本発明の一側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。
- [0014] 図「は、本実施形態に係る半導体試験装置「00の構成を示す。半導体試験装置「00は、制御部「0、試験部20、タイミング制御部30、位相制御部40、タイミンヅ比較器46、期待値格納部50、期待値比較部52、位相検出部54、位相調整部56、解析メモリ58、フェイルメモリ60、ドライバ92、レベル比較器94、および、ドライバ96を備える。被試験デバイス200は、内部ロジック2「0、タイミング比較器220、レベル比較器230、ドライバ240、および、レベル比較器250を備える。
- [0015] 本例において、制御部「0は、被試験デバイス200の試験を制御する。制御部「0は、不揮発性メモリに格納されたプログラムによって動作するCPUであってよい。試験部20は、タイミングトレーニングおよび被試験デバイス200の試験に用いる、データおよびクロックを生成する。また、試験部20は、被試験デバイス200から受信したデータに基づいて試験結果を判定する。
- [0016] タイミング制御部30は、タイミングトレーニングおよび被試験デバイス200の試験に用いる、タイミング信号、ストロブ信号、および、設定信号を生成する。タイミング制御部30は、遅延回路44にストロブ信号STB「および設定信号DJY「、試験部20にストロブ信号STB2、期待値格納部50にタイミング信号TMG、そして、遅延回路42に設定信号DJY2を供給してよい。設定信号DJY「および設定信号DJY2は、それぞれ、遅延回路44および遅延回路42の遅延量を設定する値を示す信号であってよい。
- [0017] 位相制御部40は、遅延回路42および遅延回路44を有し、位相制御部40に入力されるデータおよびストロブ信号の位相を、タイミンヅ制御部30が出力する設定信号に応じて制御する。位相制御部40は、タイミング

トレーニングを行う場合には、被試験デバイス 200 の人出力データ、および、タイミング制御部 30 が出力するストロブ信号の相対位相を、所定の「方向に順次変化させる。例えば、位相制御部 40 は、リードトレーニングを行う場合には、被試験デバイス 200 が出力するデータ、および、当該データをラッチするストロブ信号の相対位相を順次変化させてよい。なお、位相制御部 40 は、人出力データの位相のみを変化させてもよく、人出力データおよびストロブ信号の位相を共に変化させてもよい。

[0018] 具体的には、タイミング制御部 30 は、被試験デバイス 200 が出力するデータをラッチするストロブ信号 S_{TB}「を生成する。遅延回路 44 は、タイミング制御部 30 が出力するタイミング信号 D_{JY}「に基づいて、ストロブ信号 S_{TB}「を遅延させてよい。タイミング信号 D_{JY}「を順次遅延させることにより、遅延回路 44 が出力するストロブ信号の相対位相は、遅延する方向に順次変化する。

[0019] タイミング比較器 46 は、遅延回路 44 が相対位相を変化させたストロブ信号によって、被試験デバイス 200 から受信したデータをラッチする。タイミング比較器 46 は、ラッチしたデータを期待値比較部 52 に対して送出する。タイミング比較器 46 が出力するデータは、“1”または“0”の論理信号であってよい。

[0020] 半導体試験装置 100 は、ライトトレーニングを行う場合には、被試験デバイス 200 に対して出力するデータおよびクロックの相対位相を、順次変化させてよい。試験部 20 は、被試験デバイス 200 に対して出力するデータおよびクロックを生成する。試験部 20 は、タイミング制御部 30 が生成するストロブ信号 S_{TB2}「に基づいて、被試験デバイス 200 へ出力するクロック C_{JK}「を生成してよい。

[0021] 遅延回路 42 は、試験部 20 から受信したデータを遅延させることにより、クロック C_{JK}「との間の相対位相を変化させる。また、遅延回路 42 は、被試験デバイス 200 に対して、遅延したデータを送出する。遅延回路 42 は、タイミング制御部 30 から出力されるタイミング信号 D_{JY2}「に基づ

- いて遅延量を決定してよい。
- [0022] 被試験デバイス200は、試験部20が生成するクロックCLK1に基づいて、遅延回路42が遅延させたデータをラッチしてよい。半導体試験装置100は、被試験デバイス200がラッチしたデータに応じて生成する、応答データを受信することにより、それぞれの相対位相において、被試験デバイス200がデータを正常に受信できたか否かを判断してよい。
- [0023] 期待値格納部50は、被試験デバイス200から受信するデータの期待値を格納する。期待値格納部50は、タイミングトレーニングにおいて用いる期待値、および、被試験デバイス200の試験において用いる期待値を格納してよい。また、期待値格納部50は不揮発性メモリを有してよく、タイミング制御部30が出力するタイミング信号TMGに基づいて、格納された期待値を期待値比較部52に対して出力してよい。
- [0024] 期待値比較部52は、被試験デバイス200に対して出力するデータを、タイミング制御部30が出力するストロブ信号でサンプリングした値が、所定の期待値と一致するか否かを、それぞれの相対位相において所定回数ずつ判定する。例えば、期待値比較部52は、サンプリングしたタイミング比較器46の出力値が“1”で、期待値格納部50が出力する期待値も“1”であれば、期待値と一致すると判定してよい。これに対して、期待値比較部52は、サンプリングしたタイミング比較器46の出力値が“1”で、期待値格納部50が出力した期待値が“0”であれば、期待値と一致しない、と判定してよい。
- [0025] さらに、期待値比較部52は、それぞれのサンプリングにおける判定結果を、試験部20に接続される解析メモリ58に格納してよい。例えば、期待値比較部52は、期待値と一致するサンプリング値に対しては“0”を解析メモリ58に格納し、期待値と一致しないサンプリング値に対しては“1”を格納してよい。
- [0026] 位相検出部54は、解析メモリ58に格納された判定結果を読み出す。さらに、位相検出部54は、読み出した判定結果に基づいて、所定回数の判定

結果の少なくとも一つが不一致を示すフェイル状態から、所定回数の判定結果の全てが一致を示すパス状態に遷移する第 1 の相対位相、および、パス状態からフェイル状態に遷移する第 2 の相対位相を検出する。

[0027] 例えば、位相検出部 5 4 は、相対位相ごとに、各サンプリングにおける判定結果を解析メモリ 5 8 から読み出した上で、読み出した判定結果に所定数以上 $\overline{1}$ (木例では一つ以上) “ $\overline{1}$ ” が含まれている場合には、フェイル状態と判定してよい。また、位相検出部 5 4 は、相対位相ごとに、所定回数に渡ってサンプリングした値の所定数以上 $\overline{1}$ (木例では全て) が “0” である場合には、パス状態と判定してよい。そして、位相検出部 5 4 は、判定結果がフェイル状態からパス状態に遷移する相対位相を第 1 の相対位相であると判断すると共に、判定結果がパス状態からフェイル状態に遷移する相対位相を第 2 の相対位相であると判断してよい。

[0028] 位相調整部 5 6 は、位相検出部 5 4 が検出した第 1 の相対位相および第 2 の相対位相に基づいて、被試験デバイス 2 0 0 に供給する試験信号の位相を調整する。例えば、位相検出部 5 4 は、被試験デバイス 2 0 0 を試験する場合に、試験部 2 0 が出力する試験クロックおよび試験データの相対位相を、第 1 の相対位相および第 2 の相対位相の略中間の位相にするべく、試験部 2 0 が出力する試験データの位相を前後に変化させてよい。このように調整することにより、被試験デバイス 2 0 0 は、アイ開口部の略中心位置で、受信した試験データをサンプリングすることができる。

[0029] 試験部 2 0 は、位相調整部 5 6 によって位相が調整された試験信号を用いて、被試験デバイス 2 0 0 を試験する。例えば、試験部 2 0 は、所定の論理ベクタに基づいて “ $\overline{1}$ ” および “0” のデジタルデータを含む試験データと、試験データに同期した試験クロックとを被試験デバイス 2 0 0 に送出してよい。試験データおよび試験クロックの相対位相は、ライトトレーニングにおいて求めた相対位相であってよい。

[0030] 被試験デバイス 2 0 0 は、受信した試験データに応じて内部ロジック 2 1 0 で応答データを生成して、半導体試験装置 1 0 0 に出力する。半導体試験

装置「00においては、被試験デバイス200から受信した応答データをタイミング比較器46においてラッチする。タイミング比較器46は、リードトレーニングにおいて求めた相対位相を有するストロブ信号により、受信したデータをラッチしてよい。期待値比較部52は、被試験デバイス200から受信したデータと期待値とを比較した上で、比較結果を試験部20に出力する。試験部20は、比較結果に基づいて、被試験デバイス200の良否を判定してよく、判定した結果をフェイルメモリ60に格納してよい。

[0031] なお、タイミング制御部30は、制御部「0からのトリガに応じて、タイミング信号、ストロブ信号、および、設定信号の生成を開始してよい。また、試験部20およびタイミング制御部30は、同一クロックで動作してよい。従って、半導体試験装置「00は、制御部「0のバスを經由して、タイミングトレーニング用の信号を送出する必要がない。また、被試験デバイス200から受信したデータを解析する場合にも、バスを經由する必要がない。その結果、本実施形態に係る半導体試験装置「00は、バスを經由して制御する方法に比べて、高速にタイミングトレーニングを行うことができる。

[0032] 図2は、本実施形態に係る半導体試験装置「00における、リードトレーニング手順を示す。同図において、「クロック」は、半導体試験装置「00が被試験デバイス200に送出手送するクロックを示す。「データ」は、被試験デバイス200が出力するデータを示す。「ストロブ」は、遅延回路44が出力するストロブ信号を示す。「UI」は、被試験デバイス200が出力するデータの一単位の長さを示す。

[0033] 被試験デバイス200は、入力されるクロックの立ち下がりエッジに同期して、データを出力してよい。また、半導体試験装置「00は、タイミングトレーニング時に、一つのサイクルにおいてのみ期待値と一致する値のデータを出力し、その他のサイクルにおいては期待値と一致しない値のデータを出力するように、被試験デバイス200を制御してよい。なお、「UIは、クロック周期の長さの整数倍であつてよい。

[0034] 被試験デバイス200が出力するデータの位相は、電源ノイズ等に起因す

るジッタの影響により、半導体試験装置「00」が出力するクロックの位相に対して変動する。その結果、データの変化点付近では、被試験デバイス200が出力するデータ値と異なる値が取得される場合がある。従って、半導体試験装置「00」は、被試験デバイス200から受信したデータを誤りなく取得するには、データの変化点付近ではなく、アイ開口部の中心位置でサンプリングすることが好ましい。

[0035] そこで、位相制御部40は、アイ開口部の中心位置でサンプリングするストロブ信号の位相を検出するべく、タイミング制御部30が出力するストロブ信号の位相を、タイミング制御部30が出力するタイミング信号に基づいて、順次変化させる。例えば、位相制御部40は、初期位相位置から最終位相まで、 π の位相間隔で π 方向にストロブ信号の相対位相を変化させてよい。

[0036] 具体的には、遅延回路44は、リードトレーニングを開始すると、データとの間の相対位相が初期位相にあるストロブ信号を生成する。期待値比較部52は、当該相対位相において、所定の回数だけ期待値との比較をして、判定結果を解析メモリ58に格納する。当該相対位相における測定が終了すると、タイミング制御部30は、遅延回路44に出力するタイミング信号を切り替える。遅延回路44は、切替後のタイミング信号に基づいて、初期位相に対して π だけ位相が異なるストロブ信号を生成する。期待値比較部52は、当該相対位相において、所定の回数だけ期待値との比較をする。遅延回路44は、ストロブ信号の位相が最終位相に到達するまで、 π ごとに変化を繰り返してよい。

[0037] 図2に示す「フェイル率」は、各相対位相における所定の回数のサンプリングデータのうち、期待値比較部52が、期待値と一致しないと判定したデータの割合を示す。例えば、試験部20が一つの相対位相において「00」回のサンプリングを行う場合に、サンプリングしたデータと、期待値格納部50から読み出される期待値とが100回異なる場合には、フェイル率は100%である。同様に、サンプリングしたデータと期待値格納部50から読み

出される期待値とが50回異なる場合には、フェイル率は50%である。サンプリングしたデータと期待値とが、全て一致する場合には、フェイル率は0%である。

[0038] 判定結果」は、位相検出部54が、解析メモリ58に格納された期待値比較部52の判定結果に基づいて、フェイル状態であるか、パス状態であるかを判定した結果を示す。本実施形態においては、フェイル率が0%でない相対位相においてはフェイル状態と判定し、フェイル率が0%になる相対位相においてはパス状態と判定している。その結果、フェイル状態からパス状態に遷移する第1の相対位相、および、パス状態からフェイル状態に遷移する第2の相対位相が検出されている。

[0039] ここで、タイミングトレーニングを開始する時点の相対位相を定めていない場合には、半導体試験装置100は、タイミングトレーニングを開始した時点で、相対位相がパス状態にあるのかフェイル状態にあるのかを認識できない。その結果、半導体試験装置100が、第1の相対位相を検出するまでに長い時間を要する場合が生じる。例えば、第1の相対位相および第2の相対位相の間の位相から、最終位相方向に相対位相の変化を開始すると、フェイル状態からパス状態に遷移する第1の相対位相を検出することができない。従って、半導体試験装置100は、第2の相対位相を検出した後に、初期位相方向に切り替えて、相対位相の変化をさせる必要が生じてしまう。

[0040] そこで、位相制御部40は、ストローブ信号の初期位相を、フェイル状態が検出される位相に設定してよい。例えば、位相制御部40は、アイ開口の中心位置から0.5UIないし1.5UIだけ離れた位置であってよい。0.5UIないし1.5UIの相対位相においては、受信データと期待値とが異なる可能性があるため、フェイル率が0%にならない。従って、半導体試験装置100は、初期位相を当該範囲内に設定すると、相対位相を一方向にのみ変化させるだけで、フェイル状態からパス状態に遷移する第1の相対位相を確実に検出できる。また、第1の相対位相の検出後、さらに相対位相を変化させることで、第2の相対位相を検出できる。その結果、タイミングト

レーニング時間を短縮できるという効果を奏する。

- [0041] 半導体試験装置「00」は、ストロブ信号の相対位相を順次変化させた上で、被試験デバイス200からの受信データを解析することにより、フェイル状態からパス状態に遷移する相対位相、および、パス状態からフェイル状態に遷移する相対位相を検出してよい。位相検出部54は、解析メモリ58に格納されたデータに基づいて、第1の相対位相および第2の相対位相を検出してよい。
- [0042] 図3は、本実施形態に係る半導体試験装置「00」における、ライトトレーニング手順を示す。同図において、「クロック」は、半導体試験装置「00」が被試験デバイス200に送出するストロブ信号である。「データ」は、半導体試験装置「00」が被試験デバイス200に送出するデータである。被試験デバイス200は、入力されるクロックの立ち上がりエッジでデータをラッチすることにより、受信データを取得してよい。さらに、被試験デバイス200は、取得したデータに応じたデータを半導体試験装置「00」に送出してよい。半導体試験装置「00」は、被試験デバイス200から受信したデータを、期待値と比較することにより、被試験デバイス200が正常にデータを取得できたか否かを判定することができる。
- [0043] ここで、被試験デバイス200は、半導体試験装置「00」から受信するデータのアイ開口部の中心位置でデータをサンプリングすることが好ましい。そこで、半導体試験装置「00」は、被試験デバイス200のサンプリング位置がデータのアイ開口中心位置に略一致するべく、被試験デバイス200に送出するデータの位相を制御する。
- [0044] つまり、位相制御部40は、被試験デバイス200に与える入力データと、被試験デバイス200の内部で入力データをサンプリングするストロブ信号に相当するクロックとの相対位相を、所定の「方向に順次変化させる。例えば、位相制御部40は、被試験デバイス200に対して出力するデータに与える遅延量を変化することにより、被試験デバイス200に対して出力するデータおよびクロックの相対位相を順次変化させてよい。また、位相制

御部 4 0 は、クロックに与える遅延量を変化させることによって相対位相を変化させてもよく、データおよびクロックのそれぞれに与える遅延量を変化させることによって相対位相を変化させてもよい。

- [0045] タイミング比較器 2 2 0 は、半導体試験装置 1 0 0 からデータを受信すると、半導体試験装置 1 0 0 から受信するストロブ信号でデータをラッチして、内部ロジック 2 1 0 に出力する。内部ロジック 2 1 0 は、タイミング比較器 2 2 0 から受信したラッチ信号を折り返してドライバ 2 4 0 経由で半導体試験装置 1 0 0 に送出する。半導体試験装置 1 0 0 は、半導体試験装置 1 0 0 が送出した信号の U_1 よりも大きい U_1 の信号を出力させる制御信号を、被試験デバイス 2 0 0 に与えてよい。
- [0046] 期待値比較部 5 2 は、被試験デバイス 2 0 0 がストロブ信号に応じて取得したデータ値を、被試験デバイス 2 0 0 から受け取る。例えば、期待値比較部 5 2 は、位相制御部 4 0 を経由して、被試験デバイス 2 0 0 が出力するデータを受け取ってよい。位相制御部 4 0 は、遅延回路 4 4 が出力するストロブ信号によって、被試験デバイス 2 0 0 から受信したデータをラッチして、期待値比較部 5 2 に送出する。期待値比較部 5 2 は、位相制御部 4 0 から受信したデータと期待値格納部 5 0 から読み出した期待値とが一致するか否かを判定してよい。
- [0047] 図 3 に示す複数の「データ」は、試験部 2 0 が生成したデータを遅延回路 4 2 において遅延した、相対位相の異なるデータを示す。 n はクロックに対するデータの相対位相を示し、 $n = 0$ の場合は、相対位相が初期位相であることを示す。半導体試験装置 1 0 0 は、タイミング比較器 2 2 0 に入力されるデータのアイ開口部の中心位置を推定し、推定した位置から $0.5 U_1$ 以上離れた位置でデータをラッチするべく、初期位相を設定する。その結果、 $n = 0$ の相対位相においては、位相検出部 5 4 における判定結果はフェイル状態となる。
- [0048] $n = x$ の相対位相においては、タイミング比較器 2 2 0 は、データのアイ開口部の第 x の境界位置でデータをラッチする。その結果、 $n = x$ において

、位相検出部 54 における判定結果はフェイル状態からパス状態に遷移する。n = y の相対位相においては、タイミング比較器 220 は、データのアイ開口の第 2 の境界位置でデータをラッチする。その結果、n = y において、位相検出部 54 における判定結果はパス状態からフェイル状態に遷移する。n = z の相対位相においては、タイミング比較器 220 は、データのアイ開口部の中心位置から 0.5 UI 以上離れた位置でデータをラッチする。その結果、n = z においては、位相検出部 54 における判定結果はフェイル状態となる。

[0049] 以上の手順により、位相検出部 54 は、n = x が、フェイル状態からパス状態に遷移する第 1 の相対位相であり、n = y が、パス状態からフェイル状態に遷移する第 2 の相対位相であることを検出する。半導体試験装置 100 は、検出した第 1 の相対位相および第 2 の相対位相に基づいて、被試験デバイス 200 に出力するクロックの立ち上がりエッジが、被試験デバイス 200 に出力するデータのアイ開口部の中心位置に略一致するべく、データの位相を制御してよい。

[0050] 図 4 は、本実施形態に係る半導体試験装置 100 における、タイミングトレニングおよび被試験デバイスの試験のフローチャートを示す。半導体試験装置 100 は、被試験デバイス 200 のデータ出力機能の試験を行う場合、タイミング制御部 30 において、受信するデータおよびデータをラッチするストロブ信号の相対位相を、初期位相に設定する (S401)。続いて、タイミング制御部 30 は、所定量だけストロブ信号を遅延させて、相対位相を変化させる (S402)。

[0051] タイミング比較器 46 は、当該相対位相において、被試験デバイス 200 から受信したデータをサンプリングした上で、サンプリングしたデータを期待値比較部 52 に出力する (S403)。期待値比較部 52 は、受信したデータが期待値格納部 50 から読み込んだ期待値と一致するか否かを判定し、判定結果を解析メモリ 58 に格納する。S402 で設定した相対位相において、所定の回数に渡ってデータのサンプリングが終了すると (S404)、

- タイミング制御部 30 は、相対位相を再び変化させて (S402)、S403 および S404 を実行する。
- [0052] 全ての相対位相においてデータのサンプリングが終了すると (S405)、位相検出部 54 は、解析メモリ 58 に格納された判定データに基づいて、第 1 の相対位相を検出する (S406)。続いて、位相検出部 54 は、解析メモリ 58 に格納された判定データに基づいて、第 2 の相対位相を検出する (S407)。
- [0053] 位相調整部 56 は、第 1 の相対位相および第 2 の相対位相に基づいて、被試験デバイス 200 に供給する試験信号の位相を調整する (S408)。例えば、位相調整部 56 は、半導体試験装置 100 が被試験デバイス 200 に対して送出するクロックの立ち上がり位置が、半導体試験装置 100 が被試験デバイス 200 に送出するデータのアイ開口部の中心位置に略一致するべく、送出するデータの位相を前後に変化させてよい。
- [0054] 半導体試験装置 100 は、試験部 20 が出力するクロック、および、位相調整部 56 が位相を調整したデータを試験信号として被試験デバイス 200 へ出力する。被試験デバイス 200 は、受信した試験信号に応じたデータを半導体試験装置 100 に送出し、試験部 20 において判定をする (S409)。
- [0055] 図 5 は、第 2 の実施形態に係る半導体試験装置 100 における、リードトレーニング手順を示す。アイ開口部の検出時間をさらに短縮することを目的として、位相制御部 40 は、位相検出部 54 が第 1 の相対位相を検出するまで、相対位相を所定の間隔で変化させ、位相検出部が第 1 の相対位相を検出した場合、所定の間隔より大きい間隔で相対位相を変化させた後に、相対位相を所定の間隔で変化させてもよい。
- [0056] 例えば、位相制御部 40 は、図 5 に示す第 1 の変化エリアの初期位相から、T₁ 間隔でストロープ信号の位相を順次変化させる。位相制御部 40 は、被試験デバイス 200 から受信するデータを当該ストロープ信号でラッチした上で期待値比較部 52 に送出し、期待値比較部 52 は、判定結果を解析メ

メモリ58に格納する。位相検出部54は、解析メモリ58に格納された判定結果に基づいて、フェイル状態からパス状態へと変化する第1の相対位相を検出する。

[0057] 位相検出部54が第1の相対位相を検出すると、第1の位相変化エリアにおける相対位相の変化を停止した上で、T2だけ相対位相を変化させた位相を初期位相とする、第2の位相変化エリアにおける相対位相の変化を開始する。T2は、T1よりも大きい値であってよく、1UIよりも小さい値であってよい。

[0058] 続いて、位相制御部40は、第2の位相変化エリアにおいて、T1間隔でストロブ信号の位相を順次変化させる。第2の位相変化エリアにおいては、位相検出部54は、解析メモリ58に格納された判定結果に基づいて、パス状態からフェイル状態へと変化する第2の相対位相を検出する。以上の手順により、T2の期間では測定が不要になるので、タイミングトレーニングに要する時間を短縮できるという効果を奏する。

[0059] 位相制御部40は、第1の位相変化エリアおよび第2の位相変化エリアを、あらかじめ決めておいてもよい。例えば、位相制御部40は、アイ開口部の中心位置であると想定される位置から $0.4UI$ 以上 $0.8UI$ 以下だけ異なる位相を第1の位相変化エリアと定め、アイ開口部の中心位置であると想定される位置の前後 $0.4UI$ の範囲をT2の位相エリアと定めてもよい。これによって、相対位相ごとにデータの解析をする必要がなくなるので、データの解析に要する時間がT1以上の場合であっても、第1の相対位相および第2の相対位相を検出できる。

[0060] 図6は、第3の実施形態に係る半導体試験装置100における、リードトレーニング手順を示す。本実施形態においては、位相検出部54は、フェイル率が所定の割合になる相対位相を、フェイル状態からパス状態に遷移する第1の相対位相として検出してよい。同様に、位相検出部54は、フェイル率が所定の割合になる相対位相を、パス状態からフェイル状態に遷移する第2の相対位相として検出してよい。例えば、図6においては、所定の割合は

50%である。また、半導体試験装置100は、第1の相対位相を、フェイル状態からパス状態に遷移する時の相対位相を複数のサイクルで平均した位相としてもよい。同様に、半導体試験装置100は、第2の相対位相を、パス状態からフェイル状態に遷移する時の相対位相を複数のサイクルで平均した位相としてもよい。

[0061] 図7は、第4の実施形態に係る半導体試験装置100の構成を示す。位相制御部40は、被試験デバイス200に与える入力データおよびクロックの少なくとも一方の位相を変化させてよい。例えば、ライトトレーニングにおいて、データの遅延量を変化させるのではなく、クロックの遅延量を変化させることにより、相対位相を変化させてよい。この場合、試験部20が出力するクロックは位相制御部40に入力される。位相制御部40は、遅延回路48を有しており、遅延回路48は、タイミング制御部30が出力するタイミング信号DLY3に基づいて、クロックの位相を変化させてよい。

[0062] 被試験デバイス200は、半導体試験装置100から受信するデータを、遅延回路48が位相を変化させたクロックに応じて取得してよい。また、被試験デバイス200は、取得したデータを、半導体試験装置100に送信してよい。期待値比較部52は、被試験デバイス200から受信したデータを期待値と比較して、試験部20は、比較結果に基づいて被試験デバイス200の良否を判定してよい。

[0063] 図8は、第5の実施形態に係るコンピュータ1900のハードウェア構成の一例を示す。本実施形態に係るコンピュータ1900は、ホスト・コントローラ2082により相互に接続されるCPU2000、RAM2020、グラフィック・コントローラ2075、及び表示装置2080を有するCPU周辺部と、人出力コントローラ2084によりホスト・コントローラ2082に接続される通信インターフェイス2030、ハードディスクドライブ2040、及びCD-ROMドライブ2060を有する人出力部と、人出力コントローラ2084に接続されるROM2010、フレキシブルディスク・ドライブ2050、及び人出力チップ2070を有するレガシー人出力部

とを備える。

- [0064] ホスト・コントローラ2082は、RAM2020と、高い転送レートでRAM2020をアクセスするCPU2000及びグラフィック・コントローラ2075とを接続する。CPU2000は、ROM2010及びRAM2020に格納されたプログラムに基づいて動作し、各部の制御を行う。グラフィック・コントローラ2075は、CPU2000等がRAM2020内に設けたフレーム・バッファ上に生成する画像データを取得し、表示装置2080^アに表示させる。これに代えて、グラフィック・コントローラ2075は、CPU2000等が生成する画像データを格納するフレーム・バッファを、内部に含んでもよい。
- [0065] 人出カコントローラ2084は、ホスト・コントローラ2082と、比較的高速な人出力装置である通信インターフェイス2030、ハードディスクドライブ2040、CD-ROMドライブ2060を接続する。通信インターフェイス2030は、ネットワークを介して他の装置と通信する。ハードディスクドライブ2040は、コンピュータ1900内のCPU2000が使用するプログラム及びデータを格納する。CD-ROMドライブ2060は、CD-ROM2095からプログラム又はデータを読み取り、RAM2020を介してハードディスクドライブ2040に提供する。
- [0066] また、人出カコントローラ2084には、ROM2010と、フレキシブルディスク・ドライブ2050、及び人出カチップ2070の比較的低速な人出力装置とが接続される。ROM2010は、コンピュータ1900が起動時に実行するブート・プログラム、及び／又は、コンピュータ1900のハードウェアに依存するプログラム等を格納する。フレキシブルディスク・ドライブ2050は、フレキシブルディスク2090からプログラム又はデータを読み取り、RAM2020を介してハードディスクドライブ2040に提供する。人出カチップ2070は、フレキシブルディスク・ドライブ2050を人出カコントローラ2084へと接続すると共に、例えばパラレル・ポート、シリアル・ポート、キーボード・ポート、マウス・ポート等を介

して各種の入出力装置を出力コントローラ2084へと接続する。

[0067] RAM2020を介してハードディスクドライブ2040に提供されるプログラムは、フレキシブルディスク2090、CD-ROM2095、又はICカード等の記録媒体に格納されて利用者によって提供される。プログラムは、記録媒体から読み出され、RAM2020を介してコンピュータ「900内のハードディスクドライブ2040にインストールされ、CPU2000において実行される。

[0068] コンピュータ「900にインストールされ、コンピュータ「900を半導体試験装置「000として機能させるプログラムは、コンピュータ「900に被試験デバイス2000の入出力データ、および、所定のストロブ信号の相対位相を、所定の「方向に順次変化させる位相制御モジュールと、ストロブ信号で出力データをサンプリングした値が、所定の期待値と一致するかどうかを、それぞれの相対位相において所定回数ずつ判定させる期待値比較モジュールと、所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、所定回数の判定結果の全てが一致を示すパス状態に移る第「の相対位相、および、パス状態からフェイル状態に移る第2の相対位相を検出させる位相検出モジュールと、位相検出部が検出した第「の相対位相および第2の相対位相に基づいて、被試験デバイスに供給する試験信号の位相を調整させる位相調整モジュールと、位相調整部により位相が調整された試験信号を用いて、被試験デバイスを試験させる試験モジュールとを備える。これらのプログラム又はモジュールは、CPU2000等に働きかけて、コンピュータ「900を、半導体試験装置「000としてそれぞれ機能させる。

[0069] これらのプログラムに記述された情報処理は、コンピュータ「900に読込まれることにより、ソフトウェアと上述した各種のハードウェア資源とが協働した具体的手段である位相制御部40、期待値比較部52、位相検出部54、位相調整部56、および、試験部20として機能する。そして、これらの具体的手段によって、本実施形態におけるコンピュータ「900の使用

目的に応じた情報の演算又は加工を実現することにより、使用目的に応じた特有の半導体試験装置「00」が構築される。

[0070] 一例として、コンピュータ「900」と外部の装置等との間で通信を行う場合には、CPU2000は、RAM2020^Aにロードされた通信プログラムを実行し、通信プログラムに記述された処理内容に基づいて、通信インターフェイス2030に対して通信処理を指示する。通信インターフェイス2030は、CPU2000の制御を受けて、RAM2020、ハードディスクドライブ2040、フレキシブルディスク2090、又はCD-ROM2095等の記憶装置上に設けた送信バッファ領域等に記憶された送信データを読み出してネットワークへと送信し、もしくは、ネットワークから受信した受信データを記憶装置上に設けた受信バッファ領域等へと書き込む。このように、通信インターフェイス2030は、DMA（ダイレクト・メモリ・アクセス）方式により記憶装置との間で送受信データを転送してもよく、これに代えて、CPU2000が転送元の記憶装置又は通信インターフェイス2030からデータを読み出し、転送先の通信インターフェイス2030又は記憶装置へとデータを書き込むことにより送受信データを転送してもよい。

[0071] また、CPU2000は、ハードディスクドライブ2040、CD-ROMドライブ2060（CD-ROM2095）、フレキシブルディスク・ドライブ2050（フレキシブルディスク2090）等の外部記憶装置に格納されたファイルまたはデータベース等の中から、全部または必要な部分をDMA転送等によりRAM2020へと読み込ませ、RAM2020^Aのデータに対して各種の処理を行う。そして、CPU2000は、処理を終えたデータを、DMA転送等により外部記憶装置へと書き戻す。

[0072] このような処理において、RAM2020は、外部記憶装置の内容を一時的に保持するものとみなせるから、本実施形態においてはRAM2020および外部記憶装置等をメモリ、記憶部、または記憶装置等と総称する。本実施形態における各種のプログラム、データ、テーブル、データベース等の各

種の情報は、このような記憶装置上に格納されて、情報処理の対象となる。なお、CPU 2000は、RAM 2020の一部をキャッシュメモリに保持し、キャッシュメモリ上で読み書きを行うこともできる。このような形態においても、キャッシュメモリはRAM 2020の機能の一部を担うから、本実施形態においては、区別して示す場合を除き、キャッシュメモリもRAM 2020、メモリ、及び／又は記憶装置に含まれるものとする。

[0073] また、CPU 2000は、RAM 2020から読み出したデータに対して、プログラムの命令列により指定された、本実施形態中に記載した各種の演算、情報の加工、条件判断、情報の検索・置換等を含む各種の処理を行い、RAM 2020へと書き戻す。例えば、CPU 2000は、条件判断を行う場合においては、本実施形態において示した各種の変数が、他の変数または定数と比較して、大きい、小さい、以上、以下、等しい等の条件を満たすかどうかを判断し、条件が成立した場合（又は不成立であった場合）に、異なる命令列へと分岐し、またはサブルーチンを呼び出す。

[0074] また、CPU 2000は、記憶装置内のファイルまたはデータベース等に格納された情報を検索することができる。例えば、第1属性の属性値に対し第2属性の属性値がそれぞれ対応付けられた複数のエントリが記憶装置に格納されている場合において、CPU 2000は、記憶装置に格納されている複数のエントリの中から第1属性の属性値が指定された条件と一致するエントリを検索し、そのエントリに格納されている第2属性の属性値を読み出すことにより、所定の条件を満たす第1属性に対応付けられた第2属性の属性値を得ることができる。

[0075] 以上に示したプログラム又はモジュールは、外部の記録媒体に格納されてもよい。記録媒体としては、フレキシブルディスク 2090、CD-ROM 2095の他に、DVD又はCD等の光学記録媒体、MO等の光磁気記録媒体、テープ媒体、ICカード等の半導体メモリ等を用いることができる。また、専用通信ネットワーク又はインターネットに接続されたサーバシステムに設けたハードディスク又はRAM等の記憶装置を記録媒体として使用し、

ネットワークを介してプログラムをコンピュータ「900」に提供してもよい。

[0076] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0077] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

[0078] 以上のように、本発明の実施形態によれば、データおよびストローブの相対位相を一方向に順次変化させると共に、半導体試験装置「00」および被試験デバイス200の間で送受信されるデータを期待値と比較することにより、アイ開口部の両端を高速に検出できるという効果を奏する。さらに、相対位相の変化を開始する位相を、受信データと期待値が一致しないと想定される位相に設定することにより、さらに高速にアイ開口部の両端の検出できるという効果を奏する。

請求の範囲

- [1] 被試験デバイスを試験する試験装置であつて、
前記被試験デバイスの入出力データ、および、所定のストローク信号の相対位相を、所定の「方向に順次変化させる位相制御部と、
前記ストローク信号で前記入出力データをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの前記相対位相において所定回数ずつ判定する期待値比較部と、
前記所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、前記所定回数の判定結果の全てが一致を示すパス状態に遷移する第1の相対位相、および、前記パス状態から前記フェイル状態に遷移する第2の相対位相を検出する位相検出部と、
前記位相検出部が検出した前記第1の相対位相および前記第2の相対位相に基づいて、前記被試験デバイスに供給する試験信号の位相を調整する位相調整部と、
前記位相調整部により位相が調整された前記試験信号を用いて、前記被試験デバイスを試験する試験部と
を備える試験装置。
- [2] 前記位相制御部は、前記ストローク信号の初期位相を、前記フェイル状態が検出される位相に設定する
請求項1に記載の試験装置。
- [3] 前記位相制御部は、前記被試験デバイスの出力データをサンプリングする前記ストローク信号の位相を順次変化させる
請求項1に記載の試験装置。
- [4] 前記位相制御部は、前記被試験デバイスに与える入力データと、前記被試験デバイスの内部で前記入力データをサンプリングする前記ストローク信号との相対位相を、前記所定の「方向に順次変化させる
請求項1に記載の試験装置。
- [5] 前記位相制御部は、前記被試験デバイスに与える入力データおよびクロック

クの少なくとも一方の位相を変化させる

請求項 4 に記載の試験装置。

- [6] 前記期待値比較部は、前記被試験デバイスが前記ストロブ信号に応じて取得した前記入力データの値を、前記被試験デバイスから受け取る

請求項 5 に記載の試験装置。

- [7] 前記位相制御部は、前記位相検出部が前記第 1 の相対位相を検出するまで、前記相対位相を所定の間隔で変化させ、前記位相検出部が前記第 1 の相対位相を検出した場合、前記所定の間隔より大きい間隔で前記相対位相を変化させた後に、前記相対位相を前記所定の間隔で変化させる

請求項 1 に記載の試験装置。

- [8] 被試験デバイスを試験する試験方法であつて、

前記被試験デバイスの人出カデータ、および、所定のストロブ信号の相対位相を、所定の 1 方向に順次変化させ、

前記ストロブ信号で前記人出カデータをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの前記相対位相において所定回数ずつ判定し、

前記所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、前記所定回数の判定結果の全てが一致を示すパス状態に移る第 1 の相対位相、および、前記パス状態から前記フェイル状態に移る第 2 の相対位相を検出し、

前記第 1 の相対位相および前記第 2 の相対位相に基づいて、前記被試験デバイスに供給する試験信号の位相を調整し、

位相が調整された前記試験信号を用いて、前記被試験デバイスを試験する試験方法。

- [9] 被試験デバイスを試験する試験装置を機能させるプログラムであつて、

前記試験装置を、

前記被試験デバイスの人出カデータ、および、所定のストロブ信号の相対位相を、所定の 1 方向に順次変化させる位相制御部と、

前記ストローク信号で前記入出力データをサンプリングした値が、所定の期待値と一致するか否かを、それぞれの前記相対位相において所定回数ずつ判定する期待値比較部と、

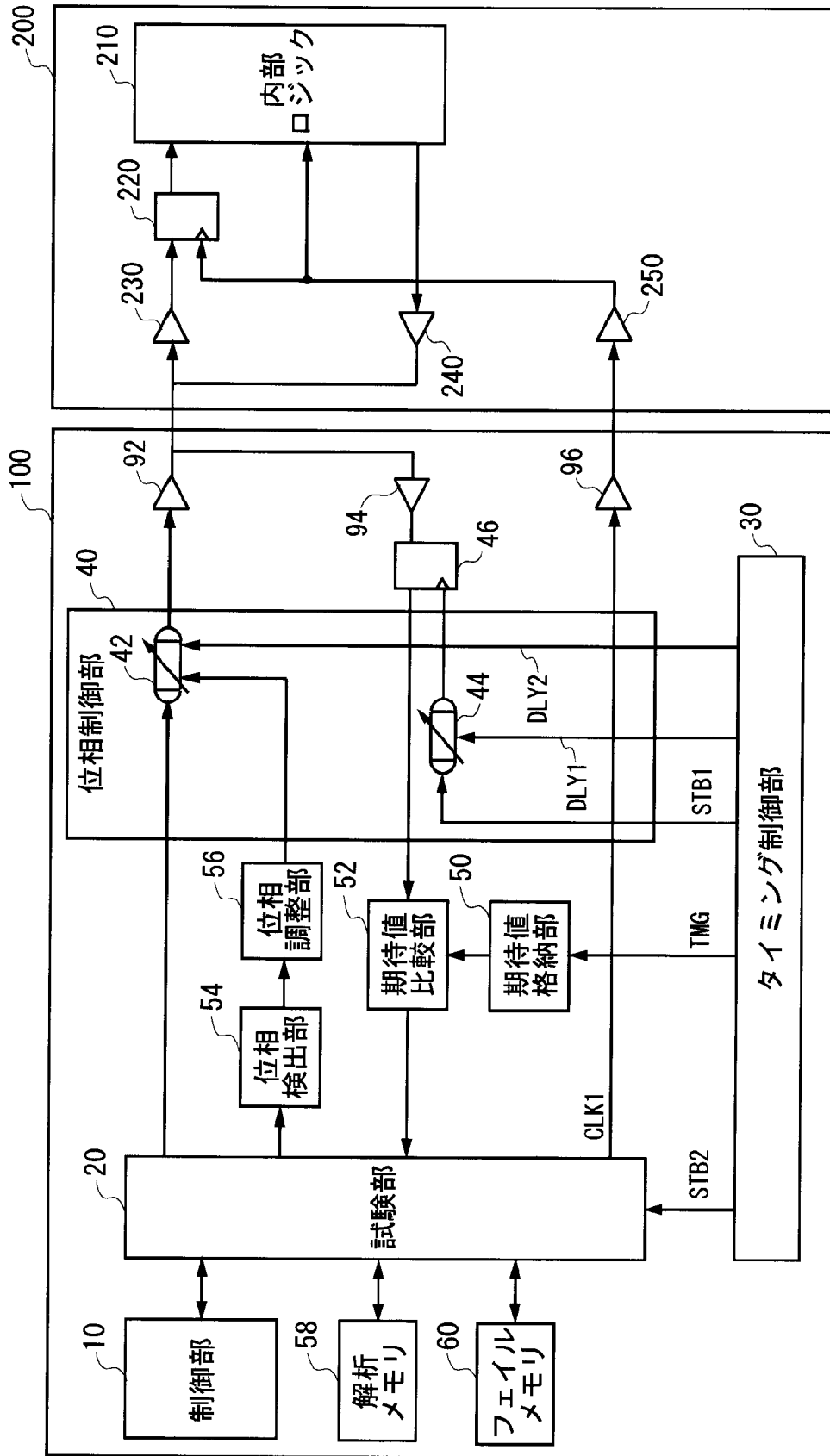
前記所定回数の判定結果の少なくとも一つが不一致を示すフェイル状態から、前記所定回数の判定結果の全てが一致を示すパス状態に遷移する第1の相対位相、および、前記パス状態から前記フェイル状態に遷移する第2の相対位相を検出する位相検出部と、

前記位相検出部が検出した前記第1の相対位相および前記第2の相対位相に基づいて、前記被試験デバイスに供給する試験信号の位相を調整する位相調整部と、

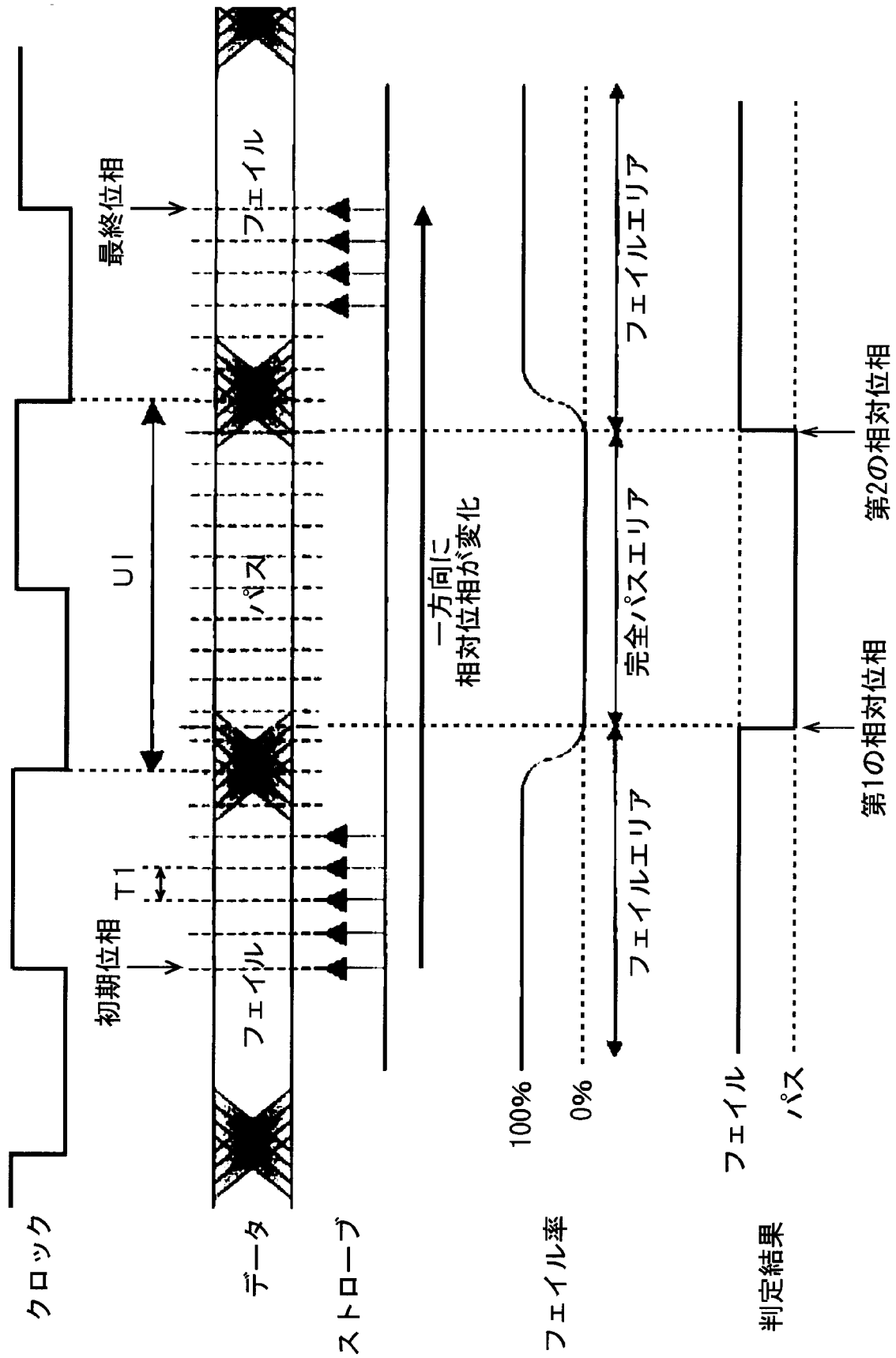
前記位相調整部により位相が調整された前記試験信号を用いて、前記被試験デバイスを試験する試験部と

して機能させるプログラム。

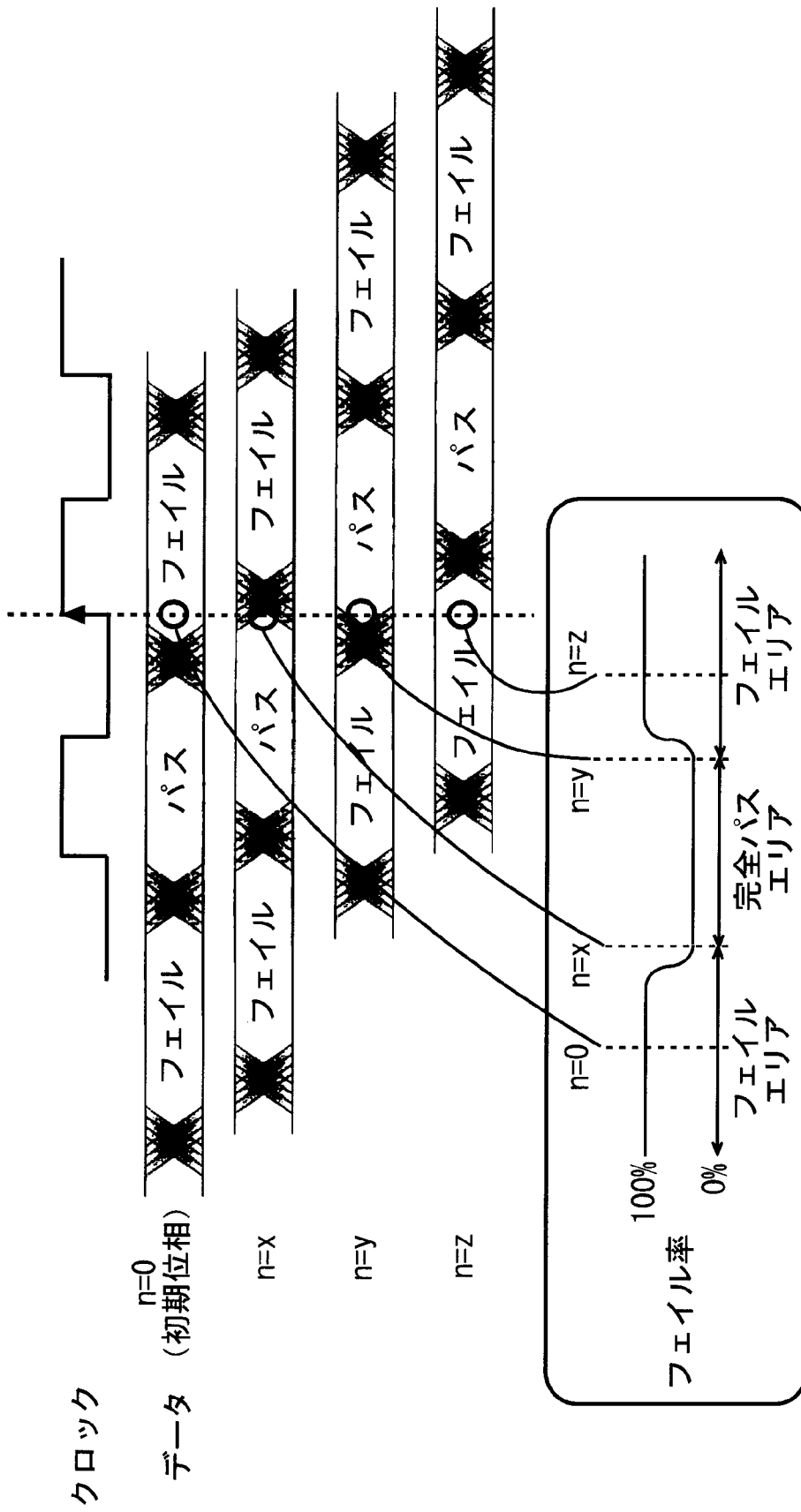
[図1]



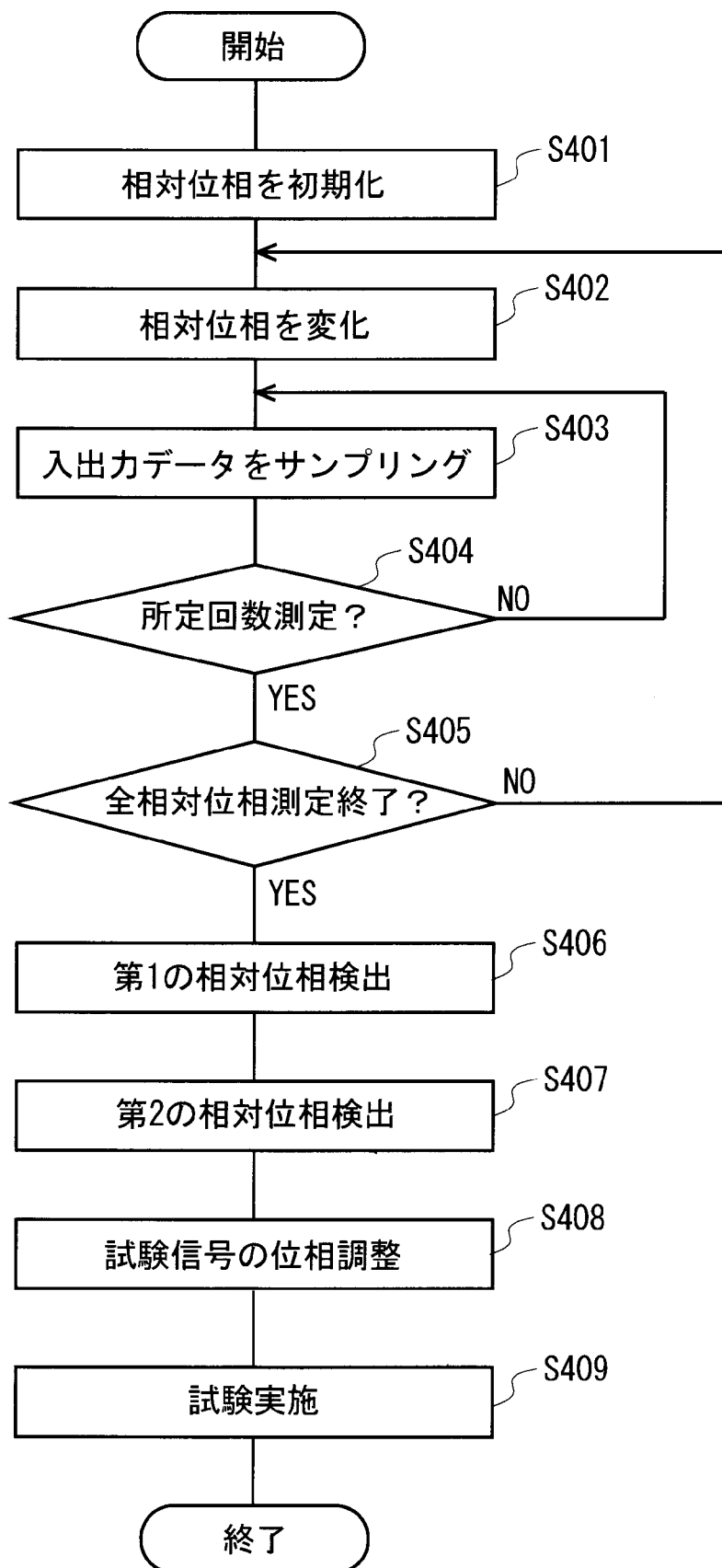
[図2]



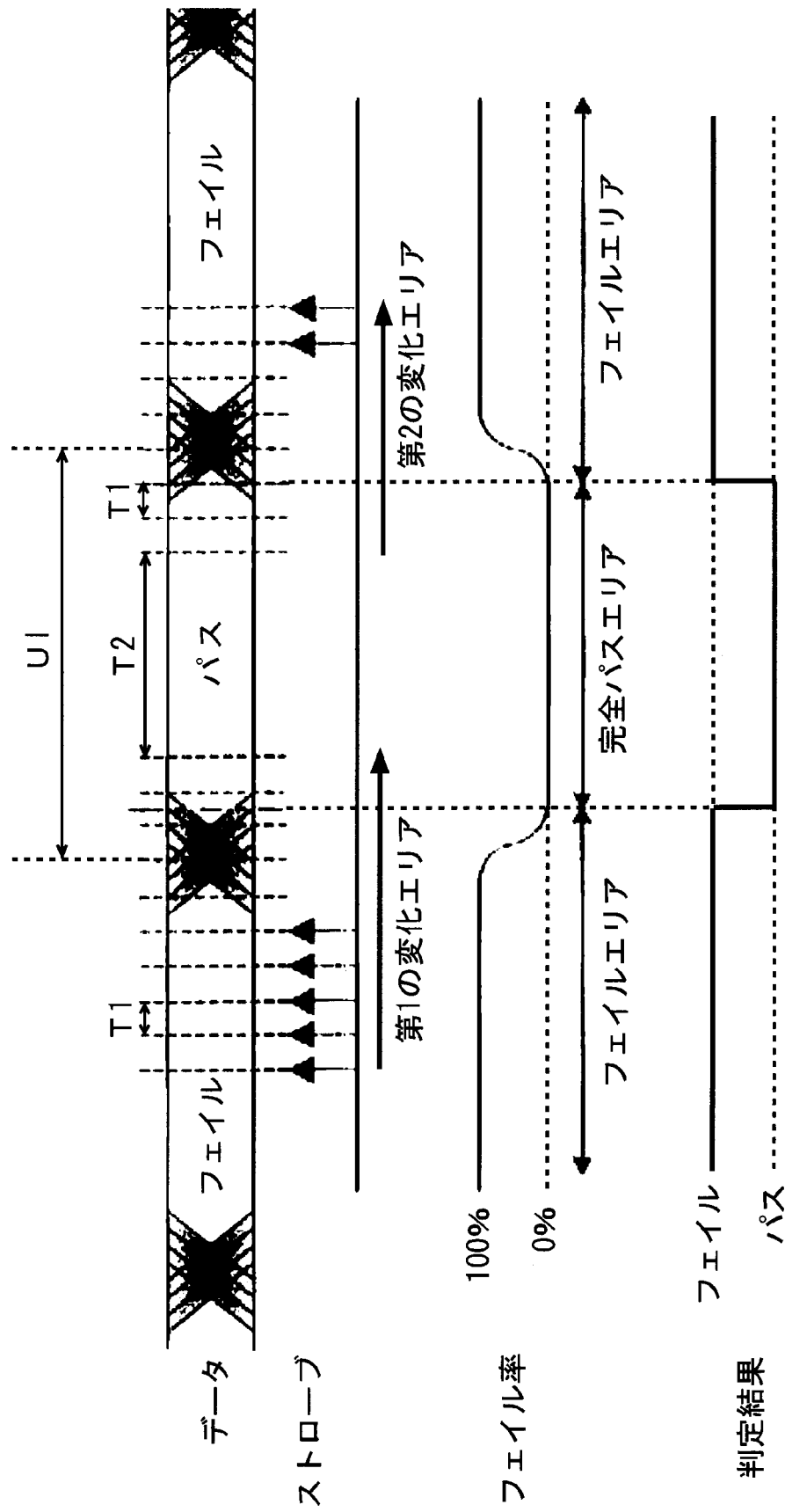
[図3]



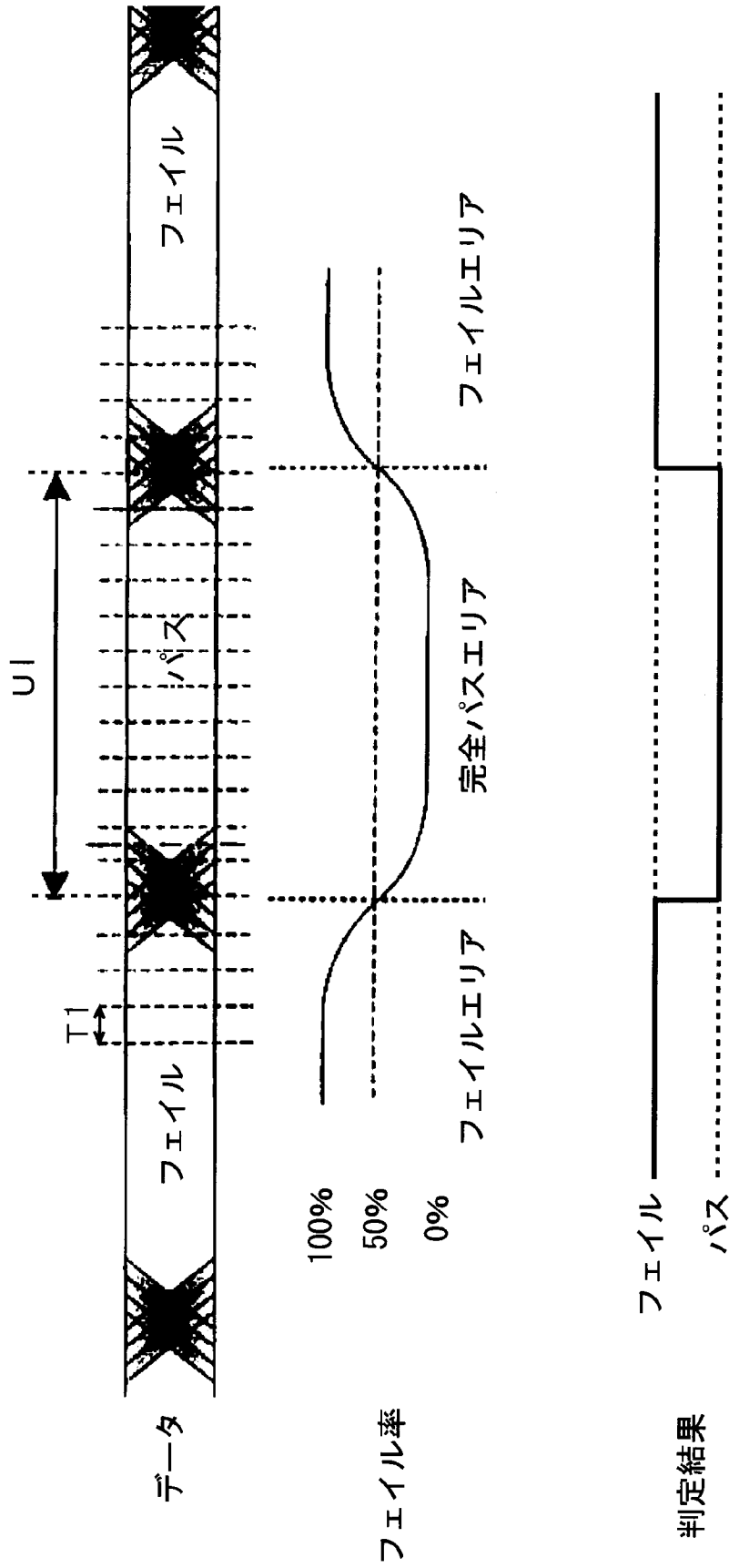
[図4]



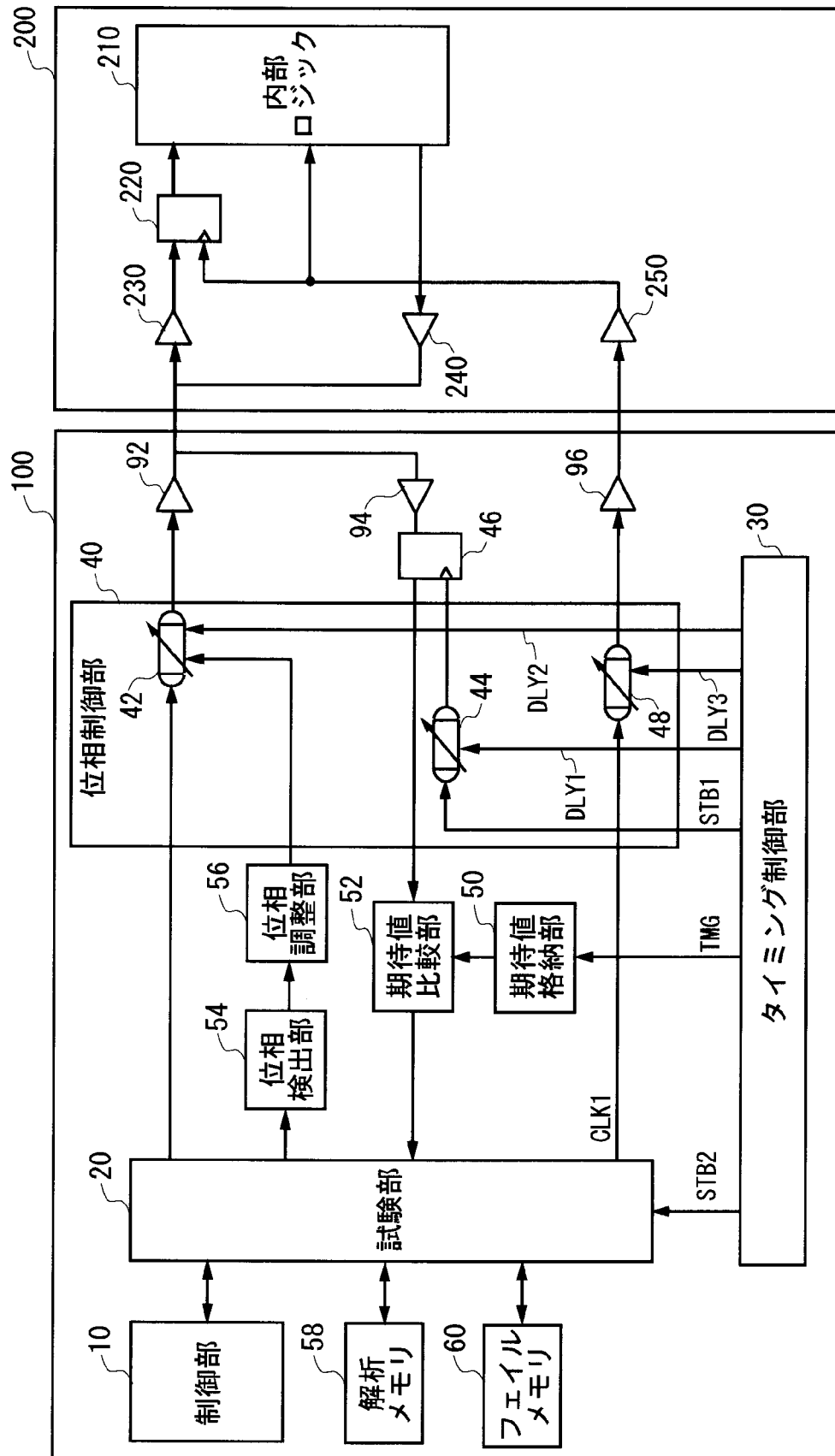
[図5]



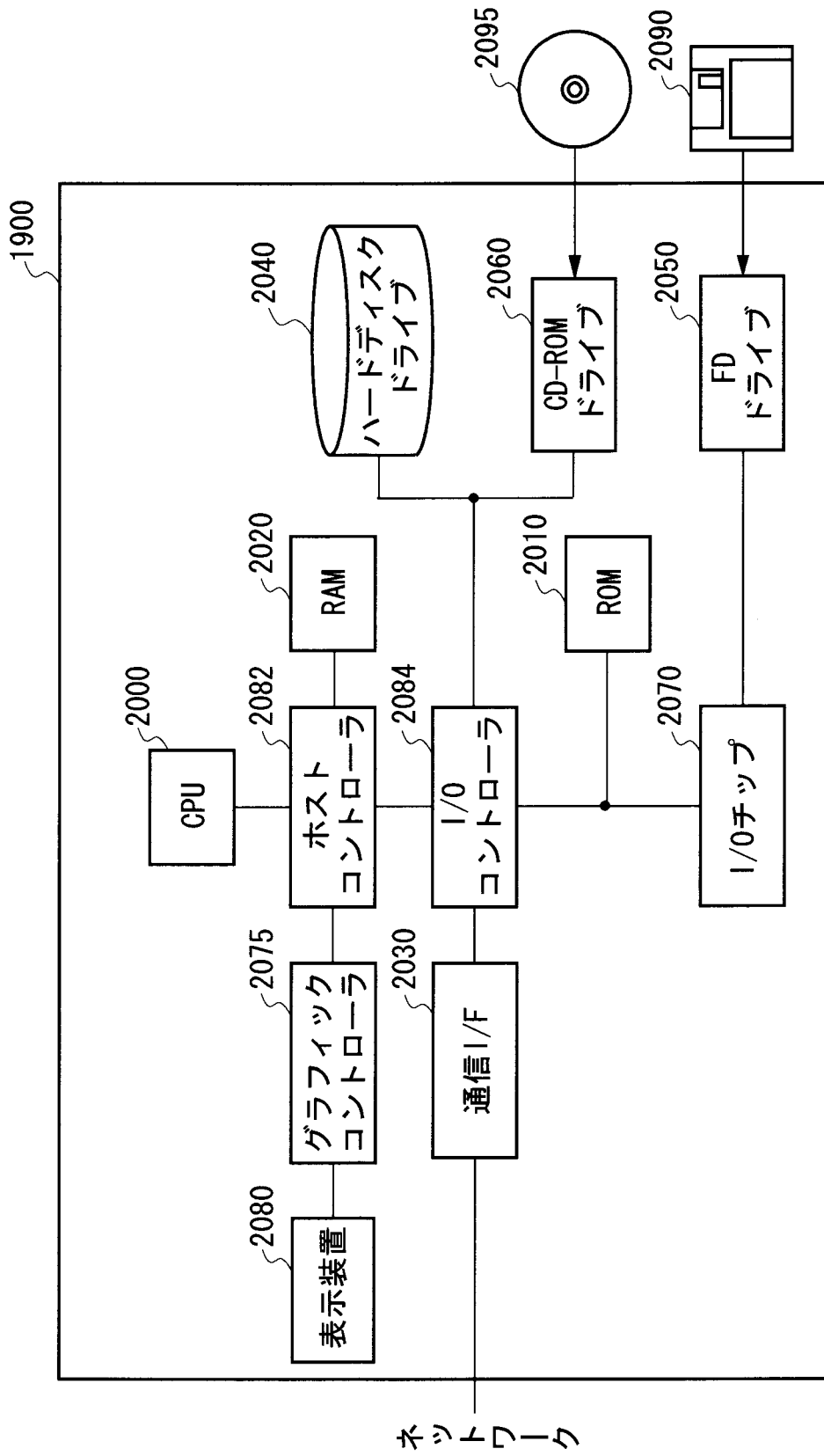
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003395

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/319 (2006.01) i, G11C29/56 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-31/3193, G11C29/00-29/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-125574 A (Advantest Corp.), 22 April, 2004 (22.04.04), Full text; all drawings & US 2005/0249001 A1 & WO 2004/031789 A1 & DE 10393445 T & KR 10-2005-0074473 A	1-9
Y	JP 2000-147062 A (Matsushita Electric Industrial Co., Ltd.), 26 May, 2000 (26.05.00), Full text; all drawings (particularly, Par. Nos. [0102], [0134] to [0140]) & US 6351834 B1	1-9
A	JP 2002-181899 A (Advantest Corp.), 26 June, 2002 (26.06.02), Par. No. [0007]; Fig. 5 (Family: none)	1-9

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 February, 2009 (02.02.09)Date of mailing of the international search report
10 February, 2009 (10.02.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003395

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-293808 A (Advantest Corp.), 20 October, 2005 (20.10.05), Full text; all drawings & US 2006/0041799 A1 <i>sc</i> WO 2005/098868 A <i>sc</i> DE 112005000745 T <i>sc</i> KR 10-2007-0001264 A & CN 1938788 A	1-9
A	JP 2005-25294 A (Advantest Corp.), 25 January, 2002 (25.01.02), Full text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int Cl G01R31/319 (2006.01) i, G11C29/56 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int Cl G01R31/28-31/3193, G11C29/00-29/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922	—	1996	午
日本国公開実用新案公報	1971	—	2009	午
日本国実用新案登録公報	1996	—	2009	午
日本国登録実用新案公報	1994	—	2009	午

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリーホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-125574 A (株式会社アドバンテスト) 2004.04.22, 全文全図 & US 2005/0249001 A1 & WO 2004/031789 A1 & DE 10393445 T & KR 10-2005-0074473 A	1-9
Y	JP 2000-147062 A (松下電器産業株式会社) 2000.05.26, 全文全図 (特に、段落 [0102], [0134] — [0140] 参照。) & US 6351834 B1	1-9

洋 C欄の続きにも文献が列挙されている。

ヴ パテントファミリーに関する別紙を参B。

ホ 引用文献のカテゴリー	の日の役に公表された文献
IA」特に関連のある文献ではなく、一般的な技術水準を示すもの	IT」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
IE」国際出願日前の出願または特許であるか、国際出願日以後に公表されたもの	IX」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
IL」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	IY」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
IO」口頭による開示、使用、展示等に言及する文献	I&J 同一パテントファミリー文献
rp」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 02.02.2009	国際調査報告の発送日 10.02.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関3丁目4番3号	特許庁審査官 (権限のある職員) 神谷 健一 電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の テコリーホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-181899 A (株式会社アドバンテスト) 2002. 06. 26, 段落 [007], [図5] (7 アミ V-なし)	1 - 9
A	JP 2005-293808 A (株式会社アドバンテスト) 2005.10.20, 全文全図 & US 2006/0041799 A1 & WO 2005/098868 A & DE 112005000745 T & KR 10-2007-0001264 A & CN 1938788 A	1 - 9
A	JP 2005-25294 A (株式会社アドバンテスト) 2002. 01. 25, 全文全図 (7 アミ V-なし)	1 - 9