

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2017 年 7 月 20 日 (20.07.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/121133 A 1

- (51) 国际专利分类号 : G11C 19/28 (2006.01) G09G 3/3266 (201 6.01)
 - (21) 国际申请号 : PCT/CN20 16/098 180
 - (22) 国际申请日 : 2016 年 9 月 6 日 (06.09.2016)
 - (25) 申报语言 : 中文
 - (26) 公布语言 : 中文
 - (30) 优先权 : 2016 100285 11.3 2016 年 1 月 15 日 (15.01.2016) CN
 - (71) 申请人 : 京东方科技集团股份有限公司 (JOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 Beijing 100015 (CN)。
 - (72) 发明人 : 马占洁 (MA, Zhanjie); 中国北京市经济技术开发区地泽路 9 号 Beijing 100176 (CN)。
 - (74) 代理人 : 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼 ,Hong Kong (CN)。
 - (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
 - (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布 :
- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER UNIT, GATE DRIVE CIRCUIT, DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称 移位寄存器单元、栅极驱动电路、显示面板及显示装置

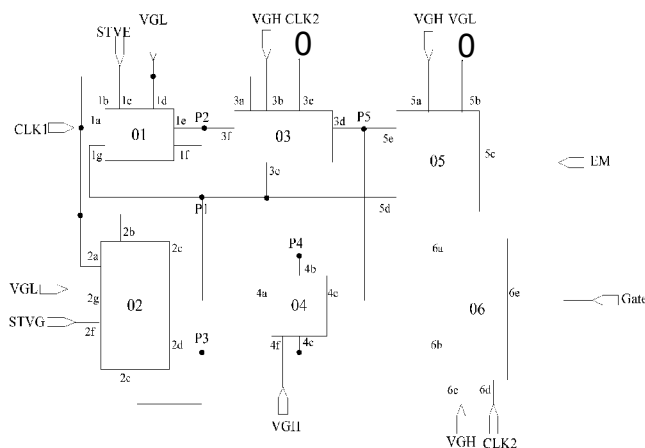


图 1

(57) Abstract: A shift register unit, a gate drive circuit, a display panel and a display device. The shift register unit combines a light-emitting signal output module (05) and a scanning signal output module (06), namely, a light-emitting shift register unit and a scanning shift register unit are integrated in one circuit structure, so as to reduce the number of required clock signals. Moreover, the light-emitting signal output module (05) and the scanning signal output module (06) in the shift register unit can be synchronously driven. By controlling potentials of a first node (P1) and a fifth node (P5), the light-emitting signal output module (05) continuously outputs a signal (VGL) of a first reference signal end or outputs a signal (VGH) of a second reference signal end, and by controlling potentials of a third node (P3) and a fourth node (P4), the scanning signal output module (06) continuously outputs the signal (VGH) of the second reference signal end or outputs a signal (CLK2) of a second clock signal end, so that a light-emitting signal having a plurality of pulse widths can be output, that is, the duty ratio control of the light-emitting signal is realized.

(57) 摘要:

[见续页]



1
2 17/121133

一种移位寄存器单元、栅极驱动电路、显示面板及显示装置，该移位寄存器单元将发光信号输出模块 (05) 和扫描信号输出模块 (06) 相结合， δP ，将发光移位寄存器单元和扫描移位寄存器单元整合在一个电路结构中，减少所需的时钟信号的数量。且该移位寄存器单元中的发光信号输出模块 (05) 和扫描信号输出模块 (06) 可以被同步驱动。通过控制第一节点 (P1) 和第五节点 (P5) 的电位使发光信号输出模块 (05) 持续输出第一参考信号端的信号 (VGL) 或输出第二参考信号端的信号 (VGH)，通过控制第三节点 (P3) 和第四节点 (P4) 的电位使扫描信号输出模块 (06) 持续输出第二参考信号端的信号 (VGH) 或输出第二时钟信号端的信号 (CLK2)，这样可实现输出具有多个脉宽的发光信号，即实现了发光信号的占空比控制。

移位寄存器单元、栅极驱动电路、显示面板及显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器单元、栅极驱动电路、显示面板及显示装置。

背景技术

有机发光二极管 (Organic Light Emitting Diode, OLED) 显示器是当今平板显示器研究领域的热点之一。与液晶显示器相比, OLED 显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点, 目前, 在手机、PDA、数码相机等显示领域 OLED 显示屏已经开始取代传统的 LCD 显示屏。有机发光显示面板需要集成电路 (IC, Integrated Circuit) 的控制, 例如, 栅极驱动电路控制显示面板以实现逐行扫描和逐帧刷新的功能, 使得输入到显示面板的图像数据能够实时刷新, 从而实现动态显示。发光驱动电路用于向显示面板输入发光信号, 从而控制各像素中的 OLED 在发光阶段发光。通常, 栅极驱动电路和发光驱动电路是分别独立设计的单独电路, 栅极驱动电路包括多个扫描移位寄存器单元, 发光驱动电路包括多个发光移位寄存器单元。

发明内容

本发明的一个实施例提供了一种移位寄存器单元, 该移位寄存器单元包括第一输入模块、第二输入模块、第一控制模块、第二控制模块、发光信号输出模块和扫描信号输出模块。第一输入模块的第一控制端和第一输入端分别与第一时钟信号相连, 第二控制端和第一输出端分别与第一节点相连, 第二输入端与第一信号相连, 第三输入端与第一参考信号相连, 第二输出端与第二节点相连; 所述第一输入模块用于在所述第一时钟信号的控制下, 将所述第一信号和所述第一参考信号分别输出到所述第一节点和所述第二节点, 在所述第一节点的控制下, 将所述第一时钟信号输出到所述第二节点。第二输入模块的第一控制端和第一输入端分别与所述第一时钟信号相连, 第二控制端和第一输出端分别与第三节点相连, 第二输入端与第二信号相连, 第三输入端与所述第一参考信号相连, 第二输出端与第四节点相连; 所述

第二输入模块用于在所述第一时钟信号的控制下，将所述第二信号和所述第一参考信号分别输出到所述第三节点和所述第四节点，在所述第三节点的控制下，将所述第一时钟信号输出到所述第四节点。所述第一控制模块的第一控制端与所述第二节点相连，第二控制端与第二时钟信号相连，第三控制端与所述第一节点相连，第一输入端与第二参考信号相连，第二输入端与所述第一参考信号相连，输出端与第五节点相连；所述第一控制模块用于在所述第二节点和所述第二时钟信号的控制下将所述第一参考信号输出到所述第五节点，在所述第一节点的控制下将所述第二参考信号输出到所述第五节点。第二控制模块的第一控制端与所述第四节点相连，第二控制端与所述第一节点相连，第三控制端与所述第五节点相连，输入端与所述第二参考信号相连，输出端与所述第三节点相连；所述第二控制模块用于在所述第四节点、所述第一节点和所述第五节点的控制下，将所述第二参考信号输出到所述第三节点。发光信号输出模块的第一控制端与所述第一节点相连，第二控制端与所述第五节点相连，第一输入端与所述第一参考信号相连，第二输入端与所述第二参考信号相连，所述发光信号输出模块包括发光信号输出端；所述发光信号输出模块用于在所述第一节点和所述第五节点的控制下，将所述第一参考信号或所述第二参考信号输出到所述发光信号输出端。扫描信号输出模块的第一控制端与所述第三节点相连，第二控制端与所述第四节点相连，第一输入端与所述第二参考信号相连，第二输入端与所述第二时钟信号相连，所述扫描信号输出模块包括扫描信号输出端；所述扫描信号输出模块用于在所述第三节点和所述第四节点的控制下，将所述第二参考信号或所述第二时钟信号输出到所述扫描信号输出端。

在一个实施例中，发光信号输出模块包括第一输出单元和第二输出单元。所述第一输出单元具有作为所述发光信号输出模块的第二控制端的控制端，和作为所述发光信号输出模块的第二输入端的输入端，所述第一输出单元用于在所述第五节点的控制下，将所述第二参考信号输出到所述发光信号输出端。所述第二输出单元具有作为所述发光信号输出模块的第一控制端的控制端，和作为所述发光信号输出模块的第一输入端的输入端，所述第二输出单元用于在所述第一节点的控制下，将所述第一参考信号输出到所述发光信号输出端。

在一个实施例中，所述第一输出单元包括第一开关晶体管和第一电容，第一开关晶体管的栅极与所述第五节点相连，源极与所述第二参考信号相连，漏极与所述发光信号输出端相连，所述第一电容连接于所述第二参考信号和所述第五节点之间。

5 在一个实施例中，所述第二输出单元包括第二开关晶体管和第二电容，所述第二开关晶体管的栅极与所述第一节点相连，源极与所述第一参考信号相连，漏极与所述发光信号输出端相连，所述第二电容连接于所述第一节点和所述发光信号输出端之间。

10 在一个实施例中，所述扫描信号输出模块包括第三输出单元和第四输出单元。所述第三输出单元具有作为所述扫描信号输出模块的第二控制端的控制端，和作为所述扫描信号输出模块的第一输入端的输入端，所述第三输出单元用于在所述第四节点的控制下，将所述第二参考信号输出到所述扫描信号输出端。所述第四输出单元具有作为所述扫描信号输出模块的第一控制端的控制端，和作为所述扫描信号输出模块的第二输入端的输入端，所述第四输出单元用于在所述第三节点的控制下，将所述第二时钟信号输出到所述扫描信号输出端。

15 在一个实施例中，所述第三输出单元包括第三开关晶体管和第三电容，所述第三开关晶体管的栅极与所述第四节点相连，源极与所述第二参考信号相连，漏极与所述扫描信号输出端相连，所述第三电容连接于所述第四节点和所述第二参考信号端之间。

20 在一个实施例中，所述第四输出单元包括第四开关晶体管和第四电容，所述第四开关晶体管的栅极与所述第三节点相连，源极与所述第二时钟信号相连，漏极与所述扫描信号输出端相连，所述第四电容连接于所述第三节点和所述扫描信号输出端之间。

25 在一个实施例中，所述第一控制模块包括第一控制单元和第二控制单元。所述第一控制单元具有分别作为所述第一控制模块的第一控制端和第二控制端的第一控制端和第二控制端，以及作为所述第一控制模块的第二输入端的输入端，所述第一控制单元用于在所述第二节点和所述第二时钟信号的控制下，将所述第一参考信号输出到所述第五节点。所述第二控制单元具有作为所述第一控制模块的第三控制端的控制端和作为所述第一控制模块的第一输入端的输入端，所述第二控制单元用于在所述第一节点的控制下，将所述第二参考信号输出到

所述第五节点。

在一个实施例中，所述第一控制单元包括第五开关晶体管、第六开关晶体管和第五电容。所述第五开关晶体管的栅极与所述第二节点相连，源极与所述第一参考信号相连，漏极与所述第六开关晶体管的源极相连，所述第六开关晶体管的栅极与所述第二时钟信号相连，漏极与所述第五节点相连。所述第五电容连接于所述第二节点和所述第二时钟信号之间。

在一个实施例中，所述第二控制单元包括第七开关晶体管，所述第七开关晶体管的栅极与所述第一节点相连，源极与所述第二参考信号相连，漏极与所述第五节点相连。

在一个实施例中，所述第一输入模块包括第一输入单元和第二输入单元。所述第一输入单元具有作为所述第一输入模块的第一控制端的控制端，作为所述第一输入模块的第三输入端的第一输入端，以及作为所述第一输入模块的第二输入端的第二输入端，所述第一输入单元用于在所述第一时钟信号的控制下，将所述第一信号和所述第一参考信号分别输出到所述第一节点和所述第二节点。所述第二输入单元具有作为所述第一输入模块的第二控制端的控制端，和作为所述第一输入模块的第一输入端的输入端，所述第二输入单元用于在所述第一节点的控制下，将所述第一时钟信号输出到所述第二节点。

在一个实施例中，所述第一输入单元包括第八开关晶体管和第九开关晶体管。所述第八开关晶体管的栅极与所述第一时钟信号相连，源极与所述第一信号相连，漏极与所述第一节点相连。所述第九开关晶体管的栅极与所述第一时钟信号相连，源极与所述第一参考信号相连，漏极与所述第二节点相连。

在一个实施例中，所述第二输入单元包括第十开关晶体管，所述第十开关晶体管的栅极与所述第一节点相连，源极与所述第一时钟信号相连，漏极与所述第二节点相连。

在一个实施例中，所述第二输入模块包括第三输入单元和第四输入单元，所述第三输入单元具有作为所述第二输入模块的第一控制端的控制端，作为所述第二输入模块的第三输入端的第一输入端与，以及作为所述第二输入模块的第二输入端的第二输入端，所述第三输入单元用于在所述第一时钟信号的控制下，将所述第二信号和所述第一

参考信号分别输出到所述第三节点和所述第四节点。所述第四输入单元具有作为所述第二输入模块的第二控制端的控制端，以及作为所述第二输入模块的第一输入端的输入端，所述第四输入单元用于在所述第三节点的控制下，将所述第一时钟信号输出到所述第四节点。

5 在一个实施例中，所述第三输入单元包括第十一开关晶体管和第十二开关晶体管。所述第十一开关晶体管的栅极与所述第一时钟信号相连，源极与所述第二信号相连，漏极与所述第三节点相连，所述第十二开关晶体管的栅极与所述第一时钟信号相连，源极与所述第一参考信号相连，漏极与所述第四节点相连。

10 在一个实施例中，所述第四输入单元包括第十三开关晶体管，所述第十三开关晶体管的栅极与所述第三节点相连，源极与所述第一时钟信号相连，漏极与所述第四节点相连。

在一个实施例中，所述第二控制模块包括第十四开关晶体管、第十五开关晶体管和第十六开关晶体管，其中，所述第十四开关晶体管的栅极与所述第四节点相连，源极与所述第二参考信号相连，漏极分
15 别与所述第十五开关晶体管的源极和第十六开关晶体管的源极相连，所述第十五开关晶体管的栅极与所述第一节点相连，漏极与所述第三节点相连，所述第十六开关晶体管的栅极与所述第五节点相连，漏极与所述第三节点相连。

20 本发明的另一实施例提供了一种栅极驱动电路，其可包括包括级联的多个如前述实施例中的任一实施例所述的移位寄存器单元。除最后一个移位寄存器单元之外，其余每个移位寄存器单元的发光信号输出端均向与其相邻的下一级移位寄存器单元输入用于所述下一级移位寄存器单元的第一信号，扫描信号输出端均向与其相邻的下一级移位
25 寄存器单元输入用于所述下一级移位寄存器单元的第二信号。

在一个实施例中，提供给所述级联的多个移位寄存器单元中的第一个移位寄存器单元的第一信号和第二信号分别是用于产生所述发光信号的第一触发信号和用于产生所述扫描信号的第二触发信号。

30 本发明的又一实施例提供了一种显示面板，其可包括本发明的上述实施例所述的栅极驱动电路。

本发明的又一实施例提供了一种显示装置，其可包括如本发明的上述实施例所述的显示面板。

本发明实施例提供了一种移位寄存器单元、栅极驱动电路、显示面板及显示装置。该移位寄存器单元包括第一输入模块、第二输入模块、第一控制模块、第二控制模块、发光信号输出模块和扫描信号输出模块。第一输入模块用于在第一时钟信号端控制下，将第一信号和第一参考信号端分别输出到第一节点和所述第二节点，在第一节点的控制下，将第一时钟信号输出到第二节点；第二输入模块用于在第一时钟信号控制下，将第二信号和第一参考信号分别输出到第三节点和第四节点，在第三节点的控制下，将第一时钟信号输出到第四节点；第一控制模块用于在第二节点和第二时钟信号的控制下将第一参考信号输出到第五节点，在第一节点的控制下将第二参考信号输出到第五节点；第二控制模块用于在第四节点、第一节点和第五节点的控制下，将第二参考信号输出到第三节点；发光信号输出模块用于在第一节点和第五节点的控制下，将第一参考信号或第二参考信号输出到发光信号输出端；扫描信号输出模块用于在第三节点和第四节点的控制下，将第二参考信号或第二时钟信号输出到扫描信号输出端。

因此，对于本发明实施例提供的上述移位寄存器单元，各模块在各自的控制信号的控制下输出对应的信号，可以实现扫描信号和发光信号的输出。同时，发光信号输出模块和扫描信号输出模块相结合，并且发光信号输出模块和扫描信号输出模块可以被同步驱动，即，可以实现将发光移位寄存器单元和扫描移位寄存器单元整合在一个电路结构中，从而减少了所需要的时钟信号的数量。而且，本发明实施例提供的移位寄存器单元周期常开型移位寄存器单元，即，在一帧的时间内，发光信号大部分时间处于有效电平状态。通过控制第一节点和第五节点的电位，发光信号输出模块可以持续输出第一参考信号或第二参考信号，通过控制第三节点和第四节点的电位，扫描信号输出模块可以持续输出第二参考信号或第二时钟信号，这样可以实现输出具有多个脉宽的发光信号即，在将发光移位寄存器单元与扫描移位寄存器单元整合到一个电路结构中的同时，实现了发光信号的占空比控制。

附图说明

图 1 示意性地示出了本发明实施例提供的移位寄存器单元的结构框图；

图 2 示意性地示出了本发明实施例提供的移位寄存器单元的具体电路；

图 3 为本发明实施例提供的移位寄存器单元的工作时序图；

图 4 为本发明实施例提供的栅极驱动电路的结构示意图。

5

具体实施方式

下面结合附图，对本发明实施例提供的移位寄存器单元、栅极驱动电路、显示面板及显示装置的具体实施方式进行详细的说明。

10 本发明实施例提供了一种移位寄存器单元，如图 1 所示，可以包括：第一输入模块 01、第二输入模块 02、第一控制模块 03、第二控制模块 04、发光信号输出模块 05 和扫描信号输出模块 06。

15 在图 1 所示的实施例中，第一输入模块 01 的第一控制端 1a 和第一输入端 1b 分别与第一时钟信号 CLK1 相连，第二控制端 1g 和第一输出端 1f 分别与第一节点 P1 相连，第二输入端 1c 与第一信号 STVE 相连，第三输入端 1d 与第一参考信号 VGL 相连，第二输出端 1e 与第二节点 P2 相连。第一输入模块 01 用于在第一时钟信号 CLK1 控制下，将第一信号 STVE 和第一参考信号 VGL 分别输出到第一节点 P1 和

20 第二节点 P2，在第一节点 P1 的控制下，将第一时钟信号 CLK1 输出到第二节点 P2。

第二输入模块 02 的第一控制端 2a 和第一输入端 2b 分别与第一时钟信号 CLK1 相连，第二控制端 2d 和第一输出端 2e 分别与第三节点 P3 相连，第二输入端 2f 与第二信号 STVG 相连，第三输入端 2g 与第一参考信号 VGL 相连，第二输出端 2c 与第四节点 P4 相连。第二输入

25 模块 02 用于在第一时钟信号 CLK1 控制下，将第二信号 STVG 和第一参考信号 VGL 分别输出到第三节点 P3 和第四节点 P4，在第三节点 P3 的控制下，将第一时钟信号 CLK1 输出到第四节点 P4。

30 第一控制模块 03 的第一控制端 3f 与第二节点 P2 相连，第二控制端 3c 与第二时钟信号 CLK2 相连，第三控制端 3e 与第一节点 P1 相连，第一输入端 3b 与第二参考信号 VGH 相连，第二输入端 3a 与第一参考信号 VGL 相连，输出端 3d 与第五节点 P5 相连。第一控制模块 03 用于在第二节点 P2 和第二时钟信号 CLK2 的控制下将第一参考信号 VGL 输出到第五节点 P5，在第一节点 P1 的控制下将第二参考信号 VGH 输

出到第五节点 P5。

第二控制模块 04 的第一控制端 4b 与第四节点 P4 相连，第二控制端 4a 与第一节点 P1 相连，第三控制端 4c 与第五节点 P5 相连，输入端 4f 与第二参考信号 VGH 相连，输出端 4e 与第三节点 P3 相连。第二控制模块 04 用于在第四节点 P4、第一节点 P1 和第五节点 P5 的控制下，将第二参考信号 VGH 输出到第三节点 P3。

发光信号输出模块 05 的第一控制端 5d 与第一节点 P1 相连，第二控制端 5e 与第五节点 P5 相连，第一输入端 5b 与第一参考信号 VGL 相连，第二输入端 5a 与第二参考信号 VGH 相连，输出端 5c 作为发光信号输出端用于输出发光信号 EM。发光信号输出模块 05 用于在第一节点 P1 和第五节点 P5 的控制下，将第一参考信号 VGL 或第二参考信号 VGH 输出到发光信号输出端 5c。

扫描信号输出模块 06 的第一控制端 6b 与第三节点 P3 相连，第二控制端 6a 与第四节点 P4 相连，第一输入端 6c 与第二参考信号 VGH 相连，第二输入端 6d 与第二时钟信号 CLK2 相连，输出端 6e 作为扫描信号输出端用于输出扫描信号 Gate。扫描信号输出模块 06 用于在第三节点 P3 和第四节点 P4 的控制下，将第二参考信号 VGH 或第二时钟信号 CLK2 输出到扫描信号输出端 6e。

根据本发明的移位寄存器单元的实施例，如图 2 所示，发光信号输出模块可以包括第一输出单元 051 和第二输出单元 052。第一输出单元 051 的控制端 5e 与第五节点 P5 相连，输入端 5a 与第二参考信号 VGH 相连，输出端 5c 作为发光信号输出端，第一输出单元 051 用于在第五节点 P5 的控制下，将第二参考信号 VGH 输出到发光信号输出端 5c。第二输出单元 052 的控制端 5d 与第一节点 P1 相连，输入端 5b 与第一参考信号 VGL 相连，输出端与发光信号输出端 5c 相连，第二输出单元 052 用于在第一节点 P1 的控制下，将第一参考信号 VGL 输出到发光信号输出端 5c。由于发光信号输出模块包括第一输出单元和第二输出单元，因此，可以在第一节点的控制下通过第二输出单元持续输出第一参考信号，在第五节点的控制下通过第一输出单元输出第二参考信号。

在本发明实施例提供的移位寄存器单元中，如图 2 所示，第一输出单元 051 可以包括第一开关晶体管 T1 和第一电容 C1。第一开关晶

晶体管 T1 的栅极与第五节点 P5 相连，源极与第二参考信号 VGH 相连，漏极与发光信号输出端相连；第一电容 C1 连接于第二参考信号 VGH 和第五节点 P5 之间。这样，第一开关晶体管可以在第五节点的控制下导通，从而将第二参考信号输出到发光信号输出端。

5 在本发明实施例提供的移位寄存器单元中，如图 2 所示，第二输出单元 052 可以包括第二开关晶体管 T2 和第二电容 C2。第二开关晶体管 T2 的栅极与第一节点 P1 相连，源极与第一参考信号 VGL 相连，漏极与发光信号输出端 5c 相连，第二电容 C2 连接于第一节点 P1 和发光信号输出端之间。这样，第二开关晶体管可以在第一节点的控制下
10 导通，从而将第一参考信号输出到发光信号输出端。

在本发明实施例提供的移位寄存器单元中，如图 2 所示，扫描信号输出模块可以包括第三输出单元 061 和第四输出单元 062。第三输出单元 061 的控制端 6a 与第四节点 P4 相连，输入端 6c 与第二参考信号 VGH 相连，输出端 6e 作为扫描信号输出端提供扫描信号 Gate。第三
15 输出单元 061 用于在第四节点 P4 的控制下，将第二参考信号 VGH 输出到扫描信号输出端 6e。第四输出单元 062 的控制端 6b 与第三节点 P3 相连，输入端 6d 与第二时钟信号 CLK2 相连，输出端连接至扫描信号输出端 6e。第四输出单元 062 用于在第三节点 P3 的控制下，将第二时钟信号 CLK2 输出到扫描信号输出端 6e。由于扫描信号输出模块包
20 括第三输出单元和第四输出单元，因此，可以在第四节点的控制下通过第三输出单元持续输出第二参考信号，在第三节点的控制下通过第四输出单元输出第二时钟信号。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第三输出单元可以包括第三开关晶体管 T3 和第三电容 C3。第三开关晶
25 体管 T3 的栅极与第四节点 P4 相连，源极与第二参考信号 VGH 相连，漏极与扫描信号输出端相连，第三电容 C3 连接于第四节点 P4 和第二参考信号 VGH 之间。这样，第三开关晶体管可以在第四节点的控制下导通，从而将第二参考信号输出到扫描信号输出端。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第四
30 输出单元可以包括第四开关晶体管 T4 和第四电容 C4。第四开关晶体管 T4 的栅极与第三节点 P3 相连，源极与第二时钟信号 CLK2 相连，漏极与扫描信号输出端相连，第四电容 C4 连接于第三节点 P3 和扫描

信号输出端之间。因此，第四开关晶体管可以在第三节点的控制下导通，从而将第二时钟信号输出到扫描信号输出端。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第一控制模块可以包括第一控制单元 031 和第二控制单元 032。第一控制单元 031 的第一控制端 3f 与第二节点 P2 相连，第二控制端 3c 与第二时钟信号 CLK2 相连，输入端 3a 与第一参考信号 VGL 相连，输出端 3d 与第五节点 P5 相连。第一控制单元 031 用于在第二节点 P2 和第二时钟信号 CLK2 的控制下，将第一参考信号 VGL 输出到第五节点 P5。第二控制单元 032 的控制端 3e 与第一节点 P1 相连，输入端 3b 与第二参考信号 VGH 相连，输出端与第五节点 P5 相连。第二控制单元 032 用于在第一节点 P1 的控制下，将第二参考信号 VGH 输出到第五节点 P5。由于第一控制模块包括第一控制单元和第二控制单元，因此，在第二节点和第二时钟信号的控制下可以通过第一控制单元将第一参考信号输出到第五节点，在第一节点的控制下通过第二控制单元将第二参考信号输出到第五节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第一控制单元可以包括第五开关晶体管 T5、第六开关晶体管 T6 和第五电容 C5。第五开关晶体管 T5 的栅极与第二节点 P2 相连，源极与第一参考信号 VGL 相连，漏极与第六开关晶体管 T6 的源极相连；第六开关晶体管 T6 的栅极与第二时钟信号 CLK2 相连，漏极与第五节点 P5 相连；第五电容 C5 连接于第二节点 P2 和第二时钟信号 CLK2 之间。因此，第五开关晶体管可以在第二节点的控制下导通，进而将第一参考信号输出到第六开关晶体管的源极；第六开关晶体管可以在第二时钟信号的控制下导通，进而将其源极的信号输出到第五节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第二控制单元可以包括第七开关晶体管 T7。第七开关晶体管 T7 的栅极与第一节点 P1 相连，源极与第二参考信号 VGH 相连，漏极与第五节点 P5 相连。这样，第七开关晶体管可以在第一节点的控制下导通，进而将第二参考信号输出到第五节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第一输入模块可以包括第一输入单元 011 和第二输入单元 012。第一输入单元 011 的控制端 1a 与第一时钟信号 CLK1 相连，第一输入端 1d 与

第一参考信号 VGL 相连，第二输入端 Ic 与第一信号 STVE 相连，第一输出端 If 与第一节点 P1 相连，第二输出端 Ie 与第二节点 P2 相连。第一输入单元 011 用于在第一时钟信号 CLK1 的控制下，将第一信号 STVE 和第一参考信号 VGL 分别输出到第一节点 P1 和第二节点 P2。

5 第二输入单元 012 的控制端 Ig 与第一节点 P1 相连，输入端 Ib 与第一时钟信号 CLK1 相连，输出端与第二节点 P2 相连。第二输入单元 012 用于在第一节点 P1 的控制下，将第一时钟信号 CLK1 输出到第二节点 P2。由于第一输入模块包括第一输入单元和第二输入单元，因此，可以在第一时钟信号的控制下可以通过第一输入单元将第一信号和第一
10 参考信号分别输出到第一节点和第二节点，在第一节点的控制下通过第二输入单元将第一时钟信号输出到第二节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第一输入单元 011 可以包括第八开关晶体管 T8 和第九开关晶体管 T9。第八开关晶体管 T8 的栅极与第一时钟信号 CLK1 相连，源极与第一信号 STVE 相连，漏极与第一节点 P1 相连；第九开关晶体管 T9 的栅极
15 与第一时钟信号 CLK1 相连，源极与第一参考信号 VGL 相连，漏极与第二节点 P2 相连。这样，第八开关晶体管可以在第一时钟信号的控制下导通，进而将第一信号输出到第一节点，第九开关晶体管可以在第一时钟信号的控制下导通，进而将第一参考信号输出到第二节点。

20 在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第二输入单元可以包括第十开关晶体管 T10。第十开关晶体管 T10 的栅极与第一节点 P1 相连，源极与第一时钟信号 CLK1 相连，漏极与第二节点 P2 相连。这样，第十开关晶体管可以在第一节点的控制下导通，进而将第一时钟信号输出到第二节点。

25 在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第二输入模块可以包括第三输入单元 021 和第四输入单元 022。第三输入单元 021 的控制端 2a 与第一时钟信号 CLK1 相连，第一输入端 2g 与第一参考信号 VGL 相连，第二输入端 2f 与第二信号 STVG 相连，第一输出端 2e 与第三节点 P3 相连，第二输出端 2c 与第四节点 P4 相连。
30 第三输入单元 021 用于在第一时钟信号 CLK1 的控制下，将第二信号 STVG 和第一参考信号 VGL 分别输出到第三节点 P3 和第四节点 P4。第四输入单元 022 的控制端 2d 与第三节点 P3 相连，输入端 2b 与第一

时钟信号 CLKI 相连，输出端与第四节点 P4 相连。第四输入单元 022 用于在第三节点 P3 的控制下，将第一时钟信号 CLK1 输出到第四节点 P4。由于第二输入模块可以包括第三输入单元和第四输入单元，因此，可以在第一时钟信号的控制下通过第三输入单元将第二信号和第一参考信号分别输出到第三节点和第四节点，在第三节点的控制下通过第四输入单元将第一时钟信号输出到第四节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第三输入单元可以包括第十一开关晶体管 T11 和第十二开关晶体管 T12。第十一开关晶体管 T11 的栅极与第一时钟信号 CLK1 相连，源极与第二信号 STVG 相连，漏极与第三节点 P3 相连；第十二开关晶体管 T12 的栅极与第一时钟信号 CLK1 相连，源极与第一参考信号 VGL 相连，漏极与第四节点 P4 相连。这样，第十一开关晶体管可以在第一时钟信号的控制下导通，进而将第二信号输出到第三节点；第十二开关晶体管可以在第一时钟信号的控制下导通，进而将第一参考信号输出到第四节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第四输入单元可以包括第十三开关晶体管 T13。第十三开关晶体管 T13 的栅极与第三节点 P3 相连，源极与第一时钟信号 CLK1 相连，漏极与第四节点 P4 相连。这样，第十三开关晶体管可以在第三节点的控制下导通，进而将第一时钟信号输出到第四节点。

在本发明实施例提供的上述移位寄存器单元中，如图 2 所示，第二控制模块可以包括第十四开关晶体管 T14、第十五开关晶体管 T15 和第十六开关晶体管 T16。第十四开关晶体管 T14 的栅极与第四节点 P4 相连，源极与第二参考信号 VGH 相连，漏极分别与第十五开关晶体管 T15 的源极和第十六开关晶体管 T16 的源极相连；第十五开关晶体管 T15 的栅极与第一节点 P1 相连，漏极与第三节点 P3 相连；第十六开关晶体管 T16 的栅极与第五节点 P5 相连，漏极与第三节点 P3 相连。这样，第十四开关晶体管可以在第四节点的控制下导通，进而将第二参考信号分别输出到第十五开关晶体管的源极和第十六开关晶体管的源极；第十五开关晶体管可以在第一节点的控制下导通，从而将其源极的信号输出到第三节点；第十六开关晶体管可以在第五节点的控制下导通，从而将其源极的信号输出到第三节点。

需要说明的是本发明上述实施例中提到的开关晶体管可以是薄膜晶体管 (TFT, Thin Film Transistor), 也可以是金属氧化物半导体场效应管 (MOS, Metal Oxide Semiconductor), 在此不做限定。在本发明的实施例中, 这些晶体管的源极和漏极可以互换, 不做具体区分。

5 在描述具体实施例时以薄膜晶体管为例进行说明。

此外, 对于本发明各实施例提供的移位寄存器单元, 所提到的第一参考信号 VGL 可以是具有低电压水平的信号, 第二参考信号 VGH 可以是具有高电压水平的信号。第一信号 STVE 可以是用于产生发光信号 EM 的第一触发信号, 第二信号 STVG 可以是用于产生扫描信号
10 Gate 的第二触发信号。

下面结合本发明实施例提供的移位寄存器单元电路结构和工作时序对本发明实施例提供的移位寄存器单元的工作过程进行详细描述。以如图 2 所示的采用 P 型晶体管设计的移位寄存器单元为例, 结合图 3 所示时序图, 对本发明实施例提供的移位寄存器单元的工作过程予以
15 描述。如图 3 所示, 移位寄存器单元的信号时序图包括 t1 ~ t8 八个阶段。在下述描述中, 以 1 表示高电平信号, 0 表示低电平信号。

在 t1 阶段, STVE = 0, STVG = 1, CLK1=0, CLK2=1, VGL=0, VGH=1。由于 CLK1=0, 因此, 第八开关晶体管 T8、第九开关晶体管 T9、第十一开关晶体管 T11 和第十二开关晶体管 T12 导通。相应地,
20 第一信号 STVE 经由导通的第八开关晶体管 T8 被输出到第一节点 P1, 此时由于 STVE = 0, 因此第二开关晶体管 T2、第七开关晶体管 T7、第十开关晶体管 T10 和第十五开关晶体管 T15 导通。第一参考信号 VGL 经由导通的第二开关晶体管 T2 被提供至发光信号输出端, 由于 VGL=0, 因此使得发光信号输出端输出低电平信号。第二参考信号 VGH
25 经由导通的第七开关晶体管 T7 被提供至第五节点 P5, 进而使得第一开关晶体管 T1 截止; 导通的第九开关晶体管 T9 和第十开关晶体管 T10 分别将第一参考信号 VGL 和第一时钟信号 CLK1 输出到第二节点 P2; 导通的第十一开关晶体管 T11 将第二信号 STVG 提供至第三节点 P3, 由于 STVG=1, 进而第四开关晶体管 T4 在第三节点 P3 的控制下截止;
30 导通的第十二开关晶体管 T12 将第一参考信号 VGL 提供至第四节点 P4, 进而第三开关晶体管 T3 在第四节点 P4 的控制下导通, 使得第二参考信号 VGH 经由导通的第三开关晶体管 T3 被提供至扫描信号输出

端，由于 $VGH=1$ ，因此使得扫描信号输出端输出高电平信号。同时第十四开关晶体管 T14 在第四节点 P4 的控制下也处于导通状态，所以第二参考信号 VGH 经由导通的第十四开关晶体管 T14 与导通的第十五开关晶体管 T15 被提供至第三节点 P3，使第三节点 P3 保持高电位。

5 在 t1 阶段的后半段，第一信号 STVE、第二信号 STVG 和第二时钟信号 CLK2 不变，第一时钟信号 CLK1 由低电平信号变为高电平信号，此时，由于电容器 C2 的存在，第一节点 P1 的电位可维持低电平，因此，第十开关晶体管 T10 可将第一时钟信号 CLK1 的高电平信号输出到第二节点 P2，使得第五开关晶体管 T5 处于截止状态。

10 在 t2 阶段， $STVE = 0$ ， $STVG = 1$ ， $CLK1 = 1$ ， $CLK2=0$ ， $VGL=0$ ， $VGH=1$ 。由于 $CLK2=0$ ，因此，第六开关晶体管 T6 导通。由于在 t1 阶段的后半段第二节点 P2 的电位处于高电平，使得第五开关晶体管 T5 处于截止状态，因此，在 t2 阶段第二节点 P2 的电位由于第五电容 C5 的作用而保持于高电位，第一参考信号端 VGL 的信号不会通过第五开关晶体管 T5 和第六开关晶体管 T6 而输出到第五节点 P5。第一节点 P1
15 保持上一阶段的低电位，第二开关晶体管 T2 和第七晶体管 T7 处于导通状态，第五节点 P5 的电位为高电平 VGH，第一开关晶体管 T1 仍处于截止状态，从而发光信号输出端仍输出第一参考信号 VGL。同时，第四节点 P4 保持处于上一阶段的低电位，因此第三开关晶体管 T3 处于导通状态，扫描信号输出端输出第二参考信号 VGH。
20

在 t3 阶段， $STVE = 1$ ， $STVG = 0$ ， $CLK1=0$ ， $CLK2=1$ ， $VGL=0$ ， $VGH=1$ 。由于 $CLK1=0$ ，因此，第八开关晶体管 T8、第九开关晶体管 T9、第十一开关晶体管 T11 和第十二开关晶体管 T12 导通。相应地，第一信号 STVE 经由导通的第八开关晶体管 T8 被提供至第一节点 P1，
25 此时由于 $STVE = 1$ ，因此第二开关晶体管 T2、第七开关晶体管 T7、第十开关晶体管 T10 和第十五开关晶体管 T15 截止。导通的第九开关晶体管 T9 将第一参考信号 VGL 提供至第二节点 P2，由于 $VGL=0$ ，因此使得第五开关晶体管 T5 导通，由于此时 $CLK2=1$ ，因此第六开关晶体管 T6 截止。导通的第十一开关晶体管 T11 将第二信号 STVG 提供至
30 第三节点 P3，由于 $STVG=0$ ，进而第四开关晶体管 T4 和第十三开关晶体管 T13 在第三节点 P3 的控制下导通。导通的第四开关晶体管 T4 将第二时钟信号端 CLK2 提供至扫描信号输出端，由于此时 $CLK2=1$ ，进

而使得扫描信号输出端输出高电平信号；同时，导通的第十三开关晶体管 T13 将第一时钟信号 CLK1 提供至第四节点 P4，由于此时 CLK1=0，因此第三开关晶体管 T3 在第四节点 P4 的控制下导通，进而将第二参考信号 VGH 提供至扫描信号输出端，由于 VGH=1，因此使得扫描信号输出端输出高电平信号。在此阶段期间，由于第一节点 P1 和第五节点 P5 均为高电位，因此第一开关晶体管 T1 和第二开关晶体管 T2 均处于截止状态，发光信号输出端保持上一阶段的输出状态，即输出低电平信号。

在 t4 阶段， $STVE = 1$ ， $STVG = 1$ ， $CLK1 = 1$ ， $CLK2=0$ ， $VGL=0$ ， $VGH=1$ 。由于 $CLK2=0$ ，因此，第六开关晶体管 T6 导通，此时，第二节点 P2 由于第五电容 C5 的作用保持上一阶段的低电位，因此第五开关晶体管 T5 处于导通状态，从而第一参考信号端 VGL 的信号经由导通的第五开关晶体管 T5 和第六开关晶体管 T6 输出到第五节点 P5，因此第一开关晶体管 T1 在第五节点 P5 的控制下导通，进而将第二参考信号 VGH 输出到发光信号输出端；此时，由于第二时钟信号端 CLK2 的信号由高电平变为低电平，因此第四开关晶体管 T4 通过栅源之间的耦合电容（即，第四电容 C4）的自举作用，将第三节点 P3 的电位进一步拉低，因此第四开关晶体管 T4 在第三节点 P3 的控制下导通，进而将第二时钟信号 CLK2 输出到扫描信号输出端，由于此时 $CLK2=0$ ，因此扫描信号输出端输出低电平信号，同时第十三开关晶体管 T13 在第三节点 P3 的控制下导通，将第一时钟信号 CLK1 输出到第四节点 P4，此时 $CLK1=1$ ，因此保持第四节点 P4 的电位为高电位，使第三开关晶体管 T3 处于截止状态。

在 t5 阶段， $STVE = 1$ ， $STVG = 1$ ， $CLK1=0$ ， $CLK2=1$ ， $VGL=0$ ， $VGH=1$ 。由于 $CLK1=0$ ，因此，第八开关晶体管 T8、第九开关晶体管 T9、第十一开关晶体管 T11 和第十二开关晶体管 T12 导通。导通的第八开关晶体管 T8 将第一信号 STVE 输出到第一节点 P1，此时由于 $STVE = 1$ ，因此第二开关晶体管 T2、第七开关晶体管 T7、第十开关晶体管 T10 和第十五开关晶体管 T15 截止；导通的第九开关晶体管 T9 将第一参考信号 VGL 输出到第二节点 P2；导通的第十一开关晶体管 T11 将第二信号 STVG 输出到第三节点 P3，此时 $STVG = 1$ ，因此第十三开关晶体管 T13 和第四开关晶体管 T4 截止。导通的第十二开关晶体管 T12

将第一参考信号 VGL 输出到第四节点 P4，因此第三开关晶体管 T3 和第十四开关晶体管 T14 导通，导通的第三开关晶体管 T3 将第二参考信号 VGH 输出到扫描信号输出端。同时第五节点 P5 保持上一阶段的低电位，因此第一开关晶体管 T1 和第十六开关晶体管 T16 导通，导通的第一开关晶体管 T1 将第二参考信号 VGH 输出到发光信号输出端，同时第二参考信号 VGH 通过导通的第十四开关晶体管 T14 和第十六开关晶体管 T16 输出到第三节点 P3，进一步保持第三节点 P3 的高电位。

在 t6 阶段， $STVE = 0$ ， $STVG = 1$ ， $CLK1 = 1$ ， $CLK2 = 0$ ， $VGL = 0$ ， $VGH = 1$ 。由于 $CLK2 = 0$ ，因此第六开关晶体管 T6 导通，此时第二节点 P2 由于第五电容 C5 的作用保持处于上一阶段的低电位，因此第五开关晶体管 T5 导通，第一参考信号 VGL 通过导通的第五开关晶体管 T5 和第六开关晶体管 T6 输出到第五节点 P5，因此第一开关晶体管 T1 和第十六开关晶体管 T16 导通，导通的第一开关晶体管 T1 将第二参考信号 VGH 输出到发光信号输出端；同时第四节点 P4 保持上一阶段的低电位，因此第三开关晶体管 T3 和第十四开关晶体管 T14 导通，导通的第三开关晶体管 T3 将第二参考信号 VGH 输出到扫描信号输出端，且第二参考信号 VGH 通过导通的第十四开关晶体管 T14 和第十六开关晶体管 T16 输出到第三节点 P3，进一步保持第三节点 P3 的高电位。

在 t7 阶段， $STVE = 0$ ， $STVG = 1$ ， $CLK1 = 0$ ， $CLK2 = 1$ ， $VGL = 0$ ， $VGH = 1$ 。由于 $CLK1 = 0$ ，因此第八开关晶体管 T8、第九开关晶体管 T9、第十一开关晶体管 T11 和第十二开关晶体管 T12 导通；导通的第八开关晶体管 T8 将第一信号 STVE 输出到第一节点 P1，此时由于 $STVE = 0$ ，因此第二开关晶体管 T2、第七开关晶体管 T7、第十开关晶体管 T10 和第十五开关晶体管 T15 导通。导通的第二开关晶体管 T2 将第一参考信号 VGL 提供至发光信号输出端，使得发光信号输出端输出低电平信号；导通的第七开关晶体管 T7 将第二参考信号 VGH 提供至第五节点 P5，进而使得第一开关晶体管 T1 截止；导通的第九开关晶体管 T9 和第十开关晶体管 T10 分别将第一参考信号 VGL 和第一时钟信号 CLK1 输出到第二节点 P2；导通的第十一开关晶体管 T11 将第二信号 STVG 提供至第三节点 P3，由于 $STVG = 1$ ，进而第四开关晶体管 T4 在第三节点 P3 的控制下截止；导通的第十二开关晶体管 T12 将第一参考信号 VGL 提供至第四节点 P4，进而第三开关晶体管 T3 导通，而导通的第

三开关晶体管 T3 将第二参考信号 VGH 提供至扫描信号输出端，由于 VGH=1，因此使得扫描信号输出端输出高电平信号。同时，第十四开关晶体管 T14 在第四节点 P4 的控制下也处于导通状态，导通的第十四开关晶体管 T14 与导通的第十五开关晶体管 T15 将第二参考信号 VGH 提供至第三节点 P3，使第三节点 P3 保持高电位。在 t7 阶段的后半段，第一信号 STVE、第二信号 STVG 和第二时钟信号 CLK2 不变，第一时钟信号 CLK1 由低电平信号变为高电平信号，此时，第一时钟信号 CLK1 的高电平信号经由导通的第十开关晶体管 T10 而输出到第二节点 P2，从而使得第五开关晶体管 T5 处于截止状态。

在 t8 阶段，STVE = 0，STVG = 1，CLK1 = 1，CLK2=0，VGL=0，VGH=1。由于 CLK2=0，因此，第六开关晶体管 T6 导通；由于在 t7 阶段的后半段，第二节点 P2 的电位处于高电平，第五开关晶体管 T5 处于截止状态，因此在 t8 阶段，第二节点 P2 的电位由于第五电容 C5 的作用保持高电位，因此第一参考信号 VGL 不会通过第五开关晶体管 T5 和第六开关晶体管 T6 而输出到第五节点 P5，而第一节点 P1 保持上一阶段的低电位，第二开关晶体管 T2 和第七晶体管 T7 处于导通状态，第五节点 P5 的电位等于高电平 VGH，第一开关晶体管 T1 仍处于截止状态，从而发光信号输出端仍输出第一参考信号 VGL；同时，第四节点 P4 保持上一阶段的低电位，因此第三开关晶体管 T3 处于导通状态，扫描信号输出端输出第二参考信号 VGH。

在之后的阶段中，在第一信号 STVE 保持低电平时，将不断重复 t7 和 t8 的工作状态。当第一信号 STVE 再次变成高电平信号时，将重复 t3, t4, t5 阶段的过程，直到第一信号 STVE 由高电平信号再次变为低电平信号。之后，将在完成 t6 阶段的过程后重复 t7 和 t8 阶段的过程。在 t3 阶段期间，第一信号 STVE 一直为高电平信号，第二时钟信号 CLK2 处于高电平状态，第二信号 STVG、第一时钟信号 CLK1 处于低电平状态，所以，受第一时钟信号 CLK1 控制的第八开关晶体管 T8、第九开关晶体管 T9、第十一开关晶体管 T11 和第十二开关晶体管 T12 导通；导通的第十二开关晶体管 T12 将第一参考信号 VGL 写入到第四节点 P4，进而将第三开关晶体管 T3 导通，从而将第二参考信号 VGH 输出到扫描信号输出端，同时第二信号 STVG 的低电平信号输出到第三节点 P3，使第十三开关晶体管 T13 和第四开关晶体管 T4 处于导通状态，

导通的第四开关晶体管 T4 将第二时钟信号 CLK2 提供到扫描信号输出端，由于此时 CLK2=1，进而使得扫描信号输出端输出高电平信号。由于第八开关晶体管 T8 导通，第一信号 STVE 被提供到第一节点 P1，此时 STVE=1，使得第一节点 P1 为高电位，因此第二开关晶体管 T2 截止。且由于第五节点 P5 保持上一阶段的高电位，因此第一开关晶体管 T1 处于截止状态，发光信号输出端保持上一阶段的输出状态，即输出低电平信号。紧接着 t3 阶段的是 t4 和 t5 阶段，其间发光信号输出端持续输出第二参考信号 VGH 的高电平信号。这样，就实现了发光信号输出端输出具有多个脉冲宽度的发光信号，即实现了发光信号的占空比控制。

基于同一发明构思，本发明的另一实施例提供了一种栅极驱动电路，包括级联的多个本发明的上述实施例中任一实施例提供的移位寄存器单元，除最后一个移位寄存器单元之外，其余每个移位寄存器单元的发光信号输出端均向与其相邻的下一级移位寄存器单元输入用于该下一级移位寄存器单元的第一信号，扫描信号输出端均向与其相邻的下一级移位寄存器单元输入用于该下一级移位寄存器单元的第二信号。

为了方便说明，图 4 中仅示出了八个移位寄存器单元，分别为第 1 级移位寄存器单元、第 2 级移位寄存器单元、第 3 级移位寄存器单元、第 4 级移位寄存器单元、第 N-3 级移位寄存器单元、第 N-2 级移位寄存器单元、第 N-1 级移位寄存器单元、第 N 级移位寄存器单元。第 N-1 级移位寄存器单元的发光信号输出端的发光信号 EM 被提供给第 N 级移位寄存器单元作为用于第 N 级移位寄存器单元的第一信号，扫描信号输出端的扫描信号 Gate 被提供给第 N 级移位寄存器单元作为用于第 N 级移位寄存器单元的第二信号。第一时钟信号 CLK1 和第二时钟信号 CLK2 在相邻的下一级中的连接位置和本级中的连接位置互换。例如，对于图 2 所示的实施例，对于第 N 级移位寄存器单元，第一时钟信号 CLK1 连接至控制端 la，第二时钟信号 CLK2 连接至输入端 6d，则对于第 N+1 级移位寄存器单元而言，第一时钟信号 CLK1 连接至输入端 6d，第二时钟信号 CLK2 连接至控制端 la，从而实现自上而下的移位效果。

基于同一发明构思，本发明的另外的实施例提供了一种显示面板，

包括本发明上述实施例提供的栅极驱动电路。由于该显示面板解决问题的原理与栅极驱动电路相似，因此该显示面板的实施可以参见上述栅极驱动电路的实施，重复之处不再赘述。

基于同一发明构思，本发明的另外实施例提供了一种显示装置，
5 包括本发明上述实施例提供的显示面板。该显示装置可以是手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于该显示装置解决问题的原理与显示面板相似，因此该显示装置的实施可以参见上述显示面板的实施，重复之处不再赘述。

10 本发明实施例提供了一种移位寄存器单元、栅极驱动电路、显示面板及显示装置移位寄存器单元。该移位寄存器单元包括第一输入模块、第二输入模块、第一控制模块、第二控制模块、发光信号输出模块和扫描信号输出模块。第一输入模块用于在第一时钟信号控制下，
将第一信号和第一参考信号分别输出到第一节点和所述第二节点，在
15 第一节点的控制下，将第一时钟信号输出到第二节点；第二输入模块用于在第一时钟信号控制下，将第二信号和第一参考信号分别输出到第三节点和第四节点，在第三节点的控制下，将第一时钟信号输出到第四节点；第一控制模块用于在第二节点和第二时钟信号的控制下将第一参考信号输出到第五节点，在第一节点的控制下将第二参考信号
20 输出到第五节点；第二控制模块用于在第四节点、第一节点和第五节点的控制下，将第二参考信号输出到第三节点；发光信号输出模块用于在第一节点和第五节点的控制下，将第一参考信号或第二参考信号输出到发光信号输出端；扫描信号输出模块用于在第三节点和第四节点的控制下，将第二参考信号或第二时钟信号输出到扫描信号输出端。

25 对于本发明实施例提供的上述移位寄存器单元，各模块在各自的控制信号端的控制下输出对应的信号，可以实现扫描信号和发光信号的输出；同时发光信号输出模块和扫描信号输出模块相结合，从而可以实现将发光移位寄存器单元和扫描移位寄存器单元整合在一个电路结构中，减少控制时钟的数量；且本发明实施例提供的移位寄存器单
30 元中的发光信号输出模块和扫描信号输出模块可以被同步驱动。通过控制第一节点和第五节点的电位，使得发光信号输出模块可以持续输出第一参考信号端的信号或输出第二参考信号端的信号，通过控制第

三节点和第四节点的电位，使得扫描信号输出模块可以持续输出第二参考信号端的信号或输出第二时钟信号端的信号，这样可以实现输出具有多个脉冲宽度的发光信号，即将发光移位寄存器单元与扫描移位寄存器单元整合到一个电路结构中的前提下，实现了发光信号占空比控制。因此，本发明实施例所提出的移位寄存器单元是周期常开型移位寄存器单元，即，在一帧的时间内，发光信号大部分时间处于有效电平状态。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求

1、一种移位寄存器单元，包括：第一输入模块、第二输入模块、第一控制模块、第二控制模块、发光信号输出模块和扫描信号输出模块，其中，所述第一输入模块的第一控制端和第一输入端分别与第一时钟信号相连，第二控制端和第一输出端分别与第一节点相连，第二输入端与第一信号相连，第三输入端与第一参考信号相连，第二输出端与第二节点相连；所述第一输入模块用于在所述第一时钟信号的控制下，将所述第一信号和所述第一参考信号分别输出到所述第一节点和所述第二节点，在所述第一节点的控制下，将所述第一时钟信号输出到所述第二节点；

所述第二输入模块的第一控制端和第一输入端分别与所述第一时钟信号相连，第二控制端和第一输出端分别与第三节点相连，第二输入端与第二信号相连，第三输入端与所述第一参考信号相连，第二输出端与第四节点相连；所述第二输入模块用于在所述第一时钟信号的控制下，将所述第二信号和所述第一参考信号分别输出到所述第三节点和所述第四节点，在所述第三节点的控制下，将所述第一时钟信号输出到所述第四节点；

所述第一控制模块的第一控制端与所述第二节点相连，第二控制端与第二时钟信号相连，第三控制端与所述第一节点相连，第一输入端与第二参考信号相连，第二输入端与所述第一参考信号相连，输出端与第五节点相连；所述第一控制模块用于在所述第二节点和所述第二时钟信号的控制下将所述第一参考信号输出到所述第五节点，在所述第一节点的控制下将所述第二参考信号输出到所述第五节点；

所述第二控制模块的第一控制端与所述第四节点相连，第二控制端与所述第一节点相连，第三控制端与所述第五节点相连，输入端与所述第二参考信号相连，输出端与所述第三节点相连；所述第二控制模块用于在所述第四节点、所述第一节点和所述第五节点的控制下，将所述第二参考信号输出到所述第三节点；

所述发光信号输出模块的第一控制端与所述第一节点相连，第二控制端与所述第五节点相连，第一输入端与所述第一参考信号相连，第二输入端与所述第二参考信号相连，所述发光信号输出模块包括发

光信号输出端；所述发光信号输出模块用于在所述第一节点和所述第五节点的控制下，将所述第一参考信号或所述第二参考信号输出到所述发光信号输出端；

所述扫描信号输出模块的第一控制端与所述第三节点相连，第二控制端与5 所述第四节点相连，第一输入端与所述第二参考信号相连，第二输入端与所述第二时钟信号相连，所述扫描信号输出模块包括扫描信号输出端；所述扫描信号输出模块用于在所述第三节点和所述第四节点的控制下，将所述第二参考信号或所述第二时钟信号输出到所述扫描信号输出端。

10 2、如权利要求1所述的移位寄存器单元，其中所述发光信号输出模块包括：第一输出单元和第二输出单元；其中，

所述第一输出单元具有作为所述发光信号输出模块的第二控制端的控制端，和作为所述发光信号输出模块的第二输入端的输入端，所述15 第一输出单元用于在所述第五节点的控制下，将所述第二参考信号输出到所述发光信号输出端；

所述第二输出单元具有作为所述发光信号输出模块的第一控制端的控制端，和作为所述发光信号输出模块的第一输入端的输入端，所述20 第二输出单元用于在所述第一节点的控制下，将所述第一参考信号输出到所述发光信号输出端。

20 3、如权利要求2所述的移位寄存器单元，其中所述第一输出单元包括第一开关晶体管和第一电容，其中所述第一开关晶体管的栅极与25 所述第五节点相连，源极与所述第二参考信号相连，漏极与所述发光信号输出端相连，所述第一电容连接于所述第二参考信号和所述第五节点之间。

25 4、如权利要求2所述的移位寄存器单元，其中所述第二输出单元包括第二开关晶体管和第二电容，其中所述第二开关晶体管的栅极与30 所述第一节点相连，源极与所述第一参考信号相连，漏极与所述发光信号输出端相连，所述第二电容连接于所述第一节点和所述发光信号输出端之间。

30 5、如权利要求1所述的移位寄存器单元，其中所述扫描信号输出模块包括第三输出单元和第四输出单元，其中，

所述第三输出单元具有作为所述扫描信号输出模块的第二控制端的控制端，和作为所述扫描信号输出模块的第一输入端的输入端，所述第三输出单元用于在所述第四节点的控制下，将所述第二参考信号输出到所述扫描信号输出端；

5 所述第四输出单元具有作为所述扫描信号输出模块的第一控制端的控制端，和作为所述扫描信号输出模块的第二输入端的输入端，所述第四输出单元用于在所述第三节点的控制下，将所述第二时钟信号输出到所述扫描信号输出端。

6、如权利要求5所述的移位寄存器单元，其中所述第三输出单元
10 包括第三开关晶体管和第三电容，其中所述第三开关晶体管的栅极与所述第四节点相连，源极与所述第二参考信号相连，漏极与所述扫描信号输出端相连，所述第三电容连接于所述第四节点和所述第二参考信号端之间。

7、如权利要求5所述的移位寄存器单元，其中所述第四输出单元
15 包括第四开关晶体管和第四电容，其中所述第四开关晶体管的栅极与所述第三节点相连，源极与所述第二时钟信号相连，漏极与所述扫描信号输出端相连，所述第四电容连接于所述第三节点和所述扫描信号输出端之间。

8、如权利要求1所述的移位寄存器单元，其中所述第一控制模块
20 包括第一控制单元和第二控制单元，其中，

所述第一控制单元具有分别作为所述第一控制模块的第一控制端
和第二控制端的第一控制端和第二控制端，以及作为所述第一控制模
块的第二输入端的输入端，所述第一控制单元用于在所述第二节点和
所述第二时钟信号的控制下，将所述第一参考信号输出到所述第五节
25 点；

所述第二控制单元具有作为所述第一控制模块的第三控制端的控
制端和作为所述第一控制模块的第二输入端的输入端，所述第二控制
单元用于在所述第一节点的控制下，将所述第二参考信号输出到所述
第五节点。

9、如权利要求8所述的移位寄存器单元，其中所述第一控制单元
30 包括第五开关晶体管、第六开关晶体管和第五电容，其中，

所述第五开关晶体管的栅极与所述第二节点相连，源极与所述第一参考信号相连，漏极与所述第六开关晶体管的源极相连，

所述第六开关晶体管的栅极与所述第二时钟信号相连，漏极与所述第五节点相连；

5 所述第五电容连接于所述第二节点和所述第二时钟信号之间。

10、如权利要求 8 所述的移位寄存器单元，其中所述第二控制单元包括第七开关晶体管，所述第七开关晶体管的栅极与所述第一节点相连，源极与所述第二参考信号相连，漏极与所述第五节点相连。

10 11、如权利要求 1 所述的移位寄存器单元，其中所述第一输入模块包括第一输入单元和第二输入单元，其中，

所述第一输入单元具有作为所述第一输入模块的第一控制端的控制端，作为所述第一输入模块的第三输入端的第一输入端，以及作为所述第一输入模块的第二输入端的第二输入端，所述第一输入单元用于在所述第一时钟信号的控制下，将所述第一信号和所述第一参考信号分别输出到所述第一节点和所述第二节点；

所述第二输入单元具有作为所述第一输入模块的第二控制端的控制端，和作为所述第一输入模块的第一输入端的输入端，所述第二输入单元用于在所述第一节点的控制下，将所述第一时钟信号输出到所述第二节点。

20 12、如权利要求 11 所述的移位寄存器单元，其中所述第一输入单元包括第八开关晶体管和第九开关晶体管，其中，

所述第八开关晶体管的栅极与所述第一时钟信号相连，源极与所述第一信号相连，漏极与所述第一节点相连；

25 所述第九开关晶体管的栅极与所述第一时钟信号相连，源极与所述第一参考信号相连，漏极与所述第二节点相连。

13、如权利要求 11 所述的移位寄存器单元，其中所述第二输入单元包括第十开关晶体管，所述第十开关晶体管的栅极与所述第一节点相连，源极与所述第一时钟信号相连，漏极与所述第二节点相连。

30 14、如权利要求 1 所述的移位寄存器单元，其中所述第二输入模块包括第三输入单元和第四输入单元，其中，

所述第三输入单元具有作为所述第二输入模块的第一控制端的控制端，作为所述第二输入模块的第三输入端的第一输入端与，以及作

为所述第二输入模块的第二输入端的第二输入端，所述第三输入单元用于在所述第一时钟信号的控制下，将所述第二信号和所述第一参考信号分别输出到所述第三节点和所述第四节点，

5 所述第四输入单元具有作为所述第二输入模块的第二控制端的控制端，以及作为所述第二输入模块的第一输入端的输入端，所述第四输入单元用于在所述第三节点的控制下，将所述第一时钟信号输出到所述第四节点。

15、如权利要求 14 所述的移位寄存器单元，其中所述第三输入单元包括第十一开关晶体管和第十二开关晶体管，其中，

10 所述第十一开关晶体管的栅极与所述第一时钟信号相连，源极与所述第二信号相连，漏极与所述第三节点相连，

所述第十二开关晶体管的栅极与所述第一时钟信号相连，源极与所述第一参考信号相连，漏极与所述第四节点相连。

16、如权利要求 14 所述的移位寄存器单元，其中所述第四输入单元包括第十三开关晶体管，所述第十三开关晶体管的栅极与所述第三节点相连，源极与所述第一时钟信号相连，漏极与所述第四节点相连。

17、如权利要求 1-16 任一项所述的移位寄存器单元，其中所述第二控制模块包括第十四开关晶体管、第十五开关晶体管和第十六开关晶体管，其中，所述第十四开关晶体管的栅极与所述第四节点相连，
20 源极与所述第二参考信号相连，漏极分别与第十五开关晶体管的源极和第十六开关晶体管的源极相连，所述第十五开关晶体管的栅极与所述第一节点相连，漏极与所述第三节点相连，所述第十六开关晶体管的栅极与所述第五节点相连，漏极与所述第三节点相连。

18、一种栅极驱动电路，包括级联的多个如权利要求 1-17 任一项
25 所述的移位寄存器单元；除最后一个移位寄存器单元之外，其余每个移位寄存器单元的发光信号输出端均向与其相邻的下一级移位寄存器单元输入用于所述下一级移位寄存器单元的第一信号，扫描信号输出端均向与其相邻的下一级移位寄存器单元输入用于所述下一级移位寄存器单元的第二信号。

30 19、如权利要求 18 所述的栅极驱动电路，其中提供给所述级联的多个移位寄存器单元中的第一个移位寄存器单元的第一信号和第二信

号分别是用于产生所述发光信号的第一触发信号和用于产生所述扫描信号的第二触发信号。

20、一种显示面板，包括如权利要求 19 所述的栅极驱动电路。

21、一种显示装置，包括如权利要求 20 所述的显示面板。

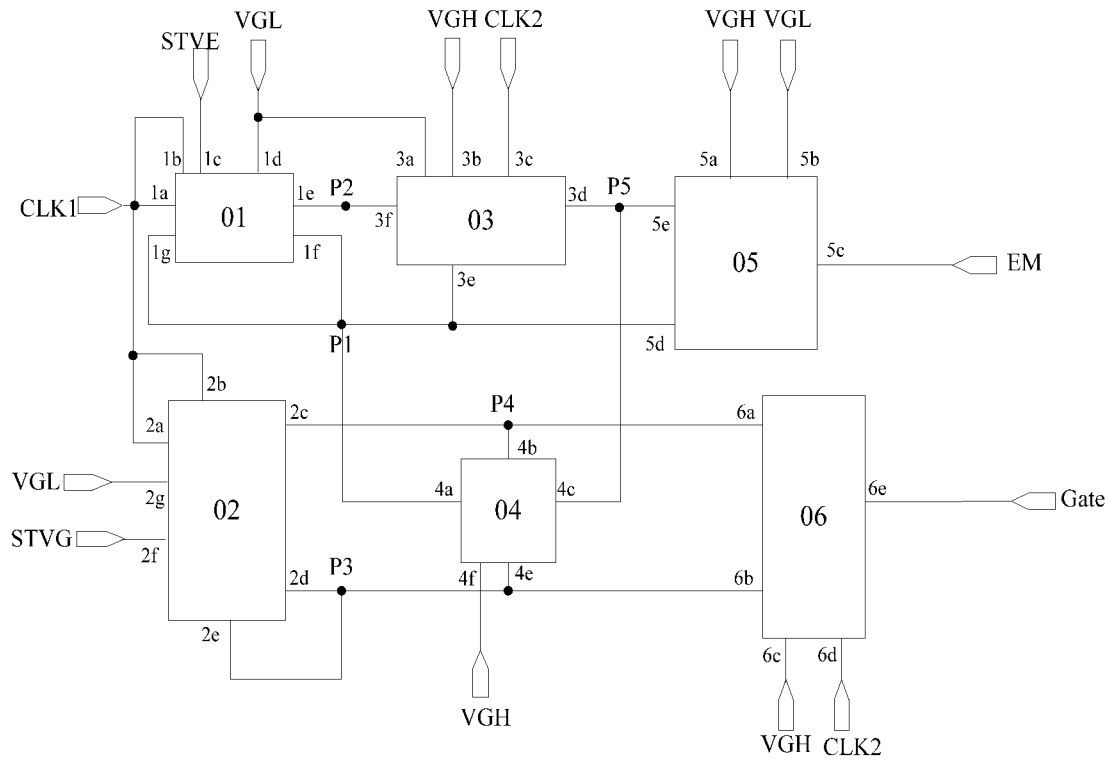


图 1

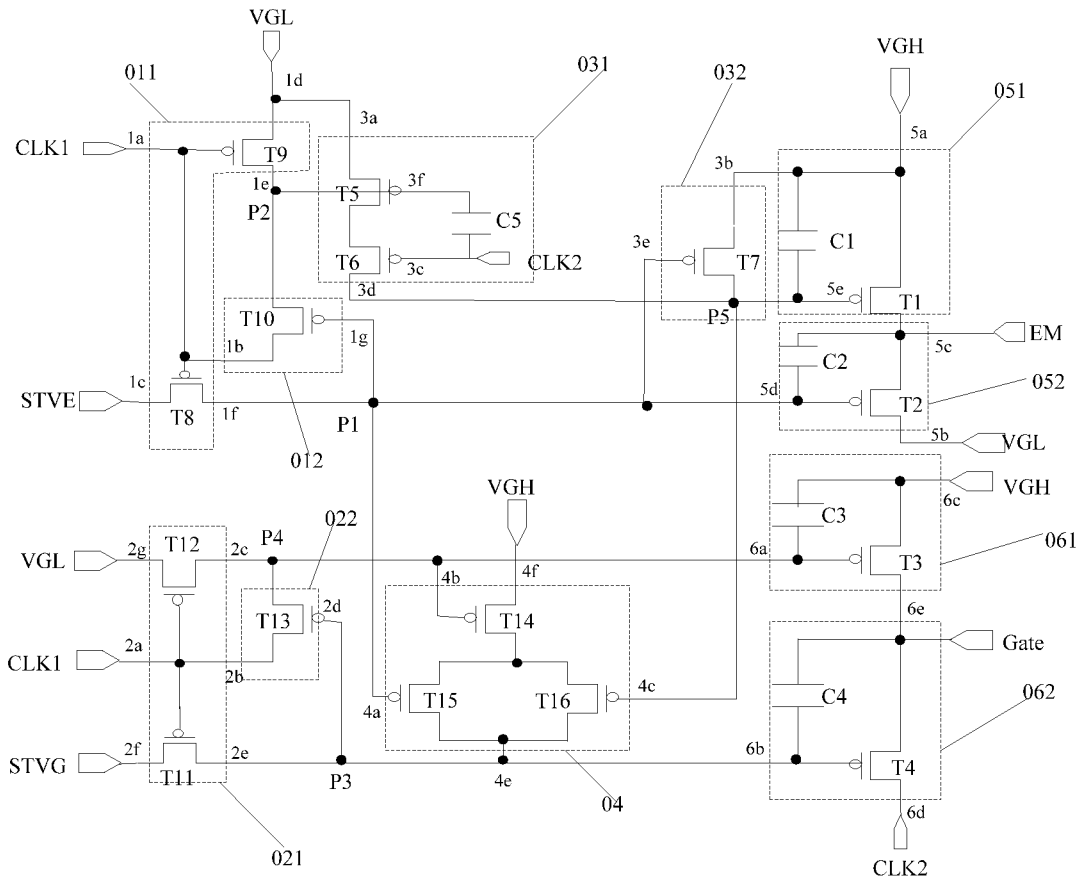


图 2

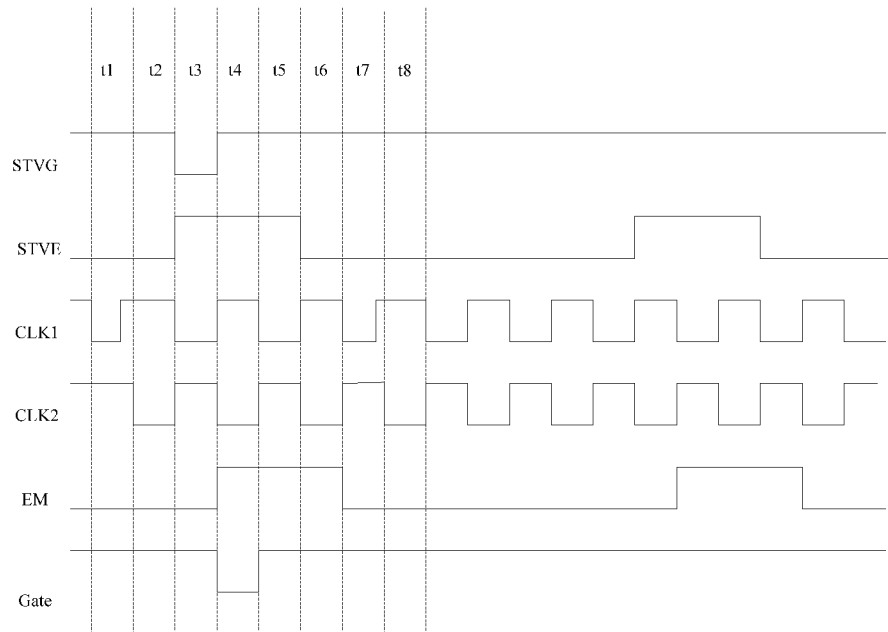


图 3

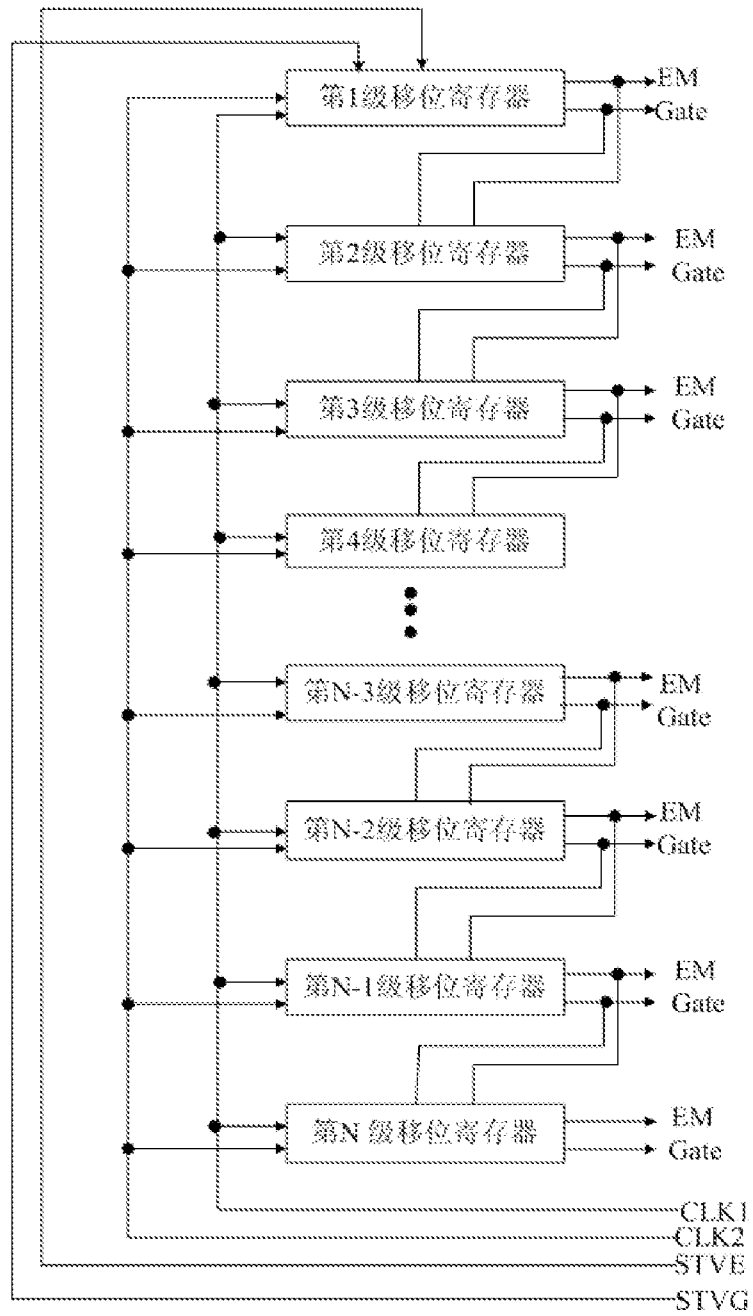


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/098180

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i; G09G 3/3266 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: BOE; shift register, drive, light-emitting shifting register, scanning shifting register, luminescence, output, combination, first, control, input, VGH, VGL, OLED, shift+, register, gate, driver, scan+, integrate+, module, clock, elk?, start, up, trigger

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105702295 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 June 2016 (22.06.2016). , description, paragraphs [0070]-[0113], and figures 1-4	1-21
A	CN 105096889 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 25 November 2015 (25.11.2015), description, paragraphs [0057] -[0066], and figure 1	1-21
A	CN 104900268 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. et al.), 09 September 2015 (09.09.2015), the whole document	1-21
A	US 9236008 B2 (AU OPTRONICS CORP.), 12 January 2016 (12.01.2016), the whole document	1-21
A	US 2011193892 A I (EOM, K.M.), 11 August 2011 (11.08.2011), the whole document	1-21

II Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 November 2016 (29.11.2016)	Date of mailing of the international search report 12 December 2016 (12.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer FU Yuan Telephone No.: (86-10) 62413653

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/098180

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105702295 A	22 June 2016	None	
CN 105096889 A	25 November 2015	None	
CN 104900268 A	09 September 2015	None	
US 9236008 B2	12 January 2016	TW 1497473 B	21 August 2015
		US 2015022428 A I	22 January 2015
		CN 103456269 B	08 July 2015
		TW 201505010 A	01 February 2015
		CN 103456269 A	18 December 2013
US 201 1193892 A I	11 August 2011	KR 101056434 B I	11 August 2011
		JP 2011164606 A	25 August 2011
		JP 5404663 B 2	05 February 2014
		US 8629889 B 2	14 January 2014
		CN 102148009 B	22 October 2014
		CN 102148009 A	10 August 2011

<p>A. 主题的分类</p> <p>G11C 19/28 (2006. 01) i; G09G 3/3266 (2016. 01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G11C; G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNPAT ,CNKI ,WPI ,EPODOC ,IEEE :京东方, 移位寄存器, 位移寄存器, 栅极, 驱动, 发光移位寄存器, 扫描移位寄存器, 发光, 扫描, 输出, 整合, 合并, 第一, 模块, 时钟, 启动, 起始, 触发, 控制, 输入, VGH, VGL, OLED, shift+, register, gate, driver, scan+, integrate+, module, clock, clk?, start, up, trigger</p>																				
<p>c. 相关文件</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">类 型*</th> <th style="width: 70%;">引用文件, 必要时, 指明相关段落</th> <th style="width: 20%;">相关的权利要求</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">PX</td> <td>CN 105702295 A (京东方科技集团股份有限公司) 2016 年 6 月 22 日 (2016 - 06 - 22) 说明书第 [0070] - [01 13] 段, 图 1-4</td> <td style="text-align: center;">1-21</td> </tr> <tr> <td style="text-align: center;">A</td> <td>CN 105096889 A (京东方科技集团股份有限公司等) 2015 年 11 月 25 日 (2015 - 11 - 25) 说明书第 [0057] - [0066] 段, 图 1</td> <td style="text-align: center;">1-21</td> </tr> <tr> <td style="text-align: center;">A</td> <td>CN 104900268 A (上海天马有机发光显示技术有限公司等) 2015 年 9 月 9 日 (2015 - 09 - 09) 全文</td> <td style="text-align: center;">1-21</td> </tr> <tr> <td style="text-align: center;">A</td> <td>US 9236008 B2 (AU OPTRONICS CORP.) 2016 年 1 月 12 日 (2016 - 01 - 12) 全文</td> <td style="text-align: center;">1-21</td> </tr> <tr> <td style="text-align: center;">A</td> <td>US 201 1193892 A1 (EOM, KI-MYEONG) 2011 年 8 月 11 日 (2011 - 08 - 11) 全文</td> <td style="text-align: center;">1-21</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105702295 A (京东方科技集团股份有限公司) 2016 年 6 月 22 日 (2016 - 06 - 22) 说明书第 [0070] - [01 13] 段, 图 1-4	1-21	A	CN 105096889 A (京东方科技集团股份有限公司等) 2015 年 11 月 25 日 (2015 - 11 - 25) 说明书第 [0057] - [0066] 段, 图 1	1-21	A	CN 104900268 A (上海天马有机发光显示技术有限公司等) 2015 年 9 月 9 日 (2015 - 09 - 09) 全文	1-21	A	US 9236008 B2 (AU OPTRONICS CORP.) 2016 年 1 月 12 日 (2016 - 01 - 12) 全文	1-21	A	US 201 1193892 A1 (EOM, KI-MYEONG) 2011 年 8 月 11 日 (2011 - 08 - 11) 全文	1-21
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 105702295 A (京东方科技集团股份有限公司) 2016 年 6 月 22 日 (2016 - 06 - 22) 说明书第 [0070] - [01 13] 段, 图 1-4	1-21																		
A	CN 105096889 A (京东方科技集团股份有限公司等) 2015 年 11 月 25 日 (2015 - 11 - 25) 说明书第 [0057] - [0066] 段, 图 1	1-21																		
A	CN 104900268 A (上海天马有机发光显示技术有限公司等) 2015 年 9 月 9 日 (2015 - 09 - 09) 全文	1-21																		
A	US 9236008 B2 (AU OPTRONICS CORP.) 2016 年 1 月 12 日 (2016 - 01 - 12) 全文	1-21																		
A	US 201 1193892 A1 (EOM, KI-MYEONG) 2011 年 8 月 11 日 (2011 - 08 - 11) 全文	1-21																		
<p><input type="checkbox"/> 其余文件在 c 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“?” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> </td> <td style="width: 50%; vertical-align: top;"> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p> </td> </tr> </table>			<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“?” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“?” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																			
<p>国际检索实际完成的日期</p> <p style="text-align: center;">2016 年 11 月 29 日</p>	<p>国际检索报告邮寄日期</p> <p style="text-align: center;">2016 年 12 月 12 日</p>																			
<p>ISA/CN 的名称和邮寄地址</p> <p style="text-align: center;">中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路 6 号 100088</p> <p>传真号 (86-10) 62019451</p>	<p>受权官员</p> <p style="text-align: center;">傅 远</p> <p>电话号码 (86-10) 62413653</p>																			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/098180

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105702295	A	2016年6月22日	无			
CN	105096889	A	2015年11月25日	无			
CN	104900268	A	2015年9月9日	无			
US	9236008	B2	2016年1月12日	TW	1497473	B	2015年8月21日
				us	2015022428	A1	2015年1月22日
				CN	103456269	B	2015年7月8日
				TW	201505010	A	2015年2月10日
				CN	103456269	A	2013年12月18日
US	2011193892	A1	2011年8月11日	KR	101056434	B1	2011年8月11日
				JP	2011164606	A	2011年8月25日
				JP	5404663	B2	2014年2月5日
				us	8629889	B2	2014年1月14日
				CN	102148009	B	2014年10月22日
				CN	102148009	A	2011年8月10日