

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum

Internationales Büro

(43) Internationales Veröffentlichungsdatum
16. Januar 2014 (16.01.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/009243 A2

- (51) **Internationale Patentklassifikation:** Nicht klassifiziert
- (21) **Internationales Aktenzeichen:** PCT/EP2013/064129
- (22) **Internationales Anmeldedatum:** 4. Juli 2013 (04.07.2013)
- (25) **Einreichungssprache:** Deutsch
- (26) **Veröffentlichungssprache:** Deutsch
- (30) **Angaben zur Priorität:** 10 2012 212 304.0 13. Juli 2012 (13.07.2012) DE
- (71) **Anmelder:** SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).
- (72) **Erfinder:** ECKELMANN-WENDT, Uwe; Am Forst 11, 38302 Wolfenbüttel (DE).
- (81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP,

KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

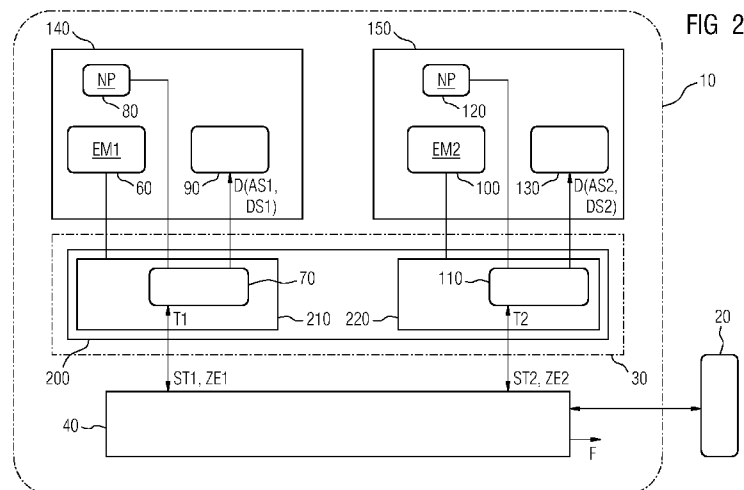
(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)

(54) **Title:** ARRANGEMENT HAVING A MICROPROCESSOR SYSTEM

(54) **Bezeichnung :** ANORDNUNG MIT EINEM MIKROPROZESSORSYSTEM



(57) **Abstract:** The invention relates to an arrangement (10) having a microprocessor system (30) which is programmed in such a manner that redundant data processing is carried out, wherein the same useful program (NP) is executed at least twice, and having a comparison module (40) which compares the results of the at least two program execution operations with one another. According to the invention, the microprocessor system (30) is programmed in such a manner that at least two emulators (EM1, EM2) emulate different microprocessors (70, 110) in terms of software on said microprocessor system, each of the at least two emulated microprocessors (70, 110) executes the same useful program (NP) on a microprocessor-specific basis, and the results from the at least two emulated microprocessors (70, 110) are compared using the comparison module (40).

(57) **Zusammenfassung:**

[Fortsetzung auf der nächsten Seite]



WO 2014/009243 A2



Die Erfindung bezieht sich auf eine Anordnung (10) mit einem Mikroprozessorsystem (30), das derart programmiert ist, dass eine redundante Datenverarbeitung erfolgt, wobei das gleiche Nutzprogramm (NP) zumindest zweimal ausgeführt wird, und einem Vergleichsbaustein (40), der die Ergebnisse der zumindest zwei Programmausführungen miteinander vergleicht. Erfindungsgemäß ist vorgesehen, dass das Mikroprozessorsystem (30) derart programmiert ist, dass auf diesem zumindest zwei Emulatoren (EM1, EM2) unterschiedliche Mikroprozessoren (70, 110) softwaremäßig nachbilden, jeder der zumindest zwei nachgebildeten Mikroprozessoren (70, 110) das gleiche Nutzprogramm (NP) mikroprozessorindividuell ausführt und die Ergebnisse der zumindest zwei nachgebildeten Mikroprozessoren (70, 110) mit dem Vergleichsbaustein (40) verglichen werden.

Beschreibung

Anordnung mit einem Mikroprozessorsystem

5 Die Erfindung bezieht sich auf eine Anordnung mit den Merkmalen gemäß dem Oberbegriff des Patentanspruchs 1.

Eine derartige Anordnung ist aus der deutschen Offenlegungsschrift DE 197 16 197 A1 bekannt. Bei dieser Anordnung ist
10 ein Mikroprozessorsystem vorgesehen, das derart programmiert ist, dass eine redundante Datenverarbeitung erfolgt. Hierzu wird das gleiche Nutzprogramm zumindest zweimal ausgeführt, und es werden mit einem Vergleichsbaustein die Ergebnisse der zumindest zwei Programmausführungen miteinander verglichen.

15

Der Erfindung liegt die Aufgabe zugrunde, eine Anordnung anzugeben, bei der ein Fehlverhalten besonders zuverlässig erkannt werden kann.

20 Diese Aufgabe wird erfindungsgemäß durch eine Anordnung mit den Merkmalen gemäß Patentanspruch 1 gelöst. Vorteilhafte Ausgestaltungen der erfindungsgemäßen Anordnung sind in Unteransprüchen angegeben.

25 Danach ist erfindungsgemäß vorgesehen, dass das Mikroprozessorsystem derart programmiert ist, dass auf diesem zumindest zwei Emulatoren unterschiedliche Mikroprozessoren softwaremäßig nachbilden, jeder der zumindest zwei nachgebildeten Mikroprozessoren das gleiche Nutzprogramm mikroprozessorindividuell ausführt und die Ergebnisse der zumindest zwei nachgebildeten Mikroprozessoren mit dem Vergleichsbaustein verglichen werden.
30

Ein wesentlicher Vorteil der erfindungsgemäßen Anordnung ist
35 darin zu sehen, dass aufgrund des Einsatzes unterschiedlicher Emulatoren, die unterschiedliche Mikroprozessoren softwaremäßig nachbilden, ein spontanes Fehlverhalten von Hardware zuverlässig erkannt werden kann. Dies ist darauf zurückzuführen.

ren, dass eine unterschiedliche Abarbeitung des Nutzprogramms durch die beiden nachgebildeten Mikroprozessoren erfolgt, weil sich die nachgebildeten Mikroprozessoren voneinander unterscheiden, so dass ein Fehlverhalten von Hardware zu unterschiedlichen Zwischenergebnissen bzw. zu unterschiedlichen Ausgangssignalen führen wird. Ein spontanes Fehlverhalten kann somit sehr zuverlässig erkannt werden.

Um Fehler im Hardwarebereich von Speichern erkennen zu können, wird es als vorteilhaft angesehen, wenn den nachgebildeten Mikroprozessoren jeweils ein Speicherbereich individuell zugeordnet ist.

Die Fehlererkennbarkeit durch Speicherfehler lässt sich besonders zuverlässig und damit vorteilhaft erkennen, wenn die Emulatoren jeweils derart programmiert sind, dass die durch sie nachgebildeten Mikroprozessoren beim Abspeichern und Auslesen von Daten in oder aus dem Speicherbereich jeweils eine Adressstruktur verwenden, die sich von der Adressstruktur zumindest eines der anderen nachgebildeten Mikroprozessoren, vorzugsweise von der Adressstruktur aller anderen nachgebildeten Mikroprozessoren, unterscheidet.

Alternativ oder zusätzlich kann vorgesehen sein, dass auch eine unterschiedliche Datenstruktur beim Speichern verwendet wird; demgemäß wird es als vorteilhaft angesehen, wenn die Emulatoren jeweils derart programmiert sind, dass die durch sie nachgebildeten Mikroprozessoren beim Abspeichern und Auslesen von Daten in oder aus dem Speicherbereich jeweils eine Datenstruktur verwenden, die sich von der Datenstruktur zumindest eines der anderen nachgebildeten Mikroprozessoren, vorzugsweise von der Datenstruktur aller anderen nachgebildeten Mikroprozessoren, unterscheidet.

Das Mikroprozessorsystem kann beispielsweise durch einen einzelnen Prozessor gebildet sein, der in einem Multitasking-Betrieb zwei Emulationsprogramme quasi gleichzeitig durchführt und dabei zumindest zwei Mikroprozessoren nachbildet.

Mit Blick auf eine besonders hohe Sicherheit bei der Fehlererkennung wird es jedoch als vorteilhaft angesehen, wenn das Mikroprozessorsystem zumindest zwei oder mehr Einzelprozessoren und/oder zumindest zwei oder mehr Prozessorkerne aufweist, die parallel und unabhängig voneinander arbeiten.

Mit Blick auf geringe Kosten der Anordnung wird es als vorteilhaft angesehen, wenn das Mikroprozessorsystem einen Multikernprozessor umfasst, der zumindest zwei Prozessorkerne aufweist. Vorzugsweise führt jeder Prozessorkern jeweils einen individuell zugeordneten Emulator aus.

Als besonders vorteilhaft wird es angesehen, wenn die Prozessorkerne, die einen Emulator ausführen, jeweils einen Mikroprozessor nachbilden, der sich von den nachgebildeten Mikroprozessoren eines jeden der anderen Prozessorkerne unterscheidet.

Mit Blick auf eine optimale Arbeitsweise des Vergleichsbausteins wird es als vorteilhaft angesehen, wenn die zumindest zwei Emulatoren von den jeweils individuell zugeordneten Prozessorkernen parallel ausgeführt werden, jeweils in denselben vorgegebenen Zeitfenstern Eingangsparameter einlesen und jeweils in denselben vorgegebenen Zeitfenstern Ergebnisse an den Vergleichsbaustein ausgeben. Vorzugsweise sind die Emulatoren derart programmiert, dass sie einen regelmäßigen oder zyklischen Vergleich der Ergebnisse der von ihnen nachgebildeten Prozessoren durch den Vergleichsbaustein ermöglichen.

Eine zur Synchronisation der Emulatoren bzw. der durch sie nachgebildeten Mikroprozessoren dienende "Uhr" kann beispielsweise durch den Vergleichsbaustein gebildet werden.

Die Erfindung bezieht sich darüber hinaus auf ein Verfahren zum Betreiben einer Anordnung mit einem Mikroprozessorsystem, wobei bei dem Verfahren eine redundante Datenverarbeitung erfolgt, indem das gleiche Nutzprogramm zumindest zweimal aus-

geführt wird, und die Ergebnisse der zumindest zwei Programmausführungen mit einem Vergleichsbaustein verglichen werden.

5 Erfindungsgemäß ist vorgesehen, dass mit dem Mikroprozessorsystem zumindest zwei Emulatoren betrieben werden und unterschiedliche Mikroprozessoren softwaremäßig nachgebildet werden, jeder der zumindest zwei nachgebildeten Mikroprozessoren das gleiche Nutzprogramm mikroprozessorindividuell ausführt und die Ergebnisse der zumindest zwei nachgebildeten Mikroprozessoren mit dem Vergleichsbaustein verglichen werden.
10

Bezüglich der Vorteile des erfindungsgemäßen Verfahrens sei auf die obigen Ausführungen im Zusammenhang mit der erfindungsgemäßen Anordnung verwiesen, da die Vorteile der erfindungsgemäßen Anordnung denen des erfindungsgemäßen Verfahrens im Wesentlichen entsprechen.
15

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen näher erläutert; dabei zeigen beispielhaft
20

Figur 1 ein erstes Ausführungsbeispiel für eine erfindungsgemäße Anordnung, anhand derer auch das erfindungsgemäße Verfahren beispielhaft erläutert wird, wobei bei der Anordnung ein Mikroprozessorsystem zwei separate Prozessoren umfasst,
25

Figur 2 ein zweites Ausführungsbeispiel für eine erfindungsgemäße Anordnung, bei der ein Mikroprozessorsystem durch einen Multikernprozessor gebildet ist, der zwei Prozessorkerne aufweist,
30

Figur 3 ein drittes Ausführungsbeispiel für eine erfindungsgemäße Anordnung, bei der die Abspeicherung von Daten in einer gegenüber den Ausführungsbeispielen gemäß Figur 1 und 2 modifizierten Form erfolgt, und
35

Figur 4 ein viertes Ausführungsbeispiel für eine erfindungsgemäße Anordnung, bei der ein einziger Prozessor zwei Mikroprozessoren nachbildet.

5 In den Figuren werden der Übersicht halber für identische oder vergleichbare Komponenten stets dieselben Bezugszeichen verwendet.

10 In der Figur 1 erkennt man eine Anordnung 10 zur Steuerung einer technischen Einrichtung 20, bei der es sich beispielsweise um eine Eisenbahngleisanlage oder um ein Schienenfahrzeug für eine Eisenbahngleisanlage handeln kann.

15 Die Anordnung 10 umfasst ein Mikroprozessorsystem 30, das über einen Vergleichsbaustein 40 mit der technischen Einrichtung 20 in Verbindung steht. Das Mikroprozessorsystem 30 weist zwei oder mehr Prozessoren auf, von denen in der Figur 1 aus Gründen der Übersicht lediglich zwei dargestellt sind, nämlich ein erster Prozessor 45 sowie ein zweiter Prozessor 20 50. Die beiden Prozessoren 45 und 50 können beispielsweise baugleich oder identisch sein.

25 Der erste Prozessor 45 führt ein Emulationsprogramm EM1 aus, das in einem Speicherbereich 60 abgespeichert ist. Durch die Durchführung des Emulationsprogramms EM1 bildet der erste Prozessor 45 einen Mikroprozessor 70 einer ersten Art, beispielsweise einen Prozessor des Typs Intel 80386.

30 Der durch den ersten Prozessor 45 nachgebildete Mikroprozessor 70 führt ein Nutzprogramm NP aus, bei dem es sich vorzugsweise um ein Steuerprogramm handelt, mit dem sich Steuerungssignale ST1 zur Steuerung der technischen Einrichtung 20 erzeugen lassen. Das Nutzprogramm NP ist bei dem Ausführungsbeispiel gemäß Figur 1 in einem Speicherbereich 80 abgespeichert. 35

Im Rahmen der Bearbeitung des Nutzprogramms NP durch den vom ersten Prozessor 45 nachgebildeten Mikroprozessor 70 werden

Daten in einem Speicherbereich 90 abgespeichert sowie Daten aus diesem Speicherbereich 90 ausgelesen. Beim Abspeichern und Auslesen dieser Daten wird der Mikroprozessor 70 eine erste Adressstruktur AS1 sowie eine erste Datenstruktur DS1 verwenden. Die unter Berücksichtigung dieser ersten Adressstruktur AS1 und dieser ersten Datenstruktur DS1 abgespeicherten und ausgelesenen Daten sind in der Figur 1 mit dem Bezugszeichen $D(AS1, DS1)$ bezeichnet.

10 Als Adressstruktur kann beispielsweise eine lineare oder transformierte, insbesondere eine verwürfelte Adressstruktur verwendet werden.

Als Datenstruktur für die Datenablage der vom Emulator verwendeten Datenwörter werden die Datenwörter transformiert, zum Beispiel durch Bitvertauschung oder arithmetische Operationen, wie beispielsweise durch Multiplizieren mit einer Primzahl.

20 Der zweite Prozessor 50 führt ein zweites Emulationsprogramm EM2 aus, das in einem Speicherbereich 100 abgespeichert ist. Das Emulationsprogramm EM2 unterscheidet sich von dem Emulationsprogramm EM1, das von dem ersten Prozessor 45 ausgeführt wird. Konkret wird der zweite Prozessor 50 im Rahmen der Ausführung des zweiten Emulationsprogramms EM2 einen zweiten Mikroprozessor 110 nachbilden, der sich von dem ersten Mikroprozessor 70, der von dem ersten Prozessor 45 nachgebildet wird, unterscheidet, jedoch den identischen Befehlssatz interpretiert. Der durch den zweiten Prozessor 50 durch die Emulation nachgebildete zweite Mikroprozessor 110 führt ein Nutzprogramm NP aus, das in einem Speicherbereich 120 abgespeichert ist. Das Nutzprogramm NP im Speicherbereich 120 entspricht dem Nutzprogramm NP, das in dem Speicherbereich 80 abgespeichert ist. Die beiden Nutzprogramme NP in den beiden Speicherbereichen 80 und 120 sind also gleich bzw. identisch, es handelt sich also um ein und dasselbe Nutzprogramm.

Im Rahmen der Bearbeitung des Nutzprogramms NP des Speicherbereichs 120 wird der zweite Mikroprozessor 110 Daten erzeugen, die er in einem Speicherbereich 130 abspeichert. Im Rahmen dieser Abspeicherung der Daten wird der zweite Mikroprozessor 110 eine zweite Adressstruktur AS2 sowie eine zweite Datenstruktur DS2 heranziehen, die sich von der ersten Adressstruktur AS1 und der ersten Datenstruktur DS1, die von dem ersten Mikroprozessor 70 verwendet werden, unterscheiden. Durch diese Maßnahme wird erreicht, dass die Datensätze, die in den beiden Speicherbereichen 90 und 130 abgespeichert sind, stets unterschiedlich sind, auch wenn die beiden nachgebildeten Mikroprozessoren 70 und 110 aufgrund der Abarbeitung des gleichen Nutzprogramms NP inhaltsgleiche Daten erzeugen. Aufgrund der Unterschiedlichkeit der Adressstruktur und aufgrund der Unterschiedlichkeit der Datenstruktur ist sichergestellt, dass sich Fehler beim Abspeichern und Lesen in den beiden Speicherbereichen 90 und 130 in unterschiedlicher Weise zeigen werden, so dass diese Fehler zu unterschiedlichen Ausgangssignalen und unterschiedlichen Steuersignalen ST1 und ST2 führen müssten. Entsprechendes gilt für Zwischenergebnisse ZE1 und ZE2, die von den beiden nachgebildeten Mikroprozessoren 70 und 110 zum Zwecke der Kontrolle und des Vergleichs zum Vergleichsbaustein 40 übersandt werden.

25

Die beiden Prozessoren 45 und 50, mit denen die beiden Mikroprozessoren 70 und 110 mittels Emulation nachgebildet werden, können baugleich oder unterschiedlich sein, wichtig ist nur, dass die beiden Prozessoren 45 und 50 unterschiedliche Mikroprozessoren bzw. Mikroprozessoren in unterschiedlicher Art nachbilden.

30

Die Zuordnung der Speicherbereiche 60, 80, 90, 100, 120 und 130 zu physikalischen Speicherbausteinen ist prinzipiell beliebig. Bei dem Ausführungsbeispiel gemäß Figur 1 wird es als vorteilhaft angesehen, wenn die Speicherbereiche 60, 80 und 90 in einem individuellen Speichermodul 140 und die Speicherbereiche 100, 120 und 130 in einem individuellen Speichermodul

35

dul 150 vorgesehen werden, das von dem Speichermodul 140 getrennt ist.

Wie beschrieben, werden die beiden Prozessoren 45 und 50 unterschiedliche Mikroprozessoren 70 und 110 nachbilden, die
5 das gleiche Nutzprogramm NP ausführen. Der Vergleichsbaustein 40 hat nun die Aufgabe, die von den beiden nachgebildeten Mikroprozessoren 70 und 110 ermittelten Zwischenergebnisse ZE1 und ZE2 miteinander zu vergleichen und im Falle einer etwaigen Abweichung ein Fehlersignal F zu erzeugen. In entsprechender Weise wird der Vergleichsbaustein 40 die Steuersignale ST1 und ST2 miteinander vergleichen, die von den beiden nachgebildeten Mikroprozessoren 70 und 110 gebildet werden. In dieser Weise kann der Vergleichsbaustein 40 regelmäßig
10 bzw. zyklisch überprüfen, ob die beiden nachgebildeten Mikroprozessoren 70 und 110 bei Ausführung des gleichen Nutzprogramms NP dieselben Ergebnisse liefern.

Um einen zyklischen Vergleich der Ergebnisse durch den Vergleichsbaustein 40 zu ermöglichen bzw. zu vereinfachen, wird es als vorteilhaft angesehen, wenn der Vergleichsbaustein 40 eine Art "Grobuhr" für die beiden nachgebildeten Mikroprozessoren 70 und 110 bildet. Eine solche "Grobuhr" kann beispielsweise durch das Übermitteln von Triggersignalen T1 bzw.
25 T2 oder entsprechender Taktsignale erfolgen, mit denen die Abarbeitung bestimmter Abschnitte des Nutzprogramms NP bei den beiden nachgebildeten Mikroprozessoren 70 und 110 ausgelöst bzw. Zwischenergebnisse ZE1 bzw. ZE2 oder Steuersignale ST1 bzw. ST2 von den beiden nachgebildeten Mikroprozessoren
30 70 und 110 abgefragt werden.

Die Figur 2 zeigt ein zweites Ausführungsbeispiel für eine Anordnung 10, die zum Steuern einer technischen Einrichtung
20 geeignet ist.

35

Bei dem Ausführungsbeispiel gemäß Figur 2 wird das Mikroprozessorsystem 30 durch einen Multikernprozessor 200 gebildet, der zwei oder mehr Prozessorkerne aufweist. Bei dem Ausführungs-

rungsbeispiel gemäß Figur 2 sind lediglich zwei Prozessorkerne gezeigt, nämlich ein erster Prozessorkern 210 sowie ein zweiter Prozessorkern 220.

5 Der erste Prozessorkern 210 führt ein erstes Emulationsprogramm EM1 aus, das in einem Speicherbereich 60 abgespeichert ist. Durch den ersten Prozessorkern 210 wird somit ein erster Mikroprozessor 70 nachgebildet. Insoweit entspricht die Arbeitsweise des ersten Prozessorkerns 210 der Arbeitsweise des
10 ersten Prozessors 45 gemäß Figur 1, so dass auf die obigen Ausführungen verwiesen sei. Der von dem ersten Prozessorkern 210 nachgebildete Mikroprozessor 70 wird in der oben beschriebenen Weise unter Heranziehung der ersten Adressstruktur AS1 und der ersten Datenstruktur DS1 Daten in einem Speicherbereich 90 abspeichern oder auslesen und dabei das Nutz-
15 programm NP ausführen.

Der zweite Prozessorkern 220 entspricht von seiner Arbeitsweise her dem zweiten Prozessor 50 gemäß Figur 1. Der zweite
20 Prozessorkern 220 wird ein zweites Emulationsprogramm EM2 ausführen, das in einem Speicherbereich 100 abgespeichert ist, und einen Mikroprozessor 110 nachbilden. Die Arbeitsweise des nachgebildeten Mikroprozessors 110 entspricht der Arbeitsweise des Mikroprozessors 110, wie er bereits im Zusammenhang mit der Figur 1 erläutert worden ist.
25

Auch die Arbeitsweise des Vergleichsbausteins 40 kann mit der Arbeitsweise des Vergleichsbausteins 40 gemäß Figur 1 identisch sein, so dass auf die obigen Ausführungen verwiesen
30 sei.

Die Figur 3 zeigt ein drittes Ausführungsbeispiel für eine Anordnung 10 zur Steuerung einer technischen Einrichtung 20. Bei diesem Ausführungsbeispiel steht ein Multikernprozessor
35 200, der mit zwei Prozessorkernen 210 und 220 ausgestaltet ist, mit einem einzigen Speichermodul 300 in Verbindung, in dem sechs Speicherbereiche 60, 80, 90, 100, 120 und 130 vorgesehen sind. Die Speicherbereiche entsprechen den Speicher-

bereichen 60, 80, 90, 100, 120 und 130 bei den Ausführungsbeispielen gemäß den Figuren 1 und 2, deren Funktionsweise bereits im Zusammenhang mit den Figuren 1 und 2 oben erläutert wurde.

5

Die beiden Prozessorkerne 210 und 220 werden auf das Speichermodul 300 bzw. auf die in dem Speichermodul 300 vorhandenen Speicherbereiche 60, 80, 90, 100, 120 und 130 zurückgreifen, um Mikroprozessoren 70 und 110 nachzubilden, wie dies bereits im Zusammenhang mit der Figur 2 erläutert wurde, und der Vergleichsbaustein 40 wird die Zwischenergebnisse ZE1 und ZE2 sowie auch die Steuersignale ST1 und ST2 der beiden nachgebildeten Mikroprozessoren 70 und 110 miteinander vergleichen. Im Übrigen sei auf die Ausführungen im Zusammenhang mit der Figur 2 verwiesen, die hier entsprechend gelten.

10
15

Die Figur 4 zeigt ein viertes Ausführungsbeispiel für eine erfindungsgemäße Anordnung 10. Bei diesem Ausführungsbeispiel umfasst das Mikroprozessorsystem 30 lediglich einen einzigen Prozessor 45, der zeitlich verschachtelt bzw. zeitlich parallel im Rahmen eines Multitasking-Verfahrens zwei Emulationsprogramme EM1 und EM2 ausführt, die in zwei Speicherbereichen 60 und 100 abgespeichert sind. Durch die Abarbeitung der beiden Emulationsprogramme EM1 und EM2 bildet der Prozessor 45 zwei Mikroprozessoren 70 und 110 nach, die unterschiedlich sind und das gleiche Nutzprogramm NP in unterschiedlicher Weise abarbeiten, wie dies bereits im Zusammenhang mit den Figuren 1 bis 3 im Detail erläutert worden ist.

20
25

Mit dem Mikroprozessorsystem 30 steht ein Vergleichsbaustein 40 in Verbindung, der die Zwischenergebnisse ZE1 und ZE2 bzw. die Steuersignale ST1 und ST2 der beiden nachgebildeten Mikroprozessoren 70 und 110 miteinander vergleicht. Falls die Zwischenergebnisse ZE1 und ZE2 oder die Steuersignale ST1 und ST2 unterschiedlich sind, wird die Steuerung der technischen Einrichtung 20 blockiert und ein Fehlersignal F erzeugt. Falls die Zwischenergebnisse ZE1 und ZE2 und die Steuersignale ST1 und ST2 gleich sind, wird die Steuerung der techni-

30
35

schen Einrichtung 20 durch die Steuersignale ST1 und ST2 zugelassen. Im Übrigen gelten die Erläuterungen im Zusammenhang mit den Figuren 1 bis 3 entsprechend.

- 5 Obwohl die Erfindung im Detail durch bevorzugte Ausführungsbeispiele näher illustriert und beschrieben wurde, so ist die Erfindung nicht durch die offenbarten Beispiele eingeschränkt und andere Variationen können vom Fachmann hieraus abgeleitet werden, ohne den Schutzzumfang der Erfindung zu verlassen.

Bezugszeichenliste

	10	Anordnung
	20	Einrichtung
5	30	Mikroprozessorsystem
	40	Vergleichsbaustein
	45	erster Prozessor
	50	zweiter Prozessor
	60	Speicherbereich
10	70	Mikroprozessor
	80	Speicherbereich
	90	Speicherbereich
	100	Speicherbereich
	110	Mikroprozessor
15	120	Speicherbereich
	130	Speicherbereich
	140	Speichermodul
	150	Speichermodul
	200	Multikernprozessor
20	210	erster Prozessorkern
	220	zweiter Prozessorkern
	300	Speichermodul
	AS1	erste Adressstruktur
25	AS2	zweite Adressstruktur
	D(AS1, DS1)	Daten
	DS1	erste Datenstruktur
	DS2	zweite Datenstruktur
	EM1	erstes Emulationsprogramm
30	EM2	zweites Emulationsprogramm
	F	Fehlersignal
	NP	Nutzprogramm
	ST1	Steuersignal
	ST2	Steuersignal
35	T1	Triggersignal
	T2	Triggersignal
	ZE1	Zwischenergebnis
	ZE2	Zwischenergebnis

Patentansprüche

1. Anordnung (10) mit einem Mikroprozessorsystem (30), das
derart programmiert ist, dass eine redundante Datenverarbei-
5 tung erfolgt, wobei das gleiche Nutzprogramm (NP) zumindest
zweimal ausgeführt wird, und einem Vergleichsbaustein (40),
der die Ergebnisse der zumindest zwei Programmausführungen
miteinander vergleicht,

d a d u r c h g e k e n n z e i c h n e t, dass

- 10 - das Mikroprozessorsystem (30) derart programmiert ist,
dass auf diesem zumindest zwei Emulatoren (EM1, EM2) un-
terschiedliche Mikroprozessoren (70, 110) softwaremäßig
nachbilden,
- jeder der zumindest zwei nachgebildeten Mikroprozessoren
15 (70, 110) das gleiche Nutzprogramm (NP) mikroprozessorin-
dividuell ausführt und
- die Ergebnisse der zumindest zwei nachgebildeten Mikro-
prozessoren (70, 110) mit dem Vergleichsbaustein (40)
verglichen werden.

20

2. Anordnung (10) nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, dass

den zumindest zwei nachgebildeten Mikroprozessoren (70, 110)
jeweils ein Speicherbereich individuell zugeordnet ist.

25

3. Anordnung (10) nach einem der voranstehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, dass

- die zumindest zwei Emulatoren (EM1, EM2) jeweils derart pro-
grammiert sind, dass die durch sie nachgebildeten Mikropro-
30 zessoren (70, 110) beim Abspeichern und Auslesen von Daten in
oder aus dem Speicherbereich jeweils eine Adressstruktur
(AS1, AS2) verwenden, die sich von der Adressstruktur (AS1,
AS2) zumindest eines der anderen nachgebildeten Mikroprozes-
soren (70, 110), vorzugsweise von der Adressstruktur aller
35 anderen nachgebildeten Mikroprozessoren (70, 110), unter-
scheidet.

4. Anordnung (10) nach einem der voranstehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, dass
die zumindest zwei Emulatoren (EM1, EM2) jeweils derart pro-
grammiert sind, dass die durch sie nachgebildeten Mikropro-
zessoren (70, 110) beim Abspeichern und Auslesen von Daten in
5 oder aus dem Speicherbereich jeweils eine Datenstruktur (DS1,
DS2) verwenden, die sich von der Datenstruktur (DS1, DS2) zu-
mindest eines der anderen nachgebildeten Mikroprozessoren
(70, 110), vorzugsweise von der Datenstruktur aller anderen
nachgebildeten Mikroprozessoren (70, 110), unterscheidet.

10

5. Anordnung (10) nach einem der voranstehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
das Mikroprozessorsystem (30) durch einen Multikernprozessor
(200) gebildet ist, der zumindest zwei Prozessorkerne (210,
15 220) aufweist.

6. Anordnung (10) nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t, dass
die zumindest zwei Emulatoren (EM1, EM2) jeweils von einem
20 individuell zugeordneten Prozessorkern (210, 220) ausgeführt
werden.

7. Anordnung (10) nach Anspruch 6,

d a d u r c h g e k e n n z e i c h n e t, dass
25 die Prozessorkerne (210, 220), die einen Emulator ausführen,
jeweils einen Mikroprozessor (70, 110) nachbilden, der sich
von den nachgebildeten Mikroprozessoren (70, 110) eines jeden
der anderen Prozessorkerne (210, 220) unterscheidet.

30 8. Anordnung (10) nach Anspruch 6 oder 7,

d a d u r c h g e k e n n z e i c h n e t, dass
die zumindest zwei Emulatoren (EM1, EM2) von den jeweils in-
dividuell zugeordneten Prozessorkernen (210, 220) parallel
ausgeführt werden, jeweils in denselben vorgegebenen Zeit-
35 fenstern Eingangparameter einlesen und jeweils in denselben
vorgegebenen Zeitfenstern Ergebnisse an den Vergleichsbau-
stein (40) ausgeben.

9. Anordnung (10) nach einem der voranstehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
die zumindest zwei Emulatoren (EM1, EM2) derart programmiert
sind, dass sie einen regelmäßigen oder zyklischen Vergleich
5 der Ergebnisse (ZE1, ZE2) der von ihnen nachgebildeten Mikro-
prozessoren (70, 110) durch den Vergleichsbaustein (40) er-
möglichen.

10. Verfahren zum Betreiben einer Anordnung (10) mit einem
10 Mikroprozessorsystem (30), wobei bei dem Verfahren eine re-
dundante Datenverarbeitung erfolgt, indem das gleiche Nutz-
programm (NP) zumindest zweimal ausgeführt wird, und die Er-
gebnisse der zumindest zwei Programmausführungen mit einem
Vergleichsbaustein (40) verglichen werden,
15 d a d u r c h g e k e n n z e i c h n e t, dass
- mit dem Mikroprozessorsystem (30) zumindest zwei Emulato-
ren (EM1, EM2) betrieben werden und unterschiedliche Mik-
roprozessoren (70, 110) softwaremäßig nachgebildet wer-
den,
20 - jeder der zumindest zwei nachgebildeten Mikroprozessoren
(70, 110) das gleiche Nutzprogramm (NP) mikroprozessorin-
dividuell ausführt und
- die Ergebnisse der zumindest zwei nachgebildeten Mikro-
prozessoren (70, 110) mit dem Vergleichsbaustein (40)
25 verglichen werden.

FIG 1

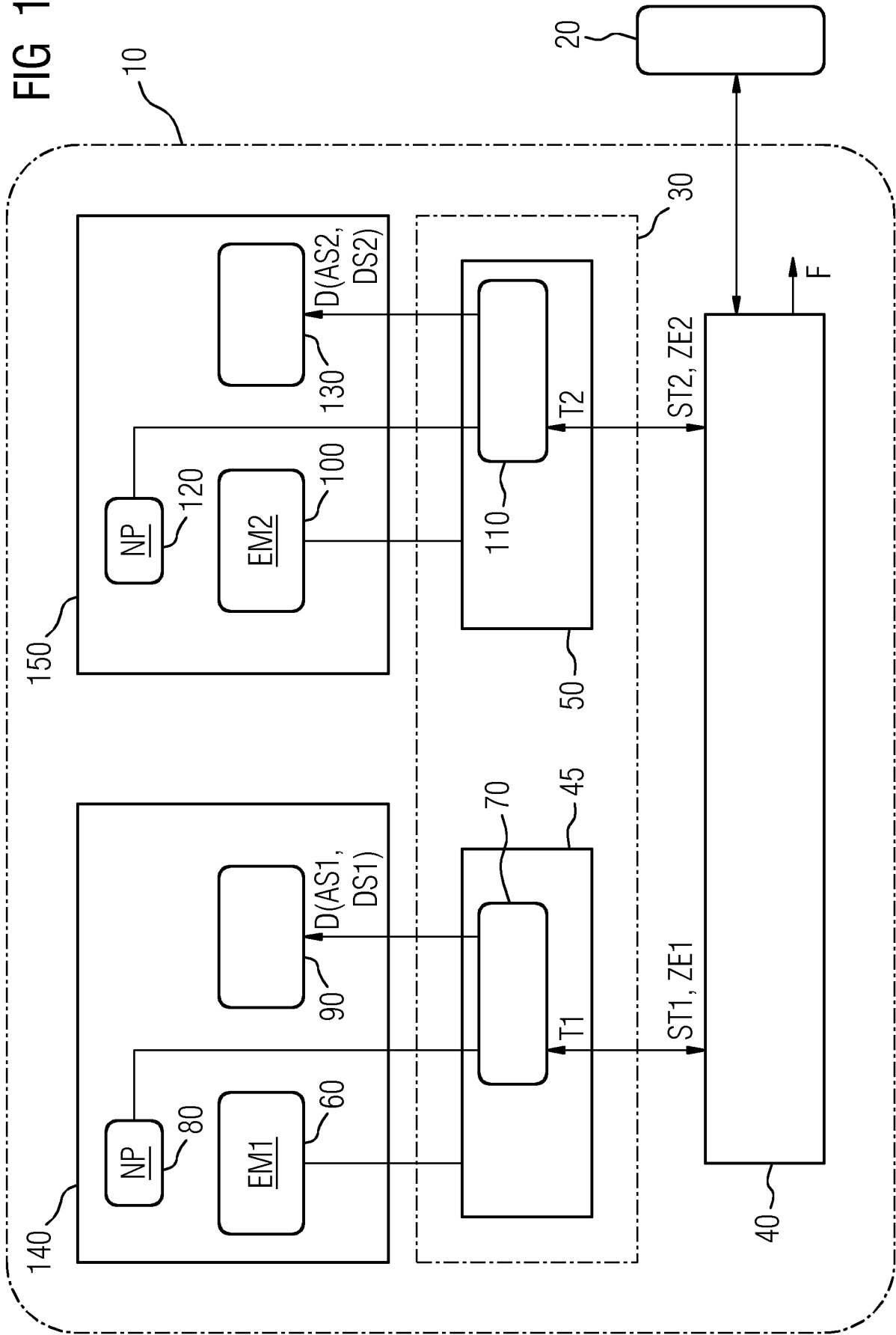


FIG 2

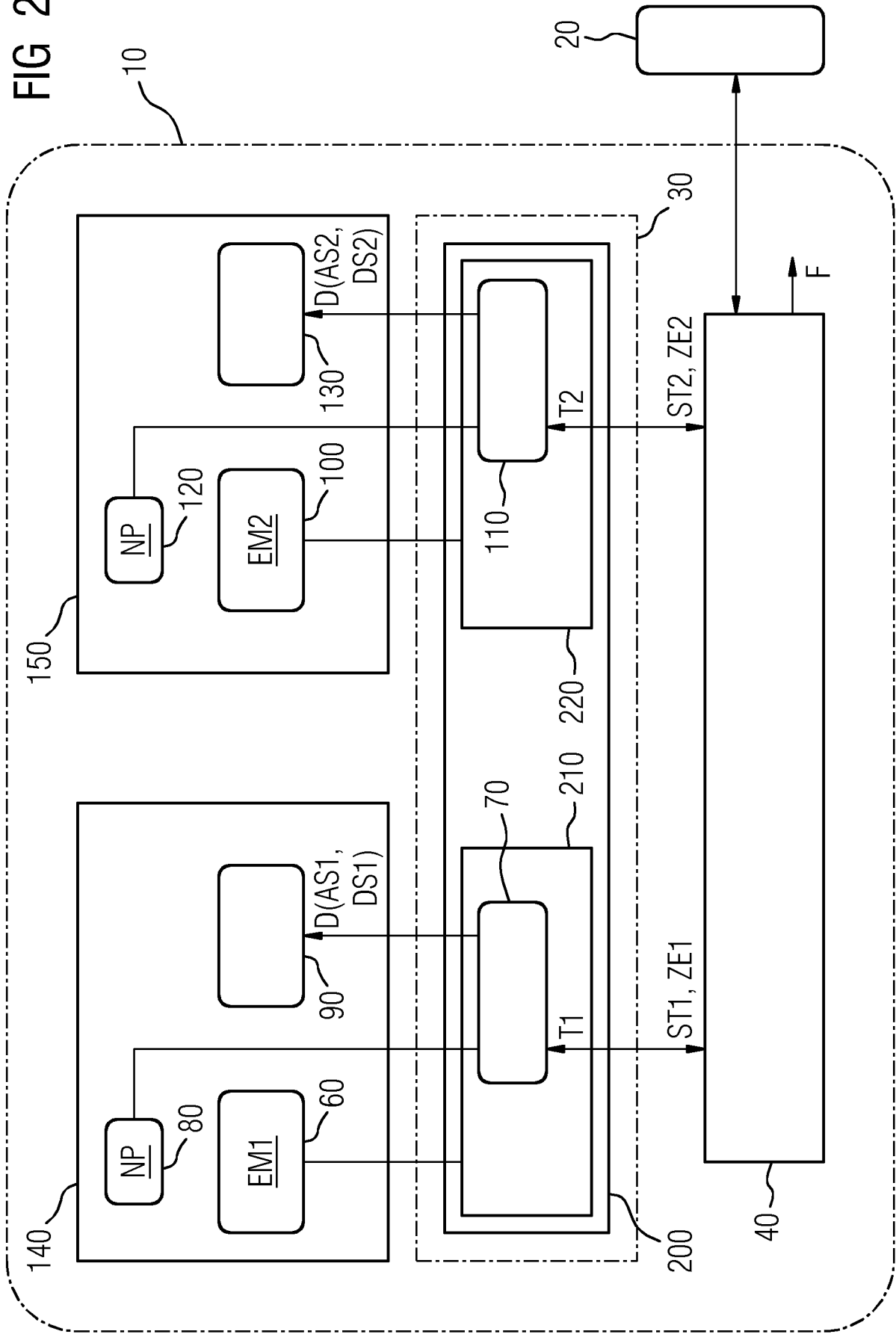


FIG 3

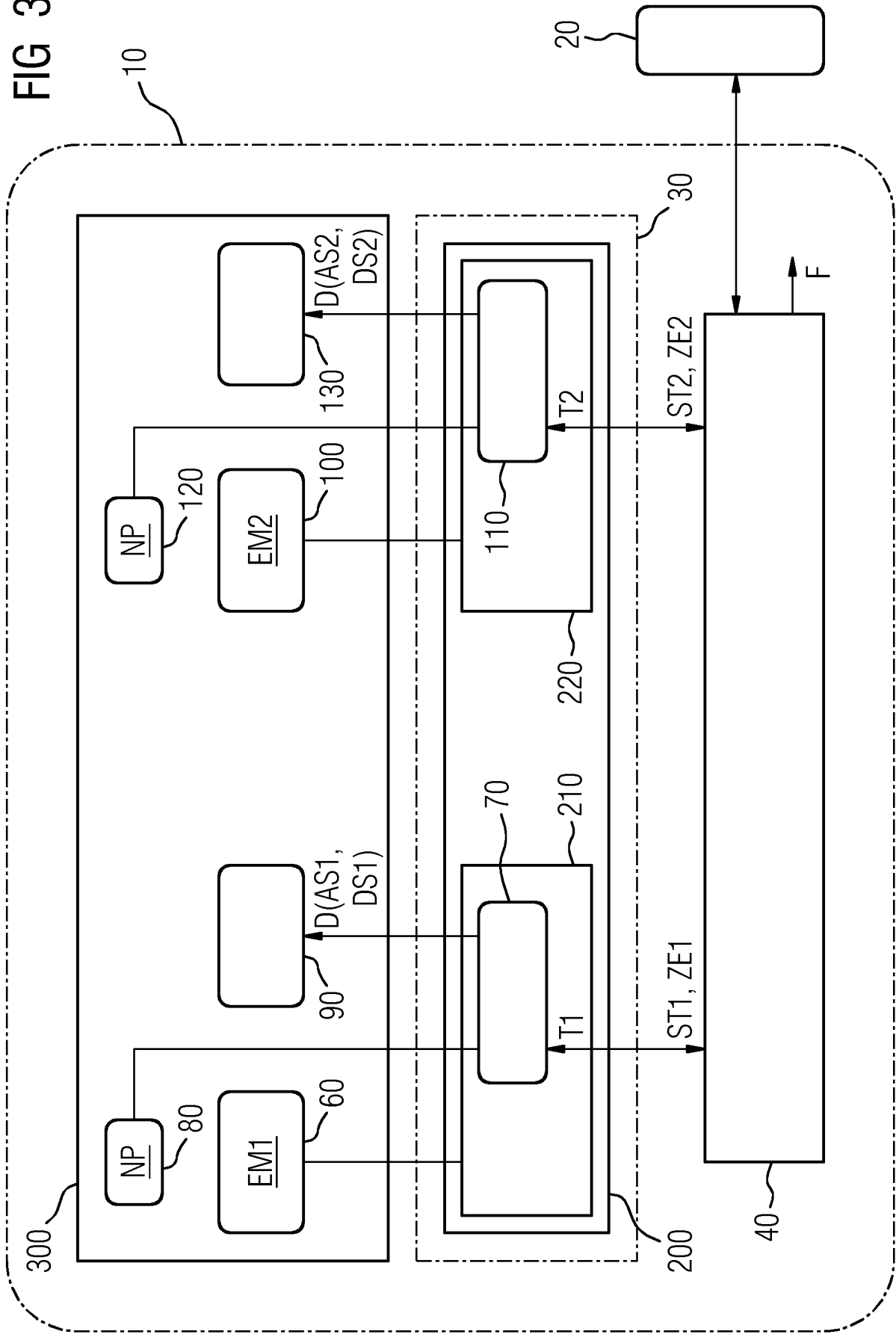


FIG 4

