

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-20953

(P2009-20953A)

(43) 公開日 平成21年1月29日(2009.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/408 (2006.01)	G 1 1 C 11/34 3 5 4 B	5M024
G 1 1 C 11/4093 (2006.01)	G 1 1 C 11/34 3 5 4 P	
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21) 出願番号 特願2007-182575 (P2007-182575)
 (22) 出願日 平成19年7月11日 (2007.7.11)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (72) 発明者 木下 博人
 東京都中央区八重洲二丁目2番1号エルピー
 ーダメモリ株式会社内
 (72) 発明者 藤澤 宏樹
 東京都中央区八重洲二丁目2番1号エルピー
 ーダメモリ株式会社内
 Fターム(参考) 5M024 AA07 BB03 BB37 DD33 DD39
 JJ02 JJ59 KK35 PP01 PP02
 PP03 PP10

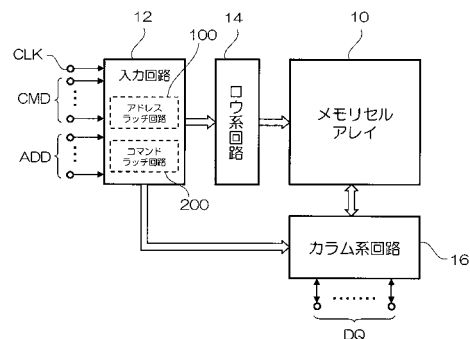
(54) 【発明の名称】 同期式半導体装置及びこれを有するデータ処理システム

(57) 【要約】

【課題】チップセレクト信号の非活性化にตอบสนองして、入力バッファの動作や内部クロックを停止させることなく消費電力を低減可能な同期式半導体装置を提供する。

【解決手段】入力バッファ110と、クロックCLKに基づいてラッチ信号CLK1を生成するラッチ信号生成回路120と、アドレス信号をラッチ信号CLK1にตอบสนองしてラッチするラッチ回路130と、アドレス信号をラッチ信号CLK1に同期してラッチ回路130に供給するディレイ回路140と、入力バッファ110とディレイ回路140との間に設けられ、チップセレクト信号CSBの非活性化にตอบสนองしてアドレス信号を非活性化させるNORゲート回路150とを備える。本発明によれば、入力バッファの動作や内部クロックを停止させることなく、入力バッファとラッチ回路との間で発生する消費電力を効果的に低減することが可能となる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部クロックに同期して動作する同期式半導体装置であって、
外部入力信号及び前記外部クロックを受け、それぞれ内部入力信号及び内部クロックを生成する複数の入力バッファと、
前記内部クロックに基づいてラッチ信号を生成するラッチ信号生成回路と、
前記内部入力信号又はそのデコード信号を前記ラッチ信号に应答してラッチする複数のラッチ回路と、
前記内部入力信号又はそのデコード信号を前記ラッチ信号に同期して前記ラッチ回路に供給する複数のディレイ回路と、
前記入力バッファと前記ディレイ回路との間に設けられ、チップセレクト信号の非活性化に应答して前記内部入力信号又はそのデコード信号を非活性化させる複数のゲート回路と、を備えることを特徴とする同期式半導体装置。

10

【請求項 2】

前記外部入力信号及び前記内部入力信号がアドレス信号であり、前記複数のラッチ回路は、前記アドレス信号をラッチすることを特徴とする請求項 1 に記載の同期式半導体装置。

【請求項 3】

前記外部入力信号及び前記内部入力信号がコマンド信号であり、
前記ディレイ回路と前記ラッチ回路との間に設けられ、前記コマンド信号をデコードする複数のデコーダ回路をさらに備え、
前記複数のラッチ回路は、前記デコーダ回路により生成された前記デコード信号をラッチすることを特徴とする請求項 1 に記載の同期式半導体装置。

20

【請求項 4】

前記複数のゲート回路がアドレス端子又はコマンド端子に沿って配置されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の同期式半導体装置。

【請求項 5】

前記外部入力信号及び前記内部入力信号がコマンド信号であり、
前記複数のゲート回路は、前記コマンド信号をデコードするデコーダ機能を有しており、
前記複数のラッチ回路は、前記ゲート回路により生成された前記デコード信号をラッチすることを特徴とする請求項 1 に記載の同期式半導体装置。

30

【請求項 6】

前記デコード信号にはリードコマンド及びライトコマンドの少なくとも一方が含まれており、
前記複数のラッチ回路は、前記リードコマンド又はライトコマンドを第 1 のタイミングで取り込む第 1 のラッチ回路と、前記リードコマンド又はライトコマンドを第 2 のタイミングで取り込む第 2 のラッチ回路とを含んでいることを特徴とする請求項 5 に記載の同期式半導体装置。

【請求項 7】

前記デコード信号にはリードコマンド及びライトコマンドの少なくとも一方が含まれており、
前記複数のラッチ回路に含まれる所定のラッチ回路に対し、前記リードコマンド又はライトコマンドを第 1 のタイミングで供給する第 1 の信号バスと、前記リードコマンド又はライトコマンドを第 2 のタイミングで供給する第 2 の信号バスとをさらに備えていることを特徴とする請求項 5 に記載の同期式半導体装置。

40

【請求項 8】

前記第 1 の信号バスを介して供給される前記リードコマンド又はライトコマンドと、前記第 2 の信号バスを介して供給される前記リードコマンド又はライトコマンドとを合成する合成回路をさらに備え、前記第 1 の信号バスを経由した前記合成回路の遅延量は、前記

50

ディレイ回路の遅延量と実質的に等しいことを特徴とする請求項 7 に記載の同期式半導体装置。

【請求項 9】

前記複数の入力バッファと前記複数のゲート回路を接続する配線よりも、前記複数のゲート回路と前記複数のラッチ回路を結ぶ配線の方が長いことを特徴とする請求項 5 乃至 8 のいずれか一項に記載の同期式半導体装置。

【請求項 10】

外部より供給されるコマンド信号を受け付ける入力バッファと、前記入力バッファの出力をデコードするデコーダ回路と、前記デコーダ回路の出力であるデコード信号をラッチ信号に应答してラッチするラッチ回路と、前記デコーダ回路と前記ラッチ回路との間に設けられ、前記ラッチ信号との同期を取るためのディレイ回路とを備え、

10

前記コマンド信号にはチップセレクト信号が含まれており、

前記デコーダ回路は、前記チップセレクト信号の非活性化に应答して前記デコード信号の論理レベルを固定することを特徴とする同期式半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載の同期式半導体装置と、データプロセッサと、ROM と、ストレージデバイスと、I/O デバイスとを備え、これらがシステムバスにより相互に接続されていることを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明はクロックに同期して動作する同期式半導体装置に関し、特に、アドレス信号やコマンド信号を取り込む入力回路に関する。また、本発明は、このような同期式半導体装置を有するデータ処理システムに関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory) など多くの半導体装置は、クロックに同期して動作するタイプが主流である。このような同期式半導体装置においては、クロックの周波数が高くなると、アドレス信号やコマンド信号を取り込む入力回路の消費電力が増大するため、非活性化時において入力回路の消費電力を低減する種々の提案がなされている (特許文献 1 ~ 3 参照)。

30

【0003】

例えば、特許文献 1 には、チップセレクト信号の非活性化に应答して、アドレス信号やコマンド信号を受ける入力バッファの動作を停止させる方法が記載されている。具体的には、チップセレクト信号が非活性化すると、入力バッファを構成する差動増幅回路のバイアス電流をカットし、これにより消費電力を低減している。しかしながら、差動増幅回路のバイアス電流をカットしてしまうと、差動増幅回路を再び動作可能とするために所定の時間が必要となることから、クロックの周波数が特に高い場合には、このような方法を採用することは困難である。

【0004】

40

一方、特許文献 2 には、チップセレクト信号の非活性化に应答して、内部回路に対するクロックの供給自体を停止する方法が記載されている。しかしながら、内部クロックを停止させてしまうと、内部回路の復帰に時間がかかるため、チップセレクト信号に連動してクロック自体を停止させることは不適切であると考えられる。

【0005】

さらに、特許文献 3 には、チップセレクト信号の非活性化に应答して、アドレス信号などをラッチするラッチ回路へのクロック供給を停止する方法が記載されている。しかしながら、入力バッファとラッチ回路の間には、タイミング調整のための遅延回路など、種々の回路が介在している。このため、ラッチ回路の動作を停止させても、遅延回路などが動作することによる充放電電流を削減することができない。

50

- 【特許文献1】特開平7-230688号公報
 【特許文献2】特開平11-16349号公報
 【特許文献3】特開2007-12128号公報
 【発明の開示】
 【発明が解決しようとする課題】

【0006】

したがって、本発明の目的は、チップセレクト信号の非活性化に应答して、入力回路部の消費電力を低減可能な改良された同期式半導体装置を提供することである。

【0007】

また、本発明の他の目的は、チップセレクト信号の非活性化に应答して、入力バッファの動作や内部クロックを停止させることなく消費電力を低減可能な同期式半導体装置を提供することである。

10

【0008】

また、本発明のさらに他の目的は、チップセレクト信号の非活性化に应答して、入力バッファとラッチ回路との間で発生する消費電力を低減可能な同期式半導体装置を提供することである。

【0009】

また、本発明のさらに他の目的は、チップセレクト信号の非活性化に应答して、アドレス信号やコマンド信号などのタイミング調整に用いる遅延回路の充放電電流を低減可能な同期式半導体装置を提供することである。

20

【課題を解決するための手段】

【0010】

本発明による同期式半導体装置は、外部クロックに同期して動作する同期式半導体装置であって、外部入力信号及び外部クロックを受け、それぞれ内部入力信号及び内部クロックを生成する複数の入力バッファと、内部クロックに基づいてラッチ信号を生成するラッチ信号生成回路と、内部入力信号又はそのデコード信号をラッチ信号に应答してラッチする複数のラッチ回路と、内部入力信号又はそのデコード信号をラッチ信号に同期してラッチ回路に供給する複数のディレイ回路と、入力バッファとディレイ回路との間に設けられ、チップセレクト信号の非活性化に应答して内部入力信号又はそのデコード信号を非活性化させる複数のゲート回路と、を備えることを特徴とする。

30

【0011】

また、本発明によるデータ処理システムは、このような同期式半導体装置を有することを特徴とする。

【0012】

外部入力信号及び内部入力信号は、アドレス信号であっても構わないしコマンド信号であっても構わない。前者の場合、ラッチ回路はアドレス信号をラッチすることができ、後者の場合、ラッチ回路はコマンド信号のデコード結果をラッチすることができる。

【発明の効果】

【0013】

このように、本発明によれば、チップセレクト信号の非活性化に应答して内部入力信号又はそのデコード信号を非活性化させるゲート回路を、充放電電流の大きいディレイ回路の前段に設けている。このため、入力バッファの動作や内部クロックを停止させることなく、入力バッファとラッチ回路との間で発生する消費電力を効果的に低減することが可能となる。

40

【発明を実施するための最良の形態】

【0014】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0015】

図1は、本発明の好ましい実施形態による同期式半導体装置の構成を示すブロック図で

50

ある。

【0016】

本実施形態による同期式半導体装置はシンクロナスDRAMであり、図1に示すように、メモリセルアレイ10と、各種外部入力信号を受ける入力回路12と、メモリセルアレイ10に対するロウ系のアクセス及びカラム系のアクセスをそれぞれ実行するロウ系回路14及びカラム系回路16とを備えている。

【0017】

メモリセルアレイ10からデータを読み出す場合には、コマンド端子CMDを介してリードコマンド発行するとともに、アドレス端子ADDを介して読み出すべきアドレス信号を供給する。これにより、メモリセルアレイ10から読み出されたデータがデータ入出力端子DQを介して出力される。一方、メモリセルアレイ10にデータを書き込む場合には、コマンド端子CMDを介してライトコマンド発行するとともに、アドレス端子ADDを介して書き込むべきアドレス信号を供給し、さらに、書き込むべきデータをデータ入出力端子DQに入力する。これにより、入力したデータがメモリセルアレイ10に書き込まれる。

10

【0018】

図1に示すように、入力回路12にはアドレスラッチ回路100及びコマンドラッチ回路200が含まれている。アドレスラッチ回路100は、外部クロックに同期して入力されるアドレス信号をラッチする回路であり、コマンドラッチ回路200は、外部クロックに同期して入力されるコマンド信号をデコードし、そのデコード結果(内部コマンド)をラッチする回路である。アドレスラッチ回路100にラッチされた内部アドレスや、コマンドラッチ回路200にラッチされた内部コマンドは、ロウ系回路14及びカラム系回路16に供給される。ロウ系回路14及びカラム系回路16は、供給された内部アドレスや内部コマンドに応じて、所定の動作を行う。ロウ系回路14及びカラム系回路16の構成及び動作については、本発明の主旨とは直接関係しないことから、説明は省略する。

20

【0019】

図2は、入力回路12に含まれるアドレスラッチ回路100の一例を示す回路図である。

【0020】

図2に示すように、アドレスラッチ回路100は、クロックCLK、アドレス信号A0~BA2及びチップセレクト信号CSBを受ける複数の入力バッファ110を有している。アドレス信号A0~BA2は、図1に示したアドレス端子ADDを介して入力される信号であり、チップセレクト信号CSBは、図1に示したコマンド端子CMDを介して入力される信号の一つである。これらの信号については、入力バッファ110に供給される前の状態を外部信号、入力バッファ110を経由した状態を内部信号として区別する。例えば、入力バッファ110を供給される前のクロックについては外部クロックと呼び、入力バッファ110を経由したクロックについては内部クロックと呼ぶ。但し、対応する外部信号と内部信号には、原則として同じ符号を与えている。

30

【0021】

アドレスラッチ回路100は、さらに、入力バッファ110により生成された内部クロックCLKに基づきラッチ信号CLK1を生成するラッチ信号生成回路120と、入力バッファ110により生成された内部アドレス信号をラッチする複数のラッチ回路130とを有している。

40

【0022】

ラッチ回路130は、ラッチ信号CLK1にตอบสนองして、対応する内部アドレス信号をラッチする。このため、内部クロックCLKが活性化してからラッチ回路130がラッチ動作を行うまでには、ラッチ信号生成回路120による遅延を含む信号伝達時間t1が存在する。このため、内部アドレス信号をそのままラッチ回路130に供給すると、ラッチ信号CLK1に対して内部アドレス信号の供給タイミングが早すぎることになる。このようなタイミング差を解消すべく、ラッチ回路130の前段には複数のディレイ回路140が

50

設けられている。

【 0 0 2 3 】

さらに、アドレスラッチ回路 1 0 0 は、入力バッファ 1 1 0 とディレイ回路 1 4 0 との間に設けられた複数の NOR ゲート回路 1 5 0 を有している。図 2 に示すように、これら NOR ゲート回路 1 5 0 は、対応する内部アドレス信号が一方の入力端にそれぞれ供給され、チップセレクト信号 C S B が他方の入力端に共通に供給されている。チップセレクト信号 C S B はローアクティブな信号であり、これがハイレベルになるとチップ全体が非選択の状態となる。

【 0 0 2 4 】

チップセレクト信号 C S B が NOR ゲート回路 1 5 0 及びディレイ回路 1 4 0 を經由することによる信号伝達時間 t_2 は、上述した信号伝達時間 t_1 と実質的に等しく設定される。同様に、アドレス信号が NOR ゲート回路 1 5 0 及びディレイ回路 1 4 0 を經由することによる信号伝達時間 t_3 は、上述した信号伝達時間 t_1 と実質的に等しく設定される。つまり、 $t_1 = t_2 = t_3$ に設定することにより、内部アドレス信号は、ラッチ信号 C L K 1 に同期して正しくラッチ回路 1 3 0 に供給されることになる。

【 0 0 2 5 】

本実施形態のアドレスラッチ回路 1 0 0 では、このようなチップセレクト信号 C S B が NOR ゲート回路 1 5 0 に対して共通に供給されていることから、チップセレクト信号 C S B がハイレベル（非アクティブ）になると、NOR ゲート回路 1 5 0 の出力は全てローレベルに固定される。これにより、外部信号の変化によって充放電が発生する区間は、図 2 に示す区間 A に制限される。しかも、外部信号の変化による充放電電流はディレイ回路 1 4 0 において特に多く発生するため、この区間における信号の論理を固定することにより、消費電力を効果的に低減することが可能となる。

【 0 0 2 6 】

また、チップセレクト信号 C S B が非アクティブとなっても、入力バッファ 1 1 0 の動作や内部クロック C L K は停止させていないことから、チップセレクト信号 C S B がアクティブに変化した場合、直ちに動作を再開することが可能となる。

【 0 0 2 7 】

図 3 は、入力回路 1 2 に含まれるコマンドラッチ回路 2 0 0 の一例を示す回路図である。

【 0 0 2 8 】

図 3 に示すように、コマンドラッチ回路 2 0 0 は、クロック C L K、コマンド信号 R A S B, C A S B, W E B, C S B、及び、アドレス信号 A 1 0, A 1 2 を受ける複数の入力バッファ 2 1 0 を有している。クロック C L K、チップセレクト信号 C S B 及びアドレス信号 A 1 0, A 1 2 を受ける入力バッファ 2 1 0 については、図 2 に示した入力バッファ 1 1 0 と共用することができる。

【 0 0 2 9 】

コマンド信号 R A S B, C A S B, W E B, C S B は、図 1 に示したコマンド端子 C M D を介して入力される信号である。これらのコマンド信号についても、入力バッファ 2 1 0 に供給される前の状態を外部信号、入力バッファ 2 1 0 を経由した状態を内部信号として区別するが、対応する外部信号と内部信号には原則として同じ符号を与えている。

【 0 0 3 0 】

コマンドラッチ回路 2 0 0 は、アドレスラッチ回路 1 0 0 と同様、複数のディレイ回路 2 4 0 と、入力バッファ 2 1 0 とディレイ回路 2 4 0 との間に設けられた複数の NOR ゲート回路 2 5 0 を有している。図 3 に示すように、これら NOR ゲート回路 2 5 0 は、対応する内部コマンド信号 R A S B, C A S B, W E B 及びアドレス信号 A 1 0, A 1 2 が一方の入力端にそれぞれ供給され、チップセレクト信号 C S B が他方の入力端に共通に供給される。このため、チップセレクト信号 C S B がハイレベル（非アクティブ）になると、NOR ゲート回路 1 5 0 の出力は全てローレベルに固定される。

【 0 0 3 1 】

10

20

30

40

50

ディレイ回路240の後段には、相補信号を生成する相補信号生成部260が設けられている。相補信号生成部260は、ロウアドレスストロブ信号RASB、カラムアドレスストロブ信号CASB及びライトイネーブル信号WEBの相補信号を生成するとともに、これら相補信号のタイミングとのズレが生じないように、アドレス信号A10、A12のタイミングを調整する。したがって、相補信号生成部260からの出力信号は合計10本となる。

【0032】

相補信号生成部260の後段には、複数のデコーダ回路270が設けられている。各デコーダ回路270は、3入力のORゲート回路によって構成されている。具体的には、3つのコマンド信号RASB、CASB、WEBをデコードするための8つ(=2³)のデコーダ回路270と、それぞれアドレス信号A10、A12のみに応答する2つのデコーダ回路270からなる合計10個のデコーダ回路270によって構成される。

10

【0033】

これらデコーダ回路270の出力であるデコード信号は、それぞれ対応するラッチ回路230に供給される。ラッチ回路230は、ラッチ信号CLK1に応答して、対応するデコード信号をラッチする。ラッチ信号CLK1を生成するラッチ信号生成回路120は、図2に示した入力バッファ110と共用することができる。

【0034】

ラッチ回路230は、それぞれ対応するデコーダ回路270のデコード結果を受ける10個のラッチ回路を含んでいる。さらに、アディティブレイテンシ(AL)が1以上である場合、ALカウンタ281に設定されたアディティブレイテンシが経過した後にリードコマンドを出力するためのレイテンシ追加回路280が設けられており、このレイテンシ追加回路280内に1つのラッチ回路230が設けられている。図示しないが、ライトコマンド用のレイテンシ追加回路280も設けられており、このため、合計12個のラッチ回路230が使用されることになる。

20

【0035】

コマンドラッチ回路200においても、チップセレクト信号CSBがNORゲート回路250、ディレイ回路240、相補信号生成部260及びデコーダ回路270を経由することによる信号伝達時間t5は、内部クロックの信号伝達時間t4と実質的に等しく設定される。同様に、コマンド信号がNORゲート回路250、ディレイ回路240、相補信号生成部260及びデコーダ回路270を経由することによる信号伝達時間t6は、上述した信号伝達時間t4と実質的に等しく設定される。つまり、t4 = t5 = t6に設定することにより、デコード信号は、ラッチ信号CLK1に同期して正しくラッチ回路230に供給されることになる。

30

【0036】

本実施形態のコマンドラッチ回路200では、このようなチップセレクト信号CSBがNORゲート回路250に対して共通に供給されていることから、チップセレクト信号CSBがハイレベル(非アクティブ)になると、NORゲート回路250の出力は全てローレベルに固定される。これにより、外部信号の変化によって充放電が発生する区間は、図3に示す区間Bに制限される。このため、アドレスラッチ回路100と同様、非活性化時における消費電力を効果的に低減することが可能となる。

40

【0037】

図4は、図2に示したアドレスラッチ回路100及び図3に示したコマンドラッチ回路200の模式的なレイアウト図である。

【0038】

図4に示すように、入力バッファ110及びNORゲート回路150からなる回路部分は、アドレス端子ADDに沿って配置されている。同様に、入力バッファ210及びNORゲート回路250からなる回路部分は、コマンド端子CMDに沿って配置されている。このため、レイアウト上、非アクティブ時におけるクロッキングにより充放電する区間を非常に短くすることが可能となる。但し、チップセレクト信号CSBがローレベル(アク

50

ティブ)になると、相補信号生成部260とデコーダ回路270とを結ぶ8本の信号線は、全て充放電することになる。

【0039】

図5は、入力回路12に含まれるコマンドラッチ回路200の他の例を示す回路図である。

【0040】

図5に示す例によるコマンドラッチ回路200は、入力バッファ210とラッチ回路230との間に、相補信号生成部260、デコーダ回路270及びディレイ回路240がこの順に接続されている点において、図3に示す例によるコマンドラッチ回路200と相違している。その他の点については、図3に示したコマンドラッチ回路200と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

10

【0041】

図5に示すコマンドラッチ回路200では、各デコーダ回路270が4入力のORゲート回路によって構成されており、各デコーダ回路270にはいずれもチップセレクト信号CSBが供給されている。このため、チップセレクト信号CSBがハイレベル(非アクティブ)であると、各デコーダ回路270の出力は全てハイレベルに固定されることになる。これにより、外部信号の変化によって充放電が発生する区間は、図5に示す区間Cに制限され、非活性化時における消費電力を効果的に低減することが可能となる。

【0042】

このように、本例では、図3に示したNORゲート回路250の役割をデコーダ回路270が兼ね備えていることから、NORゲート回路250を省略することが可能となる。これに伴い、NORゲート回路250への入力において必要であったスキュー調整も不要となる。

20

【0043】

また、デコーダ回路270とラッチ回路230を接続する10本の信号線にはそれぞれディレイ回路240が接続されているが、この信号線を伝達するのはデコード信号であることから、活性化時においても1個~3個のディレイ回路240が充放電するに過ぎない。このため、活性化時における充放電電流についても削減することが可能となる。

【0044】

図6は、図2に示したアドレスラッチ回路100及び図5に示したコマンドラッチ回路200の模式的なレイアウト図である。

30

【0045】

図6に示す例では、入力バッファ210がコマンド端子CMDに沿って配置されており、その近傍に、相補信号生成部260及びデコーダ回路270からなる回路部分が配置されている。このため、レイアウト上、非アクティブ時におけるクロッキングにより充放電する区間を非常に短くすることが可能となる。さらに、チップセレクト信号CSBがローレベル(アクティブ)となっても、デコーダ回路270とラッチ回路230を結ぶ10本の信号線のうち、充放電を行うのは最大3本の信号線のみである。このため、入力バッファ210と相補信号生成部260とを結ぶ配線よりも、デコーダ回路270とラッチ回路230を結ぶ配線の方が長い場合であっても、活性化時における充放電電流を低減することが可能となる。

40

【0046】

図7は、入力回路12に含まれるコマンドラッチ回路200のさらに他の例を示す回路図である。

【0047】

図7に示す例によるコマンドラッチ回路200は、図5に示したレイテンシ追加回路280に関する構成において、図5に示す例によるコマンドラッチ回路200と相違している。その他の点については、図5に示したコマンドラッチ回路200と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0048】

50

図7に示すコマンドラッチ回路200では、リードコマンド及びライトコマンドに対応して、ORゲート付きディレイ回路290が設けられている。ORゲート付きディレイ回路290は、リードコマンド又はライトコマンドを遅延させる遅延回路291と、遅延回路291の出力及びALカウンタ281の出力を受けるORゲート回路292によって構成されている。これにより、デコーダ回路270を介して供給されるリードコマンド又はライトコマンドと、ALカウンタ281を介して供給されるリードコマンド又はライトコマンドが合成されることになる。

【0049】

また、遅延回路291を経由するルートにおけるORゲート付きディレイ回路290の遅延量は、他のディレイ回路240の遅延量と実質的に等しく設計される。これにより、本例によるコマンドラッチ回路200は、図5に示したコマンドラッチ回路200と全く同じ機能を実現することが可能となる。

10

【0050】

しかも、本例では、リードコマンド及びライトコマンドに対して必要なラッチ回路230がそれぞれ1個で済むことから、合計10個のラッチ回路230で足りる。このため、図5に示したコマンドラッチ回路200に比べ、回路規模を縮小することが可能となる。

【0051】

図8は、本発明の好ましい実施形態による半導体記憶装置を用いたデータ処理システム300の構成を示すブロック図であり、本実施形態による半導体記憶装置がDRAMである場合を示している。

20

【0052】

図8に示すデータ処理システム300は、データプロセッサ320と、本実施形態による半導体記憶装置(DRAM)330が、システムバス310を介して相互に接続された構成を有している。データプロセッサ320としては、例えば、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)などを含まれるが、これらに限定されない。図8においては簡単のため、システムバス310を介してデータプロセッサ320とDRAM330とが接続されているが、システムバス310を介さずにローカルなバスによってこれらが接続されていても構わない。

【0053】

また、図8には、簡単のためシステムバス310が1組しか描かれていないが、必要に応じ、コネクタなどを介しシリアルないしパラレルに設けられていても構わない。また、図8に示すメモリシステムデータ処理システムでは、ストレージデバイス340、I/Oデバイス350、ROM360がシステムバス310に接続されているが、これらは必ずしも必須の構成要素ではない。

30

【0054】

ストレージデバイス340としては、ハードディスクドライブ、光学ディスクドライブ、フラッシュメモリなどが挙げられる。また、I/Oデバイス350としては、液晶ディスプレイなどのディスプレイデバイスや、キーボード、マウスなどの入力デバイスなどが挙げられる。また、I/Oデバイス350は、入力デバイス及び出力デバイスのいずれか一方のみであっても構わない。さらに、図8に示す各構成要素は、簡単のため1つずつ描かれているが、これに限定されるものではなく、1又は2以上の構成要素が複数個設けられていても構わない。

40

【0055】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0056】

例えば、図2及び図3に示したアドレスラッチ回路100及びコマンドラッチ回路200では、アドレス信号及びコマンド信号のクロッキングを停止させるためにNORゲート回路150、250を用いているが、ゲート回路の種類についてはこれに限定されるもの

50

ではない。同様に、デコーダ回路 270 についても OR ゲート回路である必要はなく、NAND ゲートなど、他のゲート回路を用いることが可能である。

【図面の簡単な説明】

【0057】

【図 1】本発明の好ましい実施形態による同期式半導体装置の構成を示すブロック図である。

【図 2】入力回路 12 に含まれるアドレスラッチ回路 100 の一例を示す回路図である。

【図 3】入力回路 12 に含まれるコマンドラッチ回路 200 の一例を示す回路図である。

【図 4】図 2 に示したアドレスラッチ回路 100 及び図 3 に示したコマンドラッチ回路 200 の模式的なレイアウト図である。

10

【図 5】入力回路 12 に含まれるコマンドラッチ回路 200 の他の例を示す回路図である。

【図 6】図 2 に示したアドレスラッチ回路 100 及び図 5 に示したコマンドラッチ回路 200 の模式的なレイアウト図である。

【図 7】入力回路 12 に含まれるコマンドラッチ回路 200 のさらに他の例を示す回路図である。

【図 8】本発明の好ましい実施形態によるデータ処理システム 300 の構成を示すブロック図である。

【符号の説明】

【0058】

20

10 メモリセルアレイ

12 入力回路

14 ロウ系回路

16 カラム系回路

100 アドレスラッチ回路

110 入力バッファ

120 ラッチ信号生成回路

130 ラッチ回路

140 ディレイ回路

150 NOR ゲート回路

30

200 コマンドラッチ回路

210 入力バッファ

230 ラッチ回路

240 ディレイ回路

250 NOR ゲート回路

260 相補信号生成部

270 デコーダ回路

280 レイテンシ追加回路

281 AL カウンタ

290 OR ゲート付きディレイ回路

40

291 遅延回路

292 OR ゲート回路

300 データ処理システム

310 システムバス

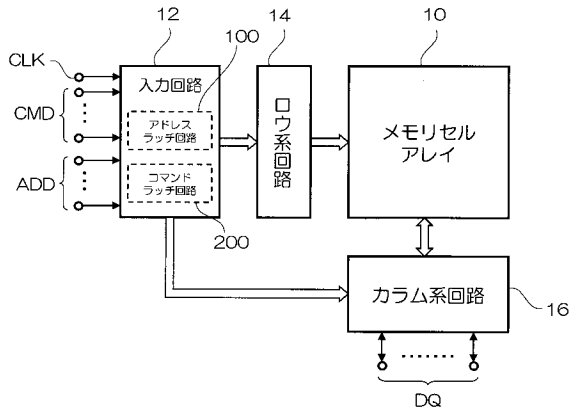
320 データプロセッサ

340 ストレージデバイス

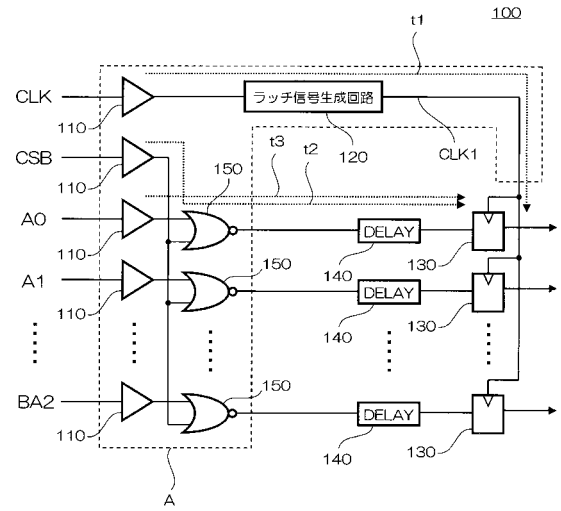
350 デバイス

CSB チップセレクト信号

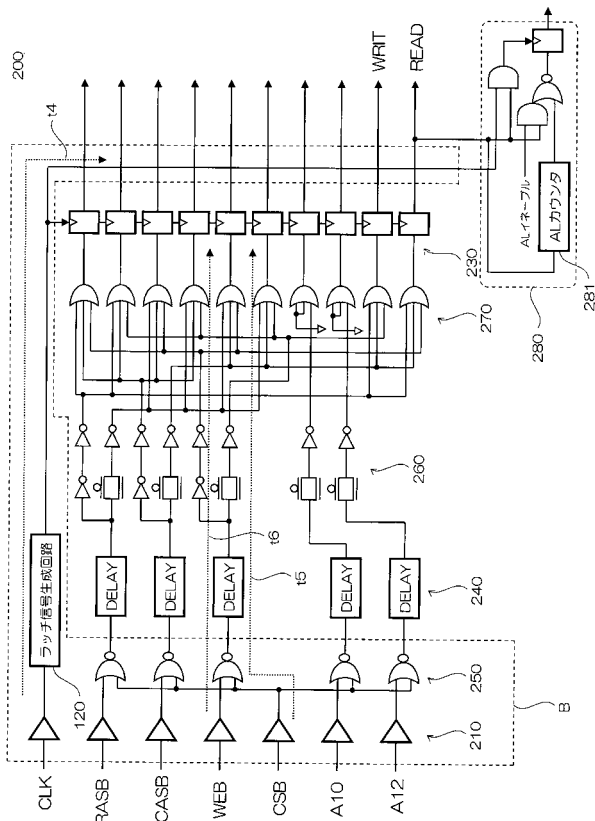
【図1】



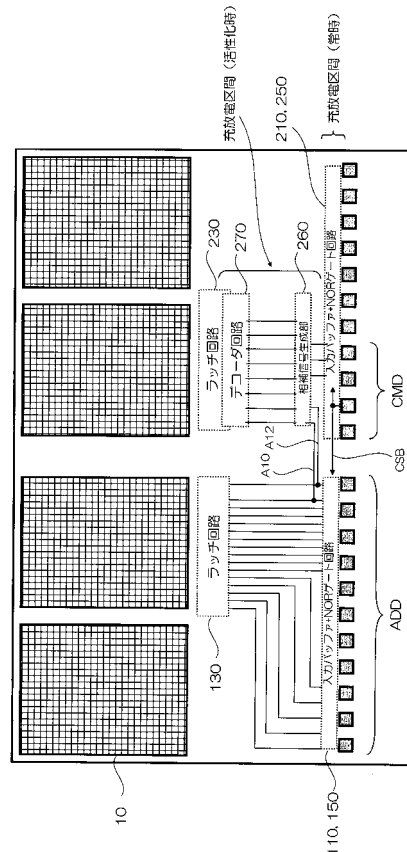
【図2】



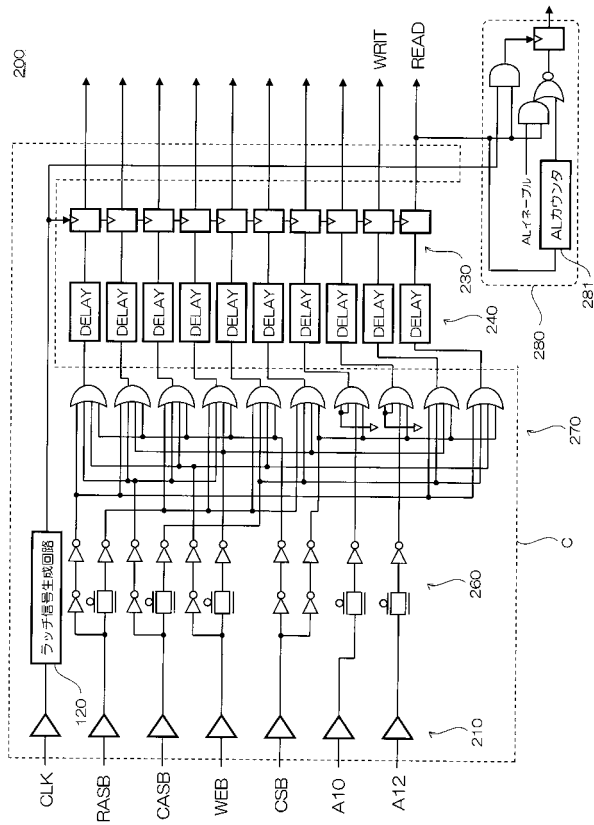
【図3】



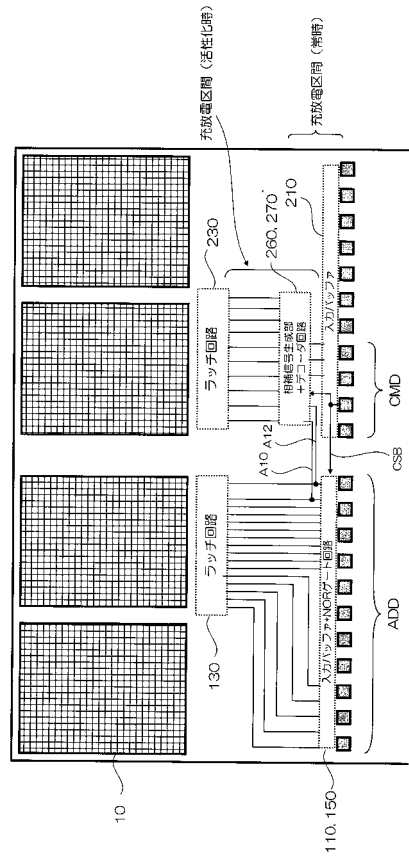
【図4】



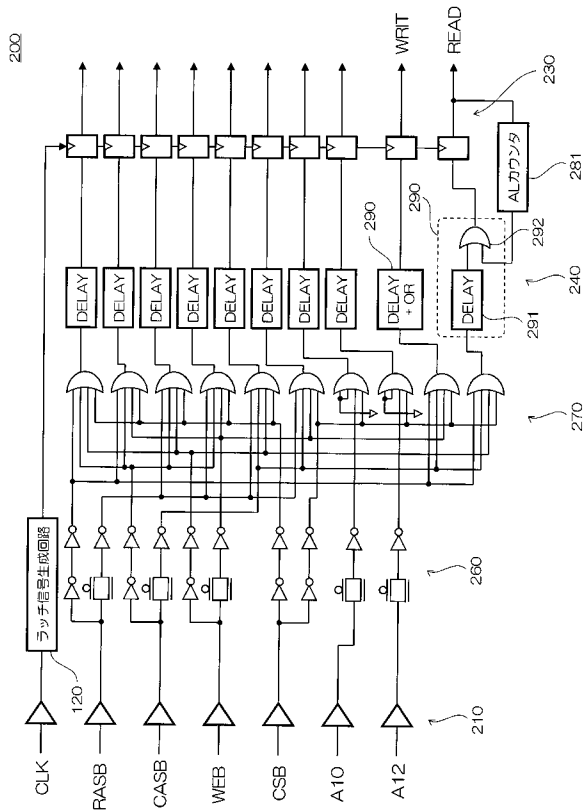
【図5】



【図6】



【図7】



【図8】

