(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0018190
(43) 공개일자 2022년02월15일

(51) 국제특허분류(Int. Cl.)
C09D 1/00 (2020.01) *C01G 5/00* (2006.01)
C09D 7/20 (2018.01) *H01L 21/02* (2006.01)
H01L 45/00 (2006.01)
(52) CPC특허분류
C09D 1/00 (2013.01)
C01G 5/00 (2013.01)
(21) 출원번호 10-2020-0098392
(22) 출원일자 2020년08월06일
심사청구일자 2020년08월06일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
손재성
울산광역시 울주군 언양읍 유니스트길 50
최문기
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인 무한

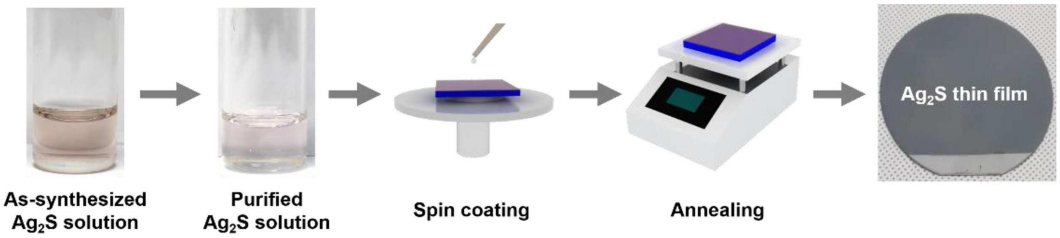
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **스트레처블 전자 소자를 위한 무기 반도체를 포함하는 연성 반도체 박막의 제조 방법**

(57) 요 약

본 발명은, 스트레처블 전자 소자를 위한 무기 반도체를 포함하는 연성 반도체 박막의 제조 방법에 관한 것으로, 보다 구체적으로 칼코제나이드계 은 화합물 분말과 2종 이상의 용매를 포함하는 공용매를 혼합하여 용액을 형성하는 단계; 상기 용액 중 용질을 침전시키는 단계; 및 상기 침전된 용질을 용매에 분산시키고 여과하는 단계; 를 포함하는, 칼코제나이드계 은 화합물 (chalcogenide silver) 전구체 용액의 제조방법 및 이를 이용한 칼코제나이드계 은 화합물을 포함하는 반도체 박막, 연성 반도체 소자 및 스트레처블 전자 소자의 제조방법을 제공할 수 있다. 또한, 본 발명은, 상기 언급한 방법에 의해서 용액 공정에 적용할 수 있는 칼코제나이드계 은 화합물 전구체 용액, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 박막, 연성 반도체 소자 및 스트레처블 전자 소자를 제공할 수 있다.

대 표 도



(52) CPC특허분류
C09D 7/20 (2018.01)
H01L 21/02568 (2013.01)
H01L 21/02628 (2013.01)
H01L 21/02664 (2013.01)
H01L 45/141 (2013.01)
(72) 발명자
조승기
울산광역시 울주군 언양읍 유니스트길 50
조소영
울산광역시 울주군 언양읍 유니스트길 50
양우정
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711117258
과제번호	2020M3D1A1070053
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	열에너지의 효과적 활용을 위한 자유형상형 슬라임(slime) 반도체소재 개발
기 여 율	1/1
과제수행기관명	한국화학연구원
연구기간	2020.04.29 ~ 2020.08.28

명 세 서

청구범위

청구항 1

칼코제나이드계 은 화합물 분말과 2종 이상의 용매를 포함하는 공용매를 혼합하여 용액을 형성하는 단계;

상기 용액 중 용질을 침전시키는 단계; 및

상기 침전된 용질을 용매에 분산시키고 여과하는 단계;

를 포함하는,

칼코제나이드계 은 화합물 (chalcogenide silver) 전구체 용액의 제조방법.

청구항 2

제1항에 있어서,

상기 칼코제나이드계 은 화합물 중 칼코젠 원소는, S, Se 및 Te로 이루어진 군에서 선택된 1종 이상을 포함하는 것인,

칼코제나이드계 은 화합물 전구체 용액의 제조방법.

청구항 3

제1항에 있어서,

상기 칼코제나이드계 은 화합물은, Ag_2S, Ag_2Se 또는 이 둘인 것인,

칼코제나이드계 은 화합물 전구체 용액의 제조방법.

청구항 4

제1항에 있어서,

상기 2종 이상의 용매를 포함하는 공용매는, 아민계 용매 및 디티올계 용매를 포함하고,

상기 아민계 용매 대 상기 디티올계 용매의 비율(부피비)은, 1 : 1 내지 20 : 1인 것인,

칼코제나이드계 은 화합물 전구체 용액의 제조방법.

청구항 5

제4항에 있어서,

상기 아민계 용매는, 에틸렌디아민(ethylenediamine), 디에틸렌트리아민(diethylenetriamine), 트리에틸렌테트라민(triethylenetetramine), 테트라메틸렌디아민(tetramethylenediamine), 1-메틸테트라메틸렌디아민(1-methyltetramethylenediamine) 및 헥사메틸렌테트라아민(hexamethylenetetramine)으로 이루어진 군에서 선택된 1종 이상을 포함하고,

상기 디티올계 용매는, 메탄디티올, 에탄디티올(ethanedithiol), 1,2-에탄디티올, 1,1-프로판디티올, 1,2-프로판디티올, 1,3-프로판디티올, 2,2-프로판디티올, 2,3-부탄디티올, 2,5-헥산디티올, 1,6-헥산디티올 및 2,9-데칸디티올로 이루어진 군에서 선택된 1종 이상을 포함하는 것인,

칼코제나이드계 은 화합물 전구체 용액의 제조방법.

청구항 6

제1항에 있어서,

상기 공용매를 혼합하여 용액을 형성하는 단계는, 상온 내지 50 ℃ 온도에서 교반하는 것인,

칼코제나이드계 은 화합물 전구체 용액의 제조방법.

청구항 7

칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계;

상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계;

및

상기 칼코젠 원소를 포함하는 분위기에서 상기 코팅막을 제1 열처리하는 단계;

를 포함하는,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 8

제7항에 있어서,

상기 전구체 용액 중 용매는, 0.1 내지 99 중량%로 포함되고,

상기 용매는 아민계 용매인 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 9

제7항에 있어서,

상기 용액 공정은, 스핀 코팅, 딥 코팅, 스프레이 코팅, 잉크젯 프린팅, 오프셋 프린팅, 그라비아 프린팅, 롤투롤 프린팅 및 스크린 프린팅으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 10

제7항에 있어서,

상기 제1 열처리하는 단계는, 열처리 장비 내에 칼코젠 원소 분말을 삽입하고, 상기 코팅막을 200 ℃ 이상의 온도에서 어닐링하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 11

제7항에 있어서,

코팅막을 건조하는 단계;

를 더 포함하고,

상기 코팅막을 건조하는 단계는, 상온 이상의 온도에서 진공; 또는 공기, 산소, 불활성 가스 중 1종 이상을 포함하는 분위기에서 건조하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 12

제11항에 있어서,

상기 코팅막을 건조하는 단계는,

공기 분위기에서 100 ℃ 이하의 온도에서 건조하는 제1 건조 단계 및

공기 분위기에서 200 ℃ 이상의 온도에서 건조하는 제2 건조 단계

를 포함하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 13

제7항에 있어서,

상기 제1 열처리하는 단계 이후에 제2 열처리하는 단계를 더 포함하고,

상기 제2 열처리하는 단계는, 상기 제1 열처리하는 단계 보다 높은 온도에서 어닐링하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 14

제7항에 있어서,

상기 기재는, 유연(flexible) 기판을 포함하고,

상기 유연 기판은, 폴리머, 유리, 직물, 금속, 금속질화물, 금속산화물 및 금속합금으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 15

제7항에 있어서,

상기 기재는, 유연 기판 및 상기 유연 기판 상에 형성된 전극층을 포함하고,

상기 전극층은, 금속, 금속질화물, 금속산화물 및 금속합금으로 이루어진 군에서 선택된 1종 이상을 포함하고,

상기 금속은, 이리듐(Ir), 몰리브덴(Mo), 레늄(Re), 스칸듐(Sc), 저마늄(Ge), 안티몬(Sb), 백금(Pt), 니켈(Ni), 금(Au), 은(Ag), 인듐(In), 주석(Sn), 실리콘(Si), 티타늄(Ti), 바나듐(V), 가돌륨(Ga), 망간(Mn), 철(Fe), 코발트(Co), 구리(Cu), 징크(Zn), 지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니오븀(Nb), 니켈(Ni), 크롬(Cr), 몰리브데늄(Mo), 탄탈(Ta), 루테늄(Ru) 및 텅스텐(W)으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 16

제14항에 있어서,

상기 유연 기판은, 폴리이미드(PI, polymide), 폴리아마이드이미드, 아크릴(acryl), 폴리카보네이트(PC), 폴리메틸메타아크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET, Polyethylene Terephthalate), 폴리에틸렌 설폰(PES), 폴리에틸렌 나프탈레이트(PEN), 에틸렌비닐아세테이트(EVA), 아몰포스폴리에틸렌테레프탈레이트(APET), 폴리프로필렌테레프탈레이트(PPT), 폴리에틸렌테레프탈레이트글리세롤(PETG), 폴리사이클로헥실렌디메틸렌테레프탈레이트(PCTG), 변성트리아세틸셀룰로스(TAC), 사이클로올레핀고분자(COP), 사이클로올레핀코고분자(COC), 디시클로펜타디엔고분자(DCPD), 시클로펜타디엔고분자(CPD), 폴리아릴레이트(PAR), 폴리에테르이미드(PEI), 폴리다이메틸실론세인(PDMS), 실리콘수지, 불소수지 및 변성에폭시수지로 이루어진 군에서 선택된 1종 이상을 포함하는 유연 폴리머 기판인 것인,

칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법.

청구항 17

제1항의 방법을 이용하여, 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계;

상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계;

상기 코팅막을 열처리하는 단계; 및

상기 코팅막 상에 전극층을 형성하는 단계;

를 포함하는,

칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법.

청구항 18

제17항에 있어서,

상기 기재는 유연 기판; 상기 기판 상에 형성된 접착층; 및 상기 접착층 상에 형성된 전극층;

을 포함하고,

상기 접착층은, 무기 접착층, 유기접착층 및 유-무기 접착층으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인,

칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법.

청구항 19

제17항에 있어서,

상기 전극층 상에 유연 폴리머층을 형성하는 단계; 및

상기 유연 폴리머층 상에 전극층을 형성하는 단계;

를 더 포함하는 것인,

칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법.

청구항 20

제17항의 방법을 이용하여, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자를 제조하는 단계;

상기 반도체 소자를 팽팽하게 스트레칭된 고무 기재 상에 전사하는 단계; 및

상기 고무 기재의 스트레칭을 해제하는 단계;

를 포함하는,

칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자의 제조방법.

청구항 21

제7항의 방법으로 제조된, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 박막.

청구항 22

제17항의 방법으로 제조되고,

유연 기판; 상기 유연 기판 상에 형성된 전극층; 및 상기 전극층 상에 형성된 칼코제나이드계 은 화합물을 포함하는 반도체 박막;

을 포함하는,

칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자.

청구항 23

제20항의 방법으로 제조되고,

스트레처블 고무 기판; 및 상기 고무 기판 상에 형성된 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자;

를 포함하는,

칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자.

청구항 24

제23항에 있어서,

상기 스트레처블 전자 소자는, 저항성 랜덤 액세스 메모리인 것인,

칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은, 스트레처블 전자 소자를 위한 무기 반도체를 포함하는 연성 반도체 박막의 제조방법 및 이의 활용에 관한 것이다.

배 경 기 술

[0002] 스트레처블 소자는 기판을 늘리거나 심각한 굽힘에도 소자의 특성을 잃지 않고 작동하며, 외력을 제거하더라도 소자의 특성을 유지할 수 있는 차세대 전자소자이다. 유리, 실리콘 웨이퍼 등을 기반으로 제작하는 기존 소자

는 폴리이미드와 같은 유연 기판을 기반으로 제작하는 유연 전자 소자로 발전하였고, 이러한 유연 소자 기술은 늘어나는 기판에서도 작동하는 스트레처블 전자소자라는 새로운 분야를 창출하였다. 스트레처블 전자 소자는 기판이 줄어들거나 늘어남에도 작동이 가능하기 때문에 다양한 응용분야의 창출이 가능하며, 최근 웨어러블 전자 소자나 전자피부, 사물인터텟(IoT), 차량용 전자소자, 지능형(AI) 로봇 구현을 위한 핵심 부품 소재로 활발한 연구가 진행 중에 있다.

[0003] 스트레처블 전자 소자와 같은 첨단 전자 장치를 실현하기 위해서는 우수한 전기적 및 기계적 특성을 동시에 갖는 재료의 개발 또는 발견하는 것이 매우 중요하다. 기존의 무기 반도체 소재들은 스트레처블 소자에 적용하기에 기계적 성질이 적합하지 않았기 때문에 지금까지는 우수한 기계적 특성을 기반으로 하는 유기 반도체 소재를 기반으로 하는 스트레처블 전자 소자의 개발이 활발하게 이루어져 왔다.

[0004] 유기 반도체 소재를 기반으로 하는 스트레처블 전자 소자는 우수한 기계적 특성을 보이지만 기존의 무기 소재 기반의 전자 소자의 전기적 성능을 보여주지 못하기 때문에 실용적 측면에서 한계를 드러내고 있다. 또한, 유기물은 습도와 산소에 의한 산화 그리고 화학적, 열적 스트레스에 취약하여 소자 내구도 측면에서도 반드시 개선할 필요가 있다.

[0005] 최근, 금속 합금과 비슷한 수준의 기계적 연성을 가지면서 동시에 무기 반도체의 우수한 전기적 특성을 나타내는 무기 반도체 황화은이 발견되어 각광받고 있다. 황화은은 화학 성분이 Ag_2S 인 무기 화합물이며, Ag_2S는 다형성 구조, 매력적인 전자 및 광전자 특성을 나타내는 무기 반도체이며, 태양 전지와 같은 광전지 소자, 유기, 무기 반도체 소재의 단점을 보완하는 특성으로 인해 스트레처블 전자 소자의 활성층으로 사용하기에 유망한 재료로 간주되고 있다.

[0006] 이에, 본 발명의 발명자는, 용액 공정을 이용하여 무기 반도체를 포함하는 연성 반도체 박막으로 제조하고, 이를 활용하여 다양한 환경에서 내산화성, 내식성, 내열성을 가지면서 동시에 우수한 기계적 성질을 갖는 스트레처블 전자 소자(예를 들어, 저항성 랜덤 액세스 메모리)를 제조할 수 있는 무기 반도체를 포함하는 연성 반도체 박막을 제조하기 위한 새로운 제조공정을 개발하고, 이의 응용을 제안한다.

발명의 내용

해결하려는 과제

[0007] 본 발명은, 상기 언급한 문제점을 해결하기 위해서, 용액 공정을 통해 고품질의 칼코제나이드계 은 화합물 기반의 연성 반도체 박막을 제공할 수 있는, 칼코제나이드계 은 화합물 전구체 용액의 제조방법을 제공하는 것이다.

[0008] 본 발명은, 본 발명에 의한 칼코제나이드계 은 화합물 전구체 용액을 이용하여 용액 공정과 추가적인 열처리 공정을 통해 고품질의 칼코제나이드계 은 화합물을 포함하는 연성 반도체 박막을 제공할 수 있는, 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법을 제공하는 것이다.

[0009] 본 발명은, 본 발명에 의한 칼코제나이드계 은 화합물 전구체 용액을 이용하여 용액 공정과 추가적인 열처리 공정을 통해 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법을 제공하는 것이다.

[0010] 본 발명은, 본 발명에 의한 칼코제나이드계 은 화합물 전구체 용액을 이용하여 용액 공정과 추가적인 열처리 공정을 통해서 칼코제나이드계 은 화합물 기반의 스트레처블 전자 소자의 제조방법을 제공하는 것이다.

[0011] 본 발명은, 칼코제나이드계 은 화합물 전구체 용액을 제공하는 것이다.

[0012] 본 발명은, 내산화성, 내식성, 내열성뿐만 아니라 기계적 성질이 개선된 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제공하는 것이다.

[0013] 본 발명은, 내산화성, 내식성, 내열성뿐만 아니라 기계적 성질이 개선된 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자를 제공하는 것이다.

[0014] 본 발명은, 내산화성, 내식성, 내열성뿐만 아니라 기계적 성질이 개선된 칼코제나이드계 은 화합물 기반의 스트레처블 전자 소자를 제공하는 것이다.

과제의 해결 수단

[0015] 본 발명의 일 실시예에 따라, 칼코제나이드계 은 화합물 분말과 2종 이상의 용매를 포함하는 공용매를 혼합하여 용액을 형성하는 단계; 상기 용액 중 용질을 침전시키는 단계; 및 상기 침전된 용질을 용매에 분산시키고 여과

하는 단계; 를 포함하는, 칼코제나이드계 은 화합물 (chalcogenide silver) 전구체 용액의 제조방법에 관한 것이다.

[0016] 본 발명의 일 실시예에 따라, 상기 칼코제나이드계 은 화합물 중 칼코젠 원소는, S, Se 및 Te로 이루어진 군에서 선택된 1종 이상을 포함하는 것일 수 있다.

[0017] 본 발명의 일 실시예에 따라, 상기 칼코제나이드계 은 화합물은, Ag_2S, Ag_2Se 또는 이 둘인 것일 수 있다.

[0018] 본 발명의 일 실시예에 따라, 상기 2종 이상의 용매를 포함하는 공용매는, 아민계 용매 및 디티올계 용매를 포함하고, 상기 아민계 용매 대 상기 디티올계 용매의 비율(부피비)은, 1 : 1 내지 20 : 1인 것일 수 있다.

[0019] 본 발명의 일 실시예에 따라, 상기 아민계 용매는, 에틸렌디아민(ethylenediamine), 디에틸렌트리아민(diethylenetriamine), 트리에틸렌테트라민(triethylenetetramine), 테트라메틸렌디아민(tetramethylenediamine), 1-메틸테트라메틸렌디아민(1-methyltetramethylenediamine) 및 헥사메틸렌테트라아민(hexamethylenetetramine)으로 이루어진 군에서 선택된 1종 이상을 포함하고, 상기 디티올계 용매는, 메탄디티올, 에탄디티올(ethanedithiol), 1,2-에탄디티올, 1,1-프로판디티올, 1,2-프로판디티올, 1,3-프로판디티올, 2,2-프로판디티올, 2,3-부탄디티올, 2,5-헥산디티올, 1,6-헥산디티올 및 2,9-데칸디티올로 이루어진 군에서 선택된 1종 이상을 포함하는 것일 수 있다.

[0020] 본 발명의 일 실시예에 따라, 상기 공용매를 혼합하여 용액을 형성하는 단계는, 상온 내지 50 ℃ 온도에서 교반하는 것일 수 있다.

[0021] 본 발명의 일 실시예에 따라, 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계; 상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계; 및 상기 칼코젠 원소를 포함하는 분위기에서 상기 코팅막을 제1 열처리하는 단계;를 포함하는, 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법에 관한 것이다.

[0022] 본 발명의 일 실시예에 따라, 상기 전구체 용액 중 용매는, 0.1 내지 99 중량%로 포함되고, 상기 용매는 아민계 용매인 것일 수 있다.

[0023] 본 발명의 일 실시예에 따라, 상기 용액 공정은, 스핀 코팅, 딥 코팅, 스프레이 코팅, 잉크젯 프린팅, 오프셋 프린팅, 그라비아 프린팅, 롤투롤 프린팅 및 스크린 프린팅으로 이루어진 군에서 선택된 1종 이상을 포함하는 것일 수 있다.

[0024] 본 발명의 일 실시예에 따라, 상기 제1 열처리하는 단계는, 열처리 장비 내에 칼코젠 원소 분말을 삽입하고, 상기 코팅막을 200 ℃ 이상의 온도에서 어닐링하는 것일 수 있다.

[0025] 본 발명의 일 실시예에 따라, 코팅막을 건조하는 단계; 를 더 포함하고, 상기 코팅막을 건조하는 단계는, 상온 이상의 온도에서 진공; 또는 공기, 산소, 불활성 가스 중 1종 이상을 포함하는 분위기에서 건조하는 것일 수 있다.

[0026] 본 발명의 일 실시예에 따라, 상기 코팅막을 건조하는 단계는, 공기 분위기에서 100 ℃ 이하의 온도에서 건조하는 제1 건조 단계 및 공기 분위기에서 200 ℃ 이상의 온도에서 건조하는 제2 건조 단계를 포함하는 것일 수 있다.

[0027] 본 발명의 일 실시예에 따라, 상기 제1 열처리하는 단계 이후에 제2 열처리하는 단계를 더 포함하고, 상기 제2 열처리하는 단계는, 상기 제1 열처리하는 단계 보다 높은 온도에서 어닐링하는 것일 수 있다.

[0028] 본 발명의 일 실시예에 따라, 상기 제2 열처리하는 단계 이후에 제3 열처리하는 단계를 더 포함하고, 상기 제3 열처리하는 단계는, 상기 제2 열처리하는 단계 보다 높은 온도에서 어닐링하는 것일 수 있다.

[0029] 본 발명의 일 실시예에 따라, 상기 기재는, 유연(flexible) 기판을 포함하고, 상기 유연 기판은, 폴리머, 유리, 직물, 금속, 금속질화물, 금속산화물 및 금속합금으로 이루어진 군에서 선택된 1종 이상을 포함하는 것일 수 있다.

[0030] 본 발명의 일 실시예에 따라, 상기 기재는, 유연 기판 및 상기 유연 기판 상에 형성된 전극층을 포함하고, 상기 전극층은, 금속, 금속질화물, 금속산화물 및 금속합금으로 이루어진 군에서 선택된 1종 이상을 포함하고, 상기 금속은, 이리듐(Ir), 몰리브덴(Mo), 레늄(Re), 스칸듐(Sc), 저마늄(Ge), 안티몬(Sb), 백금(Pt), 니켈(Ni), 금(Au), 은(Ag), 인듐(In), 주석(Sn), 실리콘(Si), 티타늄(Ti), 바나듐(V), 가돌륨(Ga), 망간(Mn), 철(Fe), 코발

트(Co), 구리(Cu), 징크(Zn), 지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니오븀(Nb), 니켈(Ni), 크롬(Cr), 몰리브데늄(Mo), 탄탈(Ta), 루테늄(Ru) 및 텅스텐(W)으로 이루어진 군에서 선택된 1종 이상을 포함하는 것일 수 있다.

[0031] 본 발명의 일 실시예에 따라, 상기 유연 기판은, 폴리이미드(PI, polymide), 폴리아마이드이미드, 아크릴(acryl), 폴리카보네이트(PC), 폴리메틸메타아크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET, Polyethylene Terephthalate), 폴리에틸렌 설폰(PES), 폴리에틸렌 나프탈레이트(PEN), 에틸렌비닐아세테이트(EVA), 아몰포스 폴리에틸렌테레프탈레이트(APET), 폴리프로필렌테레프탈레이트(PPT), 폴리에틸렌테레프탈레이트글리세롤(PETG), 폴리사이클로헥실렌디메틸렌테레프탈레이트(PCTG), 변성트리아세틸셀룰로스(TAC), 사이클로올레핀고분자(COP), 사이클로올레핀코고분자(COC), 디시클로펜타디엔고분자(DCPD), 시클로펜타디엔고분자(CPD), 폴리아릴레이트(PAR), 폴리에테르이미드(PEI), 폴리다이메틸실론세인(PDMS), 실리콘수지, 불소수지 및 변성에폭시수지로 이루어진 군에서 선택된 1종 이상을 포함하는 유연 폴리머 기판인 것일 수 있다.

[0032] 본 발명의 일 실시예에 따라, 본 발명에 의한 방법을 이용하여, 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계; 상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계; 상기 코팅막을 열처리하는 단계; 및 상기 코팅막 상에 전극층을 형성하는 단계; 를 포함하는, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법에 관한 것이다.

[0033] 본 발명의 일 실시예에 따라, 상기 기재는 유연 기판; 상기 기판 상에 형성된 접착층; 및 상기 접착층 상에 형성된 전극층;을 포함하고, 상기 접착층은, 무기 접착층, 유기접착층 및 유-무기 접착층으로 이루어진 군에서 선택된 1종 이상을 포함하는 것일 수 있다.

[0034] 본 발명의 일 실시예에 따라, 상기 전극층 상에 유연 폴리머층을 형성하는 단계; 및 상기 유연 폴리머층 상에 전극층을 형성하는 단계; 를 더 포함하는 것일 수 있다.

[0035] 본 발명의 일 실시예에 따라, 본 발명에 의한 방법을 이용하여, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자를 제조하는 단계; 상기 반도체 소자를 팽팽하게 스트레칭된 고무 기재 상에 전사하는 단계; 및 상기 고무 기재의 스트레칭을 해제하여 주름을 형성하는 단계; 를 포함하는, 칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자의 제조방법에 관한 것이다.

[0036] 본 발명의 일 실시예에 따라, 본 발명에 의한 방법으로 제조된, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 박막에 관한 것이다.

[0037] 본 발명의 일 실시예에 따라, 본 발명에 의한 방법으로 제조되고, 유연 기판; 상기 유연 기판 상에 형성된 전극층; 및 상기 전극층 상에 형성된 칼코제나이드계 은 화합물을 포함하는 반도체 박막; 을 포함하는, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자에 관한 것이다.

[0038] 본 발명의 일 실시예에 따라, 본 발명에 의한 방법으로 제조되고, 스트레처블 고무 기판; 및 상기 고무 기판 상에 형성된 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자; 를 포함하는, 칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자에 관한 것이다.

[0039] 본 발명의 일 실시예에 따라, 상기 스트레처블 전자 소자는, 저항성 랜덤 액세스 메모리인 것일 수 있다.

발명의 효과

[0040] 본 발명은, 기존의 유기 소재 기반의 스트레처블 전자 소자의 문제점이었던 전기적 특성과 내구성을 보완함과 동시에 무기 소재의 단점으로 작용하던 기계적 특성을 보완하는 차세대 스트레처블 전자 소자를 제작하는 방법을 제시할 수 있다.

[0041] 본 발명은, 저항성 랜덤 액세스 메모리 소자 외에도 무기반도체 소재, 즉 황화은 소재의 반도체 성질을 이용하여 광전 센서, 전계 효과 트랜지스터 등 다양한 스트레처블 전자 소자로도 응용할 수 있다.

[0042] 본 발명은, 용액 공정을 이용한 무기 반도체의 박막 제조 기술을 제공하고, 이는 기존의 화학 기상 증착법 등의 진공 증착 기술을 이용한 박막 제조 공정에 비해 큰 폭으로 생산 비용을 절감할 수 있고, 더 나아가 스트레처블 전자 소자의 생산 비용 절감 효과를 제공할 수 있다.

[0043] 본 발명은, 향후 고성능 반도체 소자를 필요로 하는 웨어러블 전자 기기에 활용될 가능성이 높으며 웨어러블 전자 기기 시장의 성장을 가속화시킬 수 있다.

도면의 간단한 설명

[0044] 도 1은, 본 발명의 일 실시예에 따른, 본 발명의 실시예의 용액 공정을 통한 황화은 전구체 용액 합성 및 황화은 박막을 형성하는 공정을 예시적으로 나타낸 것이다.

도 2는, 본 발명의 실시예에 따른, 본 발명의 실시예의 용액 공정을 이용하여 제조된 황화은 박막의 미세구조와 결정 특성을 평가한 SEM 이미지 및 XRD 분석 그래프를 나타낸 것이다.

도 3은, 본 발명의 실시예에 따른, 본 발명의 실시예에서 제조된 황화은 박막을 포함하는 스트레처블 전자 소자의 개략도 및 이미지를 나타낸 것이다.

도 4 내지 도 6은, 본 발명의 실시예에서 제조된 황화은 박막을 포함하는 유연 및 스트레처블 메모리 소자의 굽힘 및 신축성 사이클에 따른 On, Off 전류값에 대한 그래프를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0045] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0046] 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0047] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0048] 이하, 본 발명의 용액 공정을 통한 무기 반도체를 포함하는 반도체 박막의 제조 방법 및 이를 이용한 스트레처블 전자 소자의 제조방법에 대하여 실시예 및 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본 발명이 이러한 실시예 및 도면에 제한되는 것은 아니다.

[0049] 본 발명은, 칼코제나이드계 은 화합물 (chalcogenide silver) 전구체 용액의 제조방법에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 전구체 용액의 제조방법은, 공용매법을 이용하여 칼코제나이드계 은 화합물 용액을 제조한 이후 용액 정제 공정을 통해 칼코제나이드계 은 화합물 전구체 용액을 제조할 수 있다.

[0050] 본 발명의 일 실시예에 따라, 칼코제나이드계 은 화합물 분말과 공용매를 혼합하여 용액을 형성하는 단계; 상기 용액 중 용질을 침전시키는 단계; 및 상기 침전된 용질을 용매에 분산시키고 여과하는 단계를 포함할 수 있다.

[0051] 본 발명의 일 실시예에 따라, 상기 칼코제나이드계 은 화합물 분말과 공용매를 혼합하여 용액을 형성하는 단계는, 상기 칼코제나이드계 은 화합물 분말을 공용매에 용해시켜 칼코제나이드계 은 화합물 용액 (또는, 초기 용액으로 칭함)을 형성하는 단계이다.

[0052] 본 발명의 일 예로, 상기 칼코제나이드계 은 화합물 분말은, 나노 단위, 마이크로 단위 및/또는 벌크 분말일 수 있다. 상기 칼코제나이드계 은 화합물 중 칼코젠 원소는, S, Se 및 Te로 이루어진 군에서 선택된 1종 이상을 포함할 수 있으며, 예를 들어, 상기 칼코제나이드계 은 화합물은, Ag_2S, Ag_2Se 또는 이 둘일 수 있다.

[0053] 본 발명의 일 예로, 상기 공용매는, 2종 이상의 용매를 포함하고, 예를 들어, 아민계 용매 및 디티올계 용매를 포함할 수 있다. 상기 아민계 용매의 예로는, 에틸렌디아민(ethylenediamine), 디에틸렌트리아민(diethylenetriamine), 트리에틸렌테트라민(triethylenetetramine), 테트라메틸렌디아민(tetramethylenediamine), 1-메틸테트라메틸렌디아민(1-methyltetramethylenediamine) 및 헥사메틸렌테트라아민(hexamethylenetetramine)으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다. 상기 디티올계 용매의 예로는, 메탄디티올, 에탄디티올(ethanedithiol), 1,2-에탄디티올, 1,1-프로판디티올, 1,2-프로판디티올, 1,3-프로판디티올, 2,2-프로판디티올, 2,3-부탄디티올, 2,5-헥산디티올, 1,6-헥산디티올 및 2,9-데칸디티올로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다.

[0054] 본 발명의 일 예로, 상기 아민계 용매 대 상기 디티올계 용매의 혼합비는, 1 : 1 내지 20 : 1; 4 : 1 내지 15 :

1; 바람직하게는 4 : 1 내지 10 : 1(부비피, 아민계 용매(v):디티올계 용매(v))로 포함될 수 있다. 상기 혼합비 범위 내에 포함되면 공용매를 이용하여 무기 반도체 소재를 빠른 시간 내(예를 들어, 10 분 이내)에 용액화시킬 수 있다.

[0055] 본 발명의 일 예로, 상기 칼코제나이드계 은 화합물 분말과 공용매를 혼합하여 용액을 형성하는 단계는, 공용매의 결정화를 방지하거나 거의 발생하지 않는 온도 및/또는 시간 동안 이들을 혼합하여 용액을 형성할 수 있다. 예를 들어,

[0056] 상온 내지 60 ℃ 온도; 상온 내지 60 ℃ 온도; 40 ℃ 내지 50 ℃ 온도 및/또는 10분 이상; 30분 이상; 1 시간 이상; 또는 3 시간 내지 5 시간 동안 교반할 수 있다.

[0057] 본 발명의 일 실시예에 따라, 상기 용액 중 용질을 침전시키는 단계는, 상기 칼코제나이드계 은 화합물 용액(또는, 초기 용액으로 칭함)에 제2 용매를 투입하여 상기 용액의 용질을 침전시키고 원심 분리, 여과 등을 거쳐 용질을 수집 또는 용매와 분리하거나 또는 용매를 제거하여 용질만 잔류시킬 수 있다.

[0058] 본 발명의 일 예로, 상기 제2 용매는 상기 용액 시스템에서 용질을 침전시킬 수 있는 용매라면 제한 없이 적용될 수 있으며, 바람직하게는 메탄올, 에탄올, 아세토니트릴(acetonitrile) 및 테트라히드로퓨란(tetrahydrofuran) 등의 극성 용매 중 1종 이상을 포함할 수 있다.

[0059] 본 발명의 일 예로, 상기 제2 용매 대 상기 공용매(예를 들어, 아민계 용매)의 비율은, 5 : 1 내지 20 : 1(부피비, 제2 용매(v)/공용매 (v))로 투입될 수 있다.

[0060] 본 발명의 일 실시예에 따라, 상기 침전된 용질을 용매에 분산시키고 여과하는 단계는, 상기 용질을 용해 가능한 용매에 분산시키고 용해한 이후에 여과하여 정제된 칼코제나이드계 은 화합물 전구체 용액을 획득하는 단계이다.

[0061] 본 발명의 일 예로, 상기 용매는, 상기 공정을 통해 획득한 용질을 용해시키고 다음에 설명되는 반도체 박막, 연성 반도체 소자, 스트레처블 전자 소자의 제조를 위한 용액 공정에 적합한 용매라면 제한 없이 적용될 수 있다. 바람직하게는 상기 용매는 상기 언급한 아민계 용매일 수 있다.

[0062] 본 발명의 일 실시예에 따라, 상기 칼코제나이드계 은 화합물 전구체 용액 중 용질(즉, 전구체)의 함량은, 0.1 몰% 내지 5 몰%; 0.5 몰% 내지 3 몰%; 또는 1 몰% 내지 2몰 % 이거나 용매의 함량은 0.1 중량% 내지 99 중량%로 포함될 수 있다.

[0063] 본 발명은, 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 반도체 박막을 제조하는 방법은, 상기 언급한 본 발명에 의한 칼코제나이드계 은 화합물 전구체 용액을 이용하여 용액 공정과 열처리를 통해 고품질의 연성 반도체 박막을 제공할 수 있다.

[0064] 본 발명의 일 실시예에 따라, 상기 반도체 박막을 제조하는 방법은, 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계; 상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계; 및 상기 코팅막을 열처리하는 단계를 포함할 수 있다.

[0065] 본 발명의 일 실시예에 따라, 상기 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계는, 상기 언급한 바와 같고, 반도체 박막의 원하는 물성에 따라 용액의 농도는 적절하게 조절할 수 있다. 예를 들어, 상기 칼코제나이드계 은 화합물 전구체 용액 중 용질(즉, 전구체)의 함량은, 0.1 몰% 내지 5 몰%; 0.5 몰% 내지 3 몰%; 또는 1 몰% 내지 2몰 % 이거나 용매의 함량은 0.1 중량% 내지 100 중량% 미마; 또는 0.1 중량% 내지 99 중량%로 포함될 수 있다. 상기 용매는 상기 언급한 아민계 용매일 수 있다.

[0066] 본 발명의 일 실시예에 따라, 상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계는, 스핀 코팅, 딥 코팅, 스프레이 코팅, 잉크젯 프린팅, 오프셋 프린팅, 그라비아 프린팅, 롤투롤 프린팅 및 스크린 프린팅으로 이루어진 군에서 선택된 1종 이상을 포함하는 용액 공정을 이용하여 기재 상에 코팅막을 형성하는 단계이다.

[0067] 본 발명의 일 예로, 상기 기재는, 유연(flexible) 기판을 포함하고, 상기 유연 기판은, 폴리머, 유리, 직물, 실리콘(Si), 실리콘 산화물, 투명전극 물질, 탄소 재료, 금속, 금속질화물, 금속산화물, 금속탄화물 및 금속합금으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다.

[0068] 예를 들어, 금속, 금속질화물, 금속산화물, 금속탄화물 및 금속합금은, 각각, 이리듐(Ir), 몰리브덴(Mo), 레늄(Re), 스칸듐(Sc), 저마늄(Ge), 안티몬(Sb), 백금(Pt), 니켈(Ni), 금(Au), 은(Ag), 인듐(In), 주석(Sn), 실리

콘(Si), 티타늄(Ti), 바나듐(V), 가돌륨(Ga), 망간(Mn), 철(Fe), 코발트(Co), 구리(Cu), 징크(Zn), 지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니오븀(Nb), 니켈(Ni), 크롬(Cr), 몰리브데늄(Mo), 탄탈(Ta), 루테늄(Ru) 및 텅스텐(W)으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다.

[0069] 예를 들어, 상기 유연 기판은, 탄소 기판, 플라스틱 기판, 직물 기판, 또는 세라믹 기판, 유연 유리 기판, 유연 탄소 기반 기판 등일 수 있다.

[0070] 예를 들어, 상기 플라스틱 기판은, 폴리이미드(PI, polymide), 폴리아마이드이미드, 아크릴(acryl), 폴리카보네이트(PC), 폴리메틸메타아크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET, Polyethylene Terephthalate), 폴리에틸렌 설폰(PES), 폴리에틸렌 나프탈레이트(PEN), 에틸렌비닐아세테이트(EVA), 아몰포스폴리에틸렌테레프탈레이트(APET), 폴리프로필렌테레프탈레이트(PPT), 폴리에틸렌테레프탈레이트글리세롤(PETG), 폴리사이클로헥실렌디메틸렌테레프탈레이트(PCTG), 변성트리아세틸셀룰로스(TAC), 사이클로올레핀고분자(COP), 사이클로올레핀코고분자(COC), 디시클로펜타디엔고분자(DCPD), 시클로펜타디엔고분자(CPD), 폴리아릴레이트(PAR), 폴리에테르이미드(PEI), 폴리다이메틸실론세인(PDMS), 실리콘수지, 불소수지 및 변성에폭시수지로 이루어진 군에서 선택된 1종 이상을 포함하는 유연 폴리머 기판일 수 있다.

[0071] 예를 들어, 상기 직물 기판운, 부직포 등이며, 상기 탄소 기판은, 활성탄, 흑연, 카본나노튜브, 그라파이트, 카본블랙 및 그래핀 등을 포함할 수 있다.

[0072] 본 발명의 일 예로, 상기 기재는, 반도체 박막의 용도에 따라 기판 외에 다른 구성을 더 포함할 수 있으며, 예를 들어, 유연 기판 및 상기 유연 기판 상에 형성된 전극층을 포함하고, 상기 전극층은, 투명전극 물질, 금속, 금속질화물, 금속탄화물, 탄소 물질, 금속산화물 및 금속합금으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다. 예를 들어, 이리듐(Ir), 몰리브덴(Mo), 레늄(Re), 스칸듐(Sc), 저마늄(Ge), 안티몬(Sb), 백금(Pt), 니켈(Ni), 금(Au), 은(Ag), 인듐(In), 주석(Sn), 실리콘(Si), 티타늄(Ti), 바나듐(V), 가돌륨(Ga), 망간(Mn), 철(Fe), 코발트(Co), 구리(Cu), 징크(Zn), 지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니오븀(Nb), 니켈(Ni), 크롬(Cr), 몰리브데늄(Mo), 탄탈(Ta), 루테늄(Ru) 및 텅스텐(W)으로 이루어진 군에서 선택된 1종 이상을 포함하는 금속, 금속질화물, 금속산화물, 금속합금 및 금속탄화물; FTO(fluorine doped tin oxide, SnO_2 : F), ITO(indium tin oxide), IZO(indium zinc oxide), IGZO(indium gallium zinc oxide), AZO(Al-doped ZnO), AGZO(Aluminum Gallium Zinc Oxide), GZO(Ga-doped ZnO), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), SnO_2, ZnO, IrOx, RuOx, NiO, CNT, 흑연 및 그래핀으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다.

[0073] 본 발명의 일 예로, 상기 코팅막을 열처리하는 단계는, 공기, 불활성 기체 및 칼코젠 원소(가스, 증기) 중 적어도 하나를 포함하는 분위기에서 100 ℃ 이상; 150 ℃ 이상; 200 ℃ 이상; 200 ℃ 내지 500 ℃; 200 ℃ 내지 400 ℃; 200 ℃ 내지 350 ℃; 250 ℃ 내지 300 ℃; 또는 350 ℃ 내지 400 ℃ 온도에서 열처리할 수 있다.

[0074] 본 발명의 일 예로, 상기 코팅막을 열처리하는 단계는, 단일 열처리 또는 온도, 분위기 등의 조건의 변경 없이 또는 변경하여 복수회 열처리할 수 있다. 예를 들어, 칼코젠 원소를 포함하는 분위기에서 어닐링하는 제1 열처리 단계를 포함할 수 있다. 상기 제1 열처리 단계 이후에 잔류하는 칼코젠 원소를 증발시키기 위해 공기 분위기에서 어닐링하는 제2 열처리 단계를 더 포함할 수 있다. 상기 제1 열처리하는 단계는, 장치 또는 장비 내 열처리 영역에서 칼코젠 원소 분말과 상기 코팅막과 함께 배치하거나 또는 삽입하여 어닐링할 수 있다. 즉, 상기 제1 열처리하는 단계는, 칼코젠 원소 분위기에서 열처리하여 칼코젠 원소의 급격한 증발을 억제하여 박막의 미세구조가 무너지는 것을 방지하여 반도체 박막의 품질을 향상시킬 수 있다.

[0075] 본 발명의 일 예로, 상기 제1 열처리 단계 및 상기 제2 열처리 단계는 상기 온도 범위에서 선택되는 서로 동일하거나 또는 상이한 온도에서 어닐링할 수 있으며, 상기 제2 열처리하는 단계는, 상기 제1 열처리하는 단계 보다 높은 온도에서 어닐링하여 잔류하는 과량의 칼코젠 원소를 증발시킬 수 있다.

[0076] 본 발명의 일 예로, 상기 반도체 박막을 제조하는 방법은, 상기 코팅막을 건조하는 단계를 더 포함할 수 있다. 상기 코팅막을 건조하는 단계는, 잔류하는 유기 용매를 건조시키는 것으로, 상기 코팅막을 형성하는 단계 이후에 상온 이상; 상온 내지 350 ℃; 150 ℃ 내지 300 ℃; 30 ℃ 내지 100 ℃; 40 ℃ 내지 90 ℃; 또는 50 ℃ 내지 80 ℃ 온도에서 진공; 또는 공기, 산소, 불활성 가스 중 1종 이상을 포함하는 분위기에서 건조할 수 있다.

[0077] 예를 들어, 상기 건조하는 단계는 공기 분위기에서 100 ℃ 이하; 즉 30 ℃ 내지 100 ℃에서 1 시간 이내로 건조

하는 제1 건조 단계 및 공기 분위기에서 200 ℃ 이상; 즉 200 ℃ 내지 300 ℃에서 30분 이내로 건조하는 제2 건조 단계를 포함할 수 있다.

[0078] 본 발명의 일 예로, 상기 반도체 박막은, 연성 반도체 박막이며, 예를 들어, 100 nm 내지 200 nm 두께로 형성될 수 있다. 또한, 상기 반도체 박막은, 용액 공정 시 패턴 마스크 등을 이용하여 패터닝된 박막으로 형성될 수 있다.

[0079] 본 발명은, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법에 과한 것으로, 본 발명의 일 실시예에 따라, 상기 연성 반도체 소자의 제조방법은, 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계, 상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계, 상기 코팅막을 열처리하는 단계 및 상기 코팅막 상에 전극층을 형성하는 단계를 포함할 수 있다.

[0080] 본 발명의 일 예로, 상기 칼코제나이드계 은 화합물 전구체 용액을 제조하는 단계 및 상기 전구체 용액을 기재 상에 용액 공정으로 코팅하여 코팅막을 형성하는 단계는, 상기 언급한 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법과 동일한 공정으로 진행될 수 있다.

[0081] 본 발명의 일 예로, 상기 코팅막을 열처리하는 단계는, 단일 열처리 또는 온도, 분위기 등의 조건의 변경 없이 또는 변경하여 복수 회 열처리할 수 있다.

[0082] 본 발명의 일 예로, 상기 코팅막을 열처리하는 단계는, 상기 언급한 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 제조하는 방법과 동일한 공정으로 진행될 수 있으며, 예를 들어, 공기, 불활성 기체 및 칼코젠 원소(가스, 증기) 중 적어도 하나를 포함하는 분위기에서 100 ℃ 이상; 150 ℃ 이상; 200 ℃ 이상; 200 ℃ 내지 500 ℃; 200 ℃ 내지 400 ℃; 200 ℃ 내지 350 ℃; 250 ℃ 내지 300 ℃; 또는 350 ℃ 내지 400 ℃ 온도에서 열처리할 수 있다.

[0083] 본 발명의 일 예로, 상기 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법은, 상기 코팅막을 건조하는 단계를 더 포함할 수 있다. 상기 코팅막을 건조하는 단계는, 상기 코팅막을 형성하는 단계 이후에 상온 이상; 상온 내지 350 ℃; 150 ℃ 내지 300 ℃; 30 ℃ 내지 100 ℃; 40 ℃ 내지 90 ℃; 또는 50 ℃ 내지 80 ℃ 온도에서 진공; 또는 공기, 산소, 불활성 가스 중 1종 이상을 포함하는 분위기에서 건조할 수 있다.

[0084] 본 발명의 일 예로, 상기 코팅막 상에 전극층을 형성하는 단계는, 상부 전극층을 형성하는 것으로, 상기 언급한 전극층의 성분에서 선택될 수 있다. 상기 전극층은, 열증착(thermal evaporation), 전자 빔 증착(E-beam Evaporation), 스퍼터링, 화학적 증착 등과 같은 본 발명의 기술 분야에서 알려진 방법을 이용하여 전극층을 형성할 수 있고, 상기 전극층은 패턴 마스크 등을 이용하여 패터닝될 수 있다.

[0085] 본 발명의 일 예로, 상기 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법은, 상기 전극층 상에 유연 폴리머층을 형성하는 단계; 및 상기 유연 폴리머층 상에 전극층을 형성하는 단계; 를 더 포함할 수 있다. 상기 전극층 및 유연 폴리머층은, 열증착(thermal evaporation), 전자 빔 증착(E-beam Evaporation), 스퍼터링, 화학적 증착 등과 같은 본 발명의 기술 분야에서 알려진 방법을 이용하여 형성할 수 있고, 상기 전극층은 패턴 마스크 등을 이용하여 패터닝될 수 있다. 상기 전극층은, 상기 언급한 전극층의 성분에서 선택되고, 각 전극층은 상부 전극층으로 동일하거나 또는 상이한 성분을 포함할 수 있다. 상기 유연 폴리머층은, 상기 언급한 유연 기판의 성분에서 선택될 수 있다.

[0086] 본 발명의 일 예로, 상기 연성 반도체 소자에서 전극층 상에 형성된 칼코제나이드계 은 화합물을 포함하는 반도체 박막은 소자의 기능에 따라 활성층 등으로 적용될 수 있고, 예를 들어, 상부 및 하부 전극을 통해 양전압 혹은 음전압을 가해줌에 따라 전극 사이에 전도층 형성과 소멸을 반복하며 소자의 On, Off 기능을 수행할 수 있다.

[0087] 본 발명의 일 예로, 상기 연성 반도체 소자에서 전극층, 유연 폴리머층 및 박막의 두께는, 각각, 1 nm 이상; 50 nm 이상; 100 nm 내지 300 nm; 또는 100 nm 내지 200 nm일 수 있다.

[0088] 본 발명의 일 예로, 연성 반도체 소자의 용도 및 구성에 따라, 칼코제나이드계 은 화합물을 포함하는 박막이 형성되는 기재 및/또는 상기 박막 상에 추가 구성을 더 포함할 수 있다. 상기 구성은 본 발명의 목적을 벗어나지 않는다면 본 발명의 기술 분야에서 적용되는 구성을 포함할 수 있다.

[0089] 예를 들어, 상기 기재는 유연 기판; 상기 기판 상에 형성된 접착층; 및 상기 접착층 상에 형성된 하부 전극층; 을 포함하고, 상기 접착층은, 무기 접착층, 유기접착층 및 유-무기 접착층으로 이루어진 군에서 선택된 1종 이

상을 포함할 수 있고, 상기 무기 접착층은 티타늄을 포함할 수 있다.

[0090] 예를 들어, 유연 기판; 상기 유연 기판 상에 형성된 하부 전극층; 및 상기 전극층 상에 형성된 칼코제나이드계 은 화합물을 포함하는 반도체 박막; 상기 반도체 박막 상에 형성된 제1 상부 전극층; 상기 제1 상부 전극층 상에 형성된 유연 폴리머층; 및 상기 유연 폴리머층 상에 형성된 제2 상부 전극층;을 포함할 수 있다.

[0091] 본 발명은, 본 발명은 칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자의 제조방법에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 스트레처블 전자 소자의 제조방법은, 본 발명에 의한 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자의 제조방법을 이용하여 스트레처블 전자 소자를 제조할 수 있다. 예를 들어, 스트레처블 기판으로의 연성 반도체 소자의 전사 공정을 통해 스트레처블 전자 소자를 제조할 수 있다.

[0092] 본 발명의 일 실시예에 따라, 상기 스트레처블 전자 소자의 제조방법은, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자를 제조하는 단계; 상기 반도체 소자를 팽팽하게 스트레칭된 고무 기재 상에 전사하는 단계; 및 상기 고무 기재의 스트레칭을 해제(release)하는 단계; 를 포함할 수 있다.

[0093] 본 발명의 일 예로, 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자를 제조하는 단계는, 상이 언급한 바와 같고, 다음의 전사 공정을 위해서 상기 연성 반도체 소자와 접착력이 약한 희생 기판 상에 공정이 진행될 수 있다. 상기 희생 기판은, 웨이퍼, Si, SiO_2, GaAs, InP, Al_2O_3, SiC, 유리 및 석영(quartz) 등일 수 있고, 상기 웨이퍼는 Si/SiO_2 웨이퍼일 수 있다. 상기 웨이퍼 상에 칼코제나이드계 은 화합물을 포함하는 반도체 박막을 형성하기 위한 기재를 형성하거나 또는 배치시키고, 일련의 공정에 따라 진행될 수 있다.

[0094] 본 발명의 일 예로, 상기 반도체 소자를 팽팽하게 스트레칭된 고무 기재 상에 전사하는 단계는, 상기 반도체 소자를 희생 기판에서 분리한 이후 고무 기재 상에 전사하는 것으로, 상기 고무 기재는 신축성과 탄성을 포함하는 재료이며, 전사 이전에 미리 팽팽하게 스트레칭된 상태이다.

[0095] 본 발명의 일 예로, 상기 고무 기재는, 신축성 고무 재료(Stretchable materials)를 포함하고, 스트레처블 전자 소자에 적용 가능한 것이라면 제한 없이 적용될 수 있고, 예를 들어, 천연고무, PDMS(Polydimethylsiloxane), 에코플렉스(Ecoflex), hydrogel(히드로겔), 스티렌-부타디엔 고무, 폴리부타디엔 고무, 에틸렌-프로필렌 고무, 에틸렌-프로필렌-디엔 고무, 폴리이소부틸렌-이소프렌 고무, 폴리클로로프렌 고무, 및 낮은 아크릴로니트릴 함량(〈35중량%) 니트릴-부타디엔 고무로 이루어진 군에서 선택된 1종 이상의 탄성중합체를 포함할 수 있으나, 이에 제한되지 않는다.

[0096] 본 발명의 일 예로, 상기 고무 기재의 스트레칭을 해제(release)하는 단계는, 팽팽하게 스트레칭된 상태를 해제함으로써, 일정 간격의 주름 및/또는 굴곡을 갖는 스트레처블 반도체 소자를 형성할 수 있다.

[0097] 본 발명의 일 예로, 칼코제나이드계 은 화합물을 포함하는 스트레처블 전자 소자는, 스트레처블 고무 기판; 및 상기 고무 기판 상에 칼코제나이드계 은 화합물을 포함하는 연성 반도체 소자; 를 포함할 수 있다. 상기 스트레처블 전자 소자는, 칼코제나이드계 은 화합물의 반도체 성질을 이용하는 전자 소자이며, 예를 들어, 저항성 랜덤 액세스 메모리, 광전 센서, 전계 효과 트랜지스터 등일 수 있다.

[0098] 이하, 본 발명에 대해 실시예 및 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본 발명이 이러한 실시예 및 도면에 제한되는 것은 아니다.

[0099] **(1) Ag_2S 용액의 제조**

[0100] 도 1에 나타낸 바와 같이, 초기 Ag_2S 용액은 0.045 g의 Ag_2S 분말을 1 mL의 에틸렌디아민(ethylenediamine) 및 0.1 mL의 에탄디티올(ethanedithiol)의 공용매에 용해시켜 제조하였다. 이 용액을 50 ℃에서 3 시간 동안 교반하여 분말을 완전히 용해시키고 공용매의 결정화를 방지하였다. 다음으로, 5 mL의 아세토니트릴을 1.1 mL의 Ag_2S 용액에 첨가한 후 용질을 침전시키고 다음으로 7800 rpm에서 5 분 동안 원심분리하였다. 침지된 용질을 0.15 mL 에틸렌디아민에 재분산시키고 0.2 μm PTFE 필터를 통해 여과하여 정제된 Ag_2S 용액(에틸렌디아민에 용해)을 획득하였다. 모든 공정은 질소 충전 글로브 박스에서 수행하였다.

[0101] **(2) Ag_2S 박막의 증착**

[0102] 유리, 폴리이미드 기판은 메탄올, 아세톤 및 이소프로판올로 세척한 다음 O_2 플라즈마 처리로 기판을 친수화하여 제조하였다. 정제된 Ag_2S 용액을 2000 rpm에서 40 초 동안 기판 상에 스핀코팅 하였다. Ag_2S 박막을 85 ℃에

서 15 분 동안 건조시킨 후, 핫 플레이트 상에서 300 ℃에서 5 분 동안 어닐링하였다. 다음으로, Ag_2S 박막은 도가니(crucible)에서 황 분말로 어닐링하였다. 제2 열처리는 잔류 과량의 황을 증발시키기 위해 350 ℃에서 30 분 동안 어닐링하였다.

[0103] **(3) Ag_2S-기반 RRAM 다바이스 제작**

[0104] 제조된 유리 및 폴리이미드 기판 상에 알루미늄 전극을 증착시켰다. 폴리이미드 기판의 경우, ~5 nm의 티타늄층이 폴리이미드 기판과 알루미늄층 사이의 접착층으로서 증착되었다. 다음으로, Ag_2S 박막을 Al 전극 상에 스핀 코팅하고 300 ℃에서 어닐링하였다. Ag_2S 코팅 후, 패턴화된은 전극은, 패턴화된 마스크를 사용하여 Ag_2S 박막 상에 증착시켰다. 모든 금속층은 열 증발기(thermal evaporator)로 증착하였다.

[0105] **(4) 신축성(stretchable) RRAM 다바이스의 제작**

[0106] 1 × 3 cm^2 크기로 절단된 Si/SiO_2 웨이퍼를 2-프로판올 및 탈이온수에서 각각 5 분 동안 초음파 처리하였다. 웨이퍼를 건조시킨 후, 산소 플라즈마를 수행하여 웨이퍼 표면을 친수화시켰다. 폴리이미드 용액을 1,000 rpm에서 30 초 동안 2 회 스핀 코팅 한 후, 공기 중에서 150 ℃에서 5 분 동안, 불활성 조건에서 150 ℃에서 5 분 동안 및 250 ℃에서 60 분 동안 핫 플레이트상에서 어닐링하였다. 다음으로, 티타늄을 접착층 (~ 5nm)으로 증착하고 ~ 70nm의 알루미늄을 열 증발기(thermal evaporator)로 티타늄 층에 증착하였다. Ag_2S 박막을 2000 rpm에서 40 초 동안 Al 전극 상에 스핀 코팅하였다. Ag_2S를 패턴화하기 위해 섀도우 마스크가 사용되었다. Ag_2S 코팅 후, 패턴화된 금속 마스크를 이용하여 열 증발기에 의해 ~ 70 nm의 은이 상부 전극으로서 Ag_2S 상에 증착되었다. 폴리이미드 필름을 3000 rpm에서 30 초 동안 스핀 코팅 공정에 의해 상부에 코팅하고, 패턴화된 금속 마스크로 385 초 동안 산소 플라즈마 (150W, 420mTorr)에 의해 부분적으로 에칭하였다. 은 전극을 ~ 70 nm로 다시 한번 증착시켰다. 그 후, 웨이퍼 기재로부터 수용성 테이프로 장치를 박리하고, 미리 팽팽하게 당겨진 고무 기재(Pre-stretched rubber substrate)에 전사하였다. 탈이온수를 60 초 동안 떨어뜨린 후, 수용성 테이프를 장치로부터 분리하고 잔류 탈이온수를 공기 블로잉(air blowing)으로 건조시켰다. 사전 연신된 고무 기판(Pre-strained rubber substrate)이 풀리고 신축성 메모리 디바이스를 획득하였다. 상기 메모리 디바이스의 구체적인 형태는 도 3에 나타내었다.

[0107] 도 2는 본 발명의 실시예에 따른 용액 공정을 이용하여 만든 황화은 박막의 미세구조와 결정 특성을 평가한 SEM 이미지 및 XRD 분석 그래프이다. 도 2에서 균일한 박막이 형성된 것을 확인할 수 있고, XRD 패턴에서 (012), (013), (014) 면에 해당하는 peak 의 intensity 가 다른 면의 intensity 대비 상당히 크게 나왔는데 이를 통해 박막의 결정이 (011) 면방향으로 배향되어 성장했다는 것을 알 수 잇습니다.

[0108] 도 4 내지 도 6은, 본 발명의 실시예에 따른 황화은 박막을 포함하는 유연 및 스트레처블 메모리 소자의 굽힘 및 신축성 사이클에 따른 On, Off 전류값을 나타내는 그래프이다.

[0109] 도 4 내지 도 6을 살펴보면, 황화은 전구체 용액을 이용하여 용액 공정을 통해 제조한 연성 반도체 박막은 유연 기판 및 신축성 기판 위에서 우수한 기계적 성질을 나타내며, 폴리이미드 기판 위에 제작된 저항성 랜덤 액세스 메모리 소자는 약 1.9 mm의 굽힘 반경에서 1000 번의 굽힘 사이클 후에도 메모리 소자의 On, Off 상태에서의 전류 값을 유지하는 것을 확인할 수 있다.

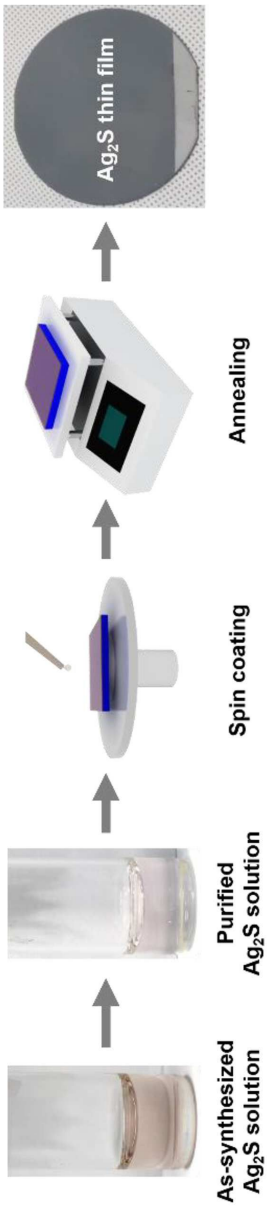
[0110] 신축성 기판 위에 제작된 황화은 기반의 저항성 메모리 소자는 소자의 최대 신장 변형률인 47%까지 전기적 특성을 유지하였고, 30% 변형률로 1000 번의 신장 사이클 후에도 메모리 소자의 전기적 특성을 유지하는 우수한 기계적 특성을 나타내는 것을 확인할 수 있다.

[0111] 본 발명은, 용액 공정을 위한 칼코제나이드계 은 화합물, 즉 황화은 전구체 용액을 제조하고, 이를 이용하여 용액 공정과 용액 정제 공정을 통해 고품질의 황화은 박막을 제공할 수 있다. 또한, 본 발명은, 내산화성, 내식성, 내열성뿐만 아니라 기계적 성질이 개선된 연성 반도체 소자 및 신축성 전자 소자를 제공할 수 있다.

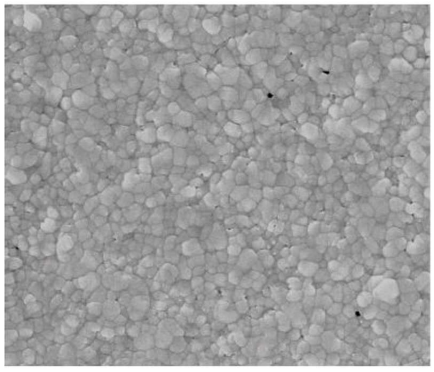
[0112] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

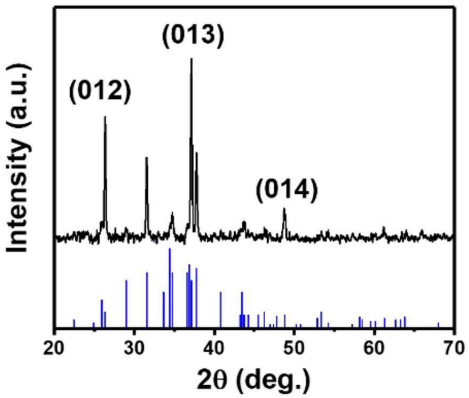
도면

도면1

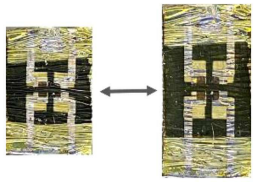

Ag_2S thin film
Annealing
Spin coating
Purified Ag_2S solution
As-synthesized Ag_2S solution

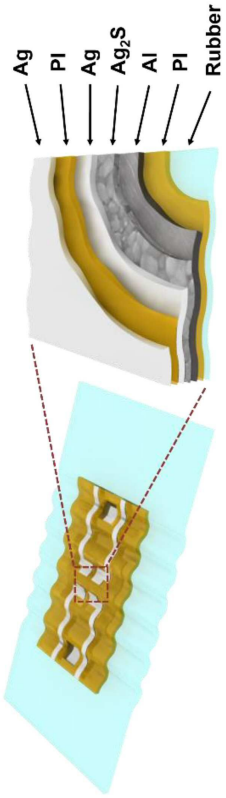
도면2



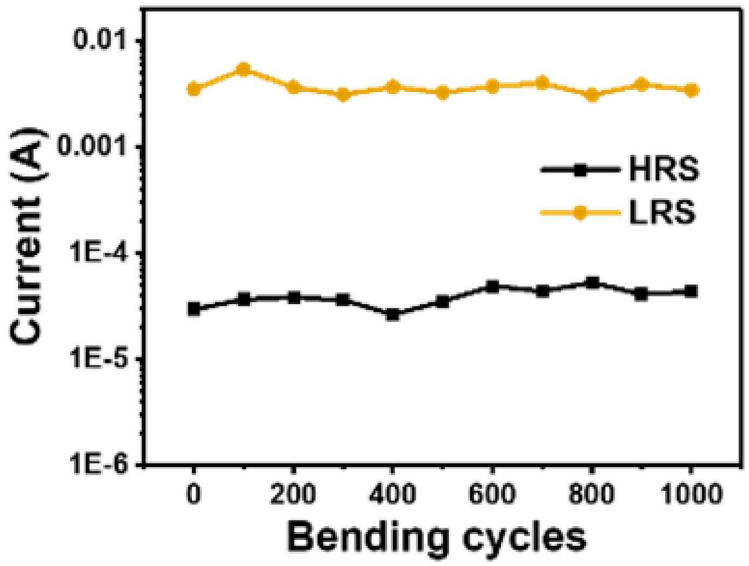

(013)
(012)
(014)
Intensity (a.u.)
20
30
40
50
60
70
2θ (deg.)

도면3

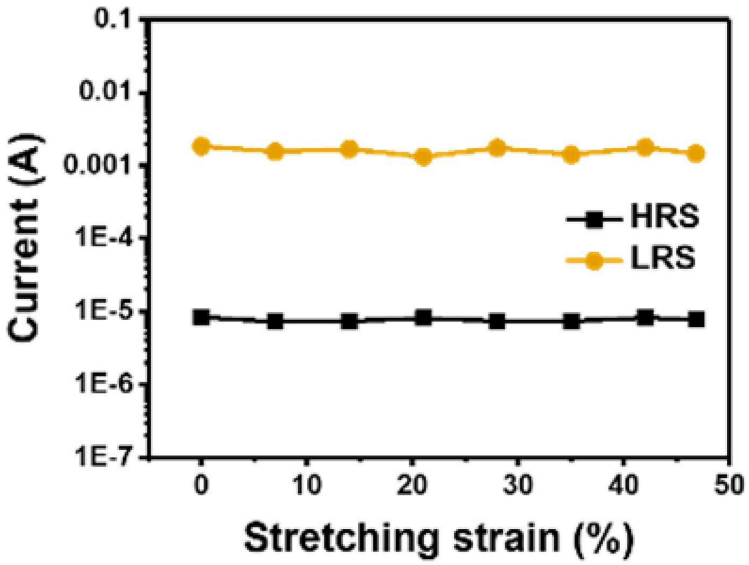



Ag
PI
Ag
Ag2S
Al
PI
Rubber

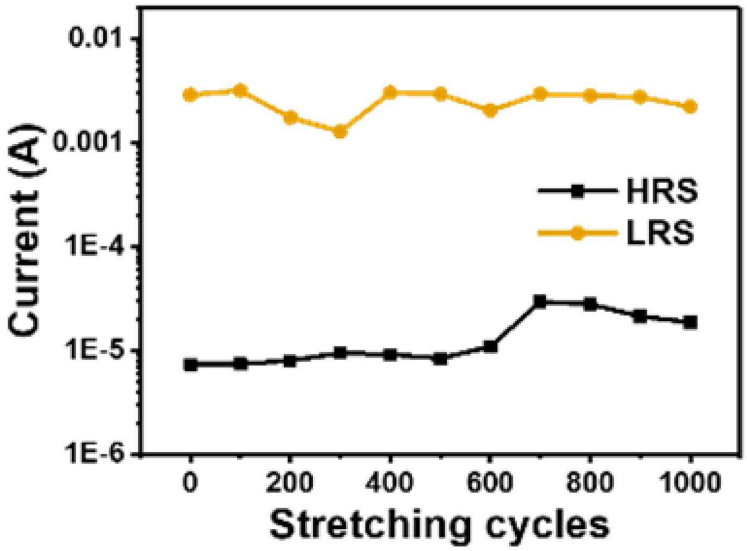
도면4


0.01
0.001
1E-4
1E-5
1E-6
Current (A)
HRS
LRS
0
200
400
600
800
1000
Bending cycles

도면5


0.1
0.01
0.001
1E-4
1E-5
1E-6
1E-7
Current (A)
HRS
LRS
0
10
20
30
40
50
Stretching strain (%)

도면6


0.01
0.001
1E-4
1E-5
1E-6
Current (A)
HRS
LRS
0
200
400
600
800
1000
Stretching cycles