

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-287291  
(P2005-287291A)

(43) 公開日 平成17年10月13日(2005. 10. 13)

(51) Int. Cl.<sup>7</sup> F I テーマコード (参考)  
 H O 2 M 3/155 H 5 H 7 3 O

審査請求 未請求 請求項の数 15 O L 外国語出願 (全 27 頁)

<p>(21) 出願番号 特願2005-59456 (P2005-59456)                  (22) 出願日 平成17年3月3日(2005. 3. 3)                  (31) 優先権主張番号 10/810, 452                  (32) 優先日 平成16年3月26日(2004. 3. 26)                  (33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 502188642                  マーベル ワールド トレード リミテッド                  バルバドス国 セント マイケル ウィル                  ディ ロード ウィルディ ビジネス パ                  ーク パーカー ハウス                  (74) 代理人 100104156                  弁理士 龍華 明裕                  (72) 発明者 スタルジャ サハット                  アメリカ合衆国、カリフォルニア州 9 4                  O 2 2、ロス アルトス ヒルズ、エレ                  ナ ロード 2 7 3 3 O                  Fターム(参考) 5H730 AA14 AS01 AS05 BB13 DD02                  DD32 EE02 EE07 EE10 EE13                  ZZ17</p>
--	--

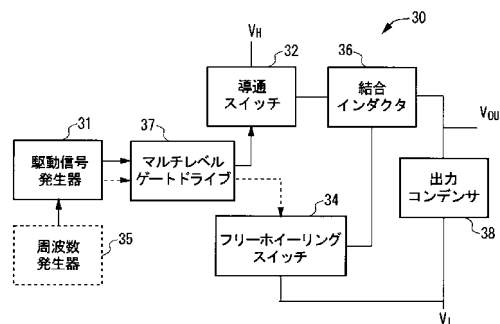
(54) 【発明の名称】 電圧調整器

(57) 【要約】 (修正有)

【課題】スイッチング電源においてスイッチング損失を小さくする電圧調整器を提供する。

【解決手段】それぞれ1つの極性を有する第1巻線と第2巻線とを含む結合インダクタ36は、その第1巻線と第2巻線とが同じ極性を持ち、それらが直列接続されて1つの共通ノードを形成し、第1巻線と第2巻線とはほぼ1に等しい結合係数を有する。前記結合インダクタ36と、入力電圧を結合インダクタ36に1つのスイッチング周波数で制御可能に導通するために、オン状態とオフ状態とを有する導通スイッチ32と、オン状態とオフ状態とを有し、導通スイッチがオフ状態のときに電流のための経路を提供するために結合インダクタ36の共通ノードにつながっているフリーホイーリングスイッチ34と、出力電圧をフィルタリングするために、結合インダクタ36につながっている出力コンデンサ38とを備えることにより、電圧調整器30を構成する。

【選択図】 図2 A



## 【特許請求の範囲】

## 【請求項 1】

1つの入力電圧から1つの出力電圧を生成するための1つの電圧調整器であって、それぞれ1つの極性を有する1つの第1巻線と1つの第2巻線とを含み、前記第1巻線と前記第2巻線とが直列に接続されて1つの共通ノードを形成し、前記第1巻線と前記第2巻線とが同じ極性を有し、前記第1巻線と前記第2巻線との1つの結合係数がほぼ1に等しい少なくとも1つの結合インダクタと、

前記入力電圧を前記少なくとも1つの結合インダクタに1つのスイッチング周波数で制御可能に導通するために、1つのオン状態と1つのオフ状態とを有する1つの導通スイッチと、

1つのオン状態と1つのオフ状態とを有し、前記導通スイッチが前記オフ状態のときに1つの電流経路を設けるために前記少なくとも1つの結合インダクタの前記共通ノードにつながっている1つのフリーホイーリングスイッチと、  
を備える、電圧調整器。

10

## 【請求項 2】

前記結合係数が少なくとも0.99である、請求項1に記載の電圧調整器。

## 【請求項 3】

前記第1巻線が1つの巻数 $N_1$ を有し、前記第2巻線が1つの巻数 $N_2$ を有し、1つの巻数比が $N_1/N_2$ として定義され、少なくとも2である1つの所定値に設定されている、請求項1に記載の電圧調整器。

20

## 【請求項 4】

前記巻数比が約2である、請求項3に記載の電圧調整器。

## 【請求項 5】

前記結合インダクタが磁気材料でできた単一コア上に形成されている、請求項1に記載の電圧調整器。

## 【請求項 6】

前記出力電圧をフィルタリングするために前記少なくとも1つの結合インダクタにつながっている1つの出力コンデンサをさらに備える、請求項1に記載の電圧調整器。

## 【請求項 7】

前記導通スイッチが個別に制御可能な複数の並列スイッチを備える、請求項1に記載の電圧調整器。

30

## 【請求項 8】

前記導通スイッチを制御するために1つのマルチレベルゲートドライブをさらに備える、請求項1に記載の電圧調整器。

## 【請求項 9】

前記フリーホイーリングスイッチが、複数の一方向スイッチと、複数の双方向スイッチと、複数のダイオードと、複数の整流器と、複数の同期整流器と、複数のFETと、NMOSと、PMOSと、複数のBJTと、複数のIGBTとから成る群から選択される、請求項1に記載の電圧調整器。

## 【請求項 10】

前記電圧調整器に並列接続されている別の電圧調整器を少なくとも1つさらに備える、請求項1に記載の電圧調整器。

40

## 【請求項 11】

前記導通スイッチが、複数の電界効果トランジスタ(FET)と、NMOSと、PMOSと、複数のバイポーラ接合トランジスタ(BJT)と、複数の統合ゲート・バイポーラ接合トランジスタ(IGBT)とから成る群から選択される、請求項1に記載の電圧調整器。

## 【請求項 12】

前記複数の電圧調整器の1つの位相シーケンスを制御するために前記複数の電圧調整器のそれぞれにつながっている1つの位相発生器をさらに備える、請求項10に記載の電圧

50

調整器。

【請求項 1 3】

前記出力電圧が 1 つの所定の大きさに調整されるように、前記導通スイッチの前記オン時間を制御するための 1 つの制御装置をさらに備える、請求項 1 に記載の電圧調整器。

【請求項 1 4】

前記フリーホイーリングスイッチが前記導通スイッチより低い 1 つの耐電圧を有する、請求項 1 に記載の電圧調整器。

【請求項 1 5】

前記フリーホイーリングスイッチと前記導通スイッチとが複数の電界効果トランジスタであり、前記フリーホイーリングスイッチが前記導通スイッチより低い 1 つの  $R_{ds(on)}$  を有する、請求項 1 に記載の電圧調整器。 10

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2004年1月8日出願の米国出願番号第10/754,187号の内容全体、および2003年8月21日出願の米国出願番号第60/496,957号仮出願の出願日の優先権を主張する2003年10月24日出願の米国出願番号第10/693,787号の内容全体を引用したものとす。本願は、2003年7月16日出願の米国出願番号第10/621,128号および2003年12月22日出願の米国出願番号第10/744,416号の内容全体を引用したものとす。 20

【0002】

本発明の一態様は、複数の電子回路のための複数の電源システムに関する。

【背景技術】

【0003】

複数の電子サブシステム内で電圧調整を行うために、複数のスイッチングレギュレータが広く使用されている。1つのスイッチングレギュレータは、1つの入力電圧から1つのパルス出力を生成することによって、1つの出力電圧を発生させる。1つのDC出力電圧を発生させるために、このパルス出力は一般に1つの低域通過フィルタによってフィルタリングされる。このDC出力電圧の大きさの調整は、このパルス出力を含む複数のパルスのパルス幅を変化させることによって、またはこのパルス出力のオン時間またはオフ時間を制御することによって行い。1つのスイッチングレギュレータにおける複数の電力損失の1つのかなりの部分は、入力電圧からパルス出力を生成する複数の電源スイッチにおいて発生する。これらの電源スイッチにおける複数の損失は、複数の導通損失と複数のスイッチング損失とに分類し。パルス出力のスイッチング周波数に応じてパルス幅が狭まるので、複数の導通損失に比して相対的に複数のスイッチング損失が増加し。さらに、1つのデューティサイクルが10%などのより狭い複数のパルス幅では、出力電圧の調整維持がより困難になるので、出力電圧の誤差が増加し。 30

【発明の開示】

【発明が解決しようとする課題】

【0004】

図1Aは、12ボルトの1つの入力電圧を約1.2ボルトの1つの出力電圧  $V_{out}$  に変換するための1つの典型的な従来型電圧調整器 10 を示す。1つの導通スイッチ 12 と1つのフリーホイーリングスイッチ 14 とによって、この入力を1つのパルス出力に変換し。一般に、導通スイッチ 12 およびフリーホイーリングスイッチ 14 は、全入力電圧に耐えられる複数の高電圧素子となるように選択される。このパルス出力を1つの出力インダクタ 16 と1つの出力コンデンサ 18 とによってフィルタリングすることによって、 $V_{out}$  を形成し。図1Bは、従来型電圧調整器 10 における複数の波形を示す。波形 20 は、導通スイッチ 12 の動作状態を示す。波形 22 は、フリーホイーリングスイッチ 14 の両端の電圧  $V_1$  を示す。電圧  $V_1$  は、1つの立ち上がり時間と1つの立ち下がり時間とが一般に約  $10\text{ nsec}$  になり。一般に、この立ち上がり時間と立ち下がり 40 50

時間とは、導通スイッチ 12 とフリーホイーリングスイッチ 14 とに使用される複数のスイッチの種類によって制限される。立ち上がり時間と立ち下がり時間とが長くなるにつれて、複数のスイッチング損失が増加しうる。波形 24 は、出力インダクタ 16 を流れる電流  $I_1$  を示す。パルス幅が狭まるにつれて、複数の全電力損失に占める複数のスイッチング損失の 1 つの割合がより大きくなる。

【課題を解決するための手段】

【0005】

それぞれ 1 つ極性を有する 1 つの第 1 巻線と 1 つの第 2 巻線とを含む少なくとも 1 つの結合インダクタを含む 1 つの電圧調整器。第 1 巻線と第 2 巻線とが同じ極性を持つように、第 1 巻線と第 2 巻線とは直列接続されて 1 つの共通ノードを形成する。第 1 巻線と第 2 巻線とはほぼ 1 に等しい 1 つの結合係数を有する。1 つの入力電圧を少なくとも 1 つの結合インダクタに 1 つのスイッチング周波数で制御可能に導通するために、1 つのオン状態と 1 つのオフ状態とを有する 1 つの導通スイッチ。1 つのオン状態と 1 つのオフ状態とを有し、導通スイッチがオフ状態のときに 1 つの電流経路を設けるために少なくとも 1 つの結合インダクタの共通ノードにつながっている 1 つのフリーホイーリングスイッチ。この出力電圧をフィルタリングするために、少なくとも 1 つの結合インダクタにつながっている 1 つの出力コンデンサ。

10

【0006】

本発明の 1 つまたは複数の実施態様の詳細を複数の添付図面および以下の説明に示す。本発明の他の複数の特徴、複数の目的、および複数の利点は、以下の説明と複数の図面、および特許請求の範囲から明らかであろう。

20

【発明を実施するための最良の形態】

【0007】

種々の複数の図面中、同様の複数の参照記号は同様の複数の構成要素を示す。

【0008】

図 2A は、1 つまたは複数の素子、たとえば複数の高速ドライバや他の複数の電子素子、に電力を供給するための 1 つの電圧調整器 30 の一実施形態の 1 つのブロック図を示す。1 つの入力電圧  $V_{IN}$  を 1 つの非絶縁型出力電圧  $V_{OUT}$  に変換するために、電圧調整器 30 を開ループまたは閉ループで動作させてもよい。入力電圧は、地気または  $V_L$  など、どのような電圧を基準にしてもよい。この入力電圧を 1 つの結合インダクタ 36 に印加するために、1 つの導通スイッチ 32 を 1 つのオン状態と 1 つのオフ状態との間で 1 つのスイッチング周波数で切り換えてもよい。導通スイッチ 32 は、複数の電界効果トランジスタ (FET)、NMOS、PMOS、複数のバイポーラ接合トランジスタ (BJT)、および複数の統合ゲート・バイポーラ接合トランジスタ (IGBT) など、どのような種類の双方向スイッチング素子でもよい。オフ時間中は全入力電圧が導通スイッチ 32 の両端に印加されうるので、導通スイッチ 32 は入力電圧より大きい 1 つの耐電圧を有する必要がある。導通スイッチ 32 がオフ状態のときに結合インダクタ 36 に流れる電流のための経路を 1 つのフリーホイーリングスイッチ 34 によって設けてもよい。フリーホイーリングスイッチ 34 は、複数の一方向スイッチ、複数の双方向スイッチ、複数のダイオード、複数の整流器、複数の同期整流器、複数の FET、NMOS、PMOS、複数の BJT、および複数の IGBT など、どのような種類のスイッチでもよい。結合インダクタ 36 の動作によって、電圧調整器 30 の作動中にフリーホイーリングスイッチ 34 の両端に印加される電圧は全入力電圧より低いので、フリーホイーリングスイッチ 34 は入力電圧より低い 1 つの耐電圧を有してもよい。より低い 1 つの耐電圧を有する複数のスイッチは、同程度の 1 つのダイサイズとより高い 1 つの耐電圧とを有する 1 つのスイッチに比べ、1 つの  $R_{ds(on)}$  または  $V_{ce(sat)}$  がほぼ例外なく低いので好都合である。フリーホイーリングスイッチ 34 の  $R_{ds(on)}$  または  $V_{ce(sat)}$  が低いほど、フリーホイーリングスイッチ 34 における複数の導通損失が低下しうる。さらに、フリーホイーリングスイッチ 34 の両端に印加される電圧もより低いので、複数のスイッチング損失も低下しうる。結合インダクタ 36 を流れる電流を 1 つの出力コンデンサ 38 によってフ

30

40

50

フィルタリングすることによって、V o u tを形成してもよい。導通スイッチ32を制御するための1つの駆動信号を1つの駆動信号発生器31から発生させてもよい。フリーホイーリングスイッチ34として1つのF E Tなどの1つの制御可能スイッチを使用する場合は、フリーホイーリングスイッチ34を制御するための1つの駆動信号も駆動信号発生器31から発生させてもよい。

【0009】

1つの動作周波数を有する1つのクロック信号を1つの周波数発生器35から発生させてもよい。この動作周波数で動作させるために、複数の駆動信号を同期させてもよい。一実施形態においては、動作周波数を1つの所定周波数に固定してもよい。別の実施形態においては、出力電流や出力電圧などの複数の負荷条件の複数の変化に応じて、動作周波数を制御できるようにしてもよい。たとえば、負荷電流の1つの増加など、出力電流の1つの変化が検知されたときは、出力の過渡的応答を増やすために動作周波数を上げてもよい。電圧調整器30が負荷条件の変化に対応し、複数の定常動作条件に再び達したら、電圧調整器30における複数の電力損失を減らすために、動作周波数を下げてもよい。

10

【0010】

複数のスイッチング損失を減らすために、1つのマルチレベルゲートドライブ37によって1つのマルチレベルゲート電圧を用いて導通スイッチ32およびフリーホイーリングスイッチ34のどちらか一方を駆動してもよい。たとえば、導通スイッチ32を流れる電流などの複数の要因に応じてオン電圧の大きさを複数の異なる所定レベルに調整することによって、導通スイッチ32における複数のスイッチング損失を減らしてもよい。導通ス

20

【0011】

図2Bは、導通スイッチ32およびフリーホイーリングスイッチ34の様態を示す。導通スイッチ32およびフリーホイーリングスイッチ34は、個別に制御可能な1つまたは複数の並列スイッチ33a~33cをそれぞれ備えてもよい。複数の並列スイッチ33a~33cの全部または一部をオンにできるように、並列スイッチ33a~33cのそれぞれを個別にイネーブル信号E N B 1~E N B 3によって制御できるようにしてもよい。次に、オン状態になった複数の並列スイッチ33a~33cを同じ駆動信号 $\phi_1$ によって

30

【0012】

図2Cは、電圧調整器30の一実施形態の1つの概略図を示す。本実施形態においては、1つの導通スイッチ32aおよび1つのフリーホイーリングスイッチ34aとしてそれぞれP M O S素子およびN M O S素子を使用してもよい。D C出力電圧V o u tを生成するために、導通スイッチ32aおよびフリーホイーリングスイッチ34aによって生成されたパルス出力を1つの結合インダクタ36aおよび1つの出力コンデンサ38aによってフィルタリングしてもよい。

【0013】

結合インダクタ36aは巻数N1の1つの第1巻線と巻数N2の1つの第2巻線とを有してもよい。結合インダクタ36aを通るエネルギーの流れを制御するために、1つの巻数比N1/N2を1つの所定値に設定してもよい。たとえば、1つの巻数比0の場合は、標準トポロジーの1つのバックコンバータが形成される。1つの巻数比2の場合は、電圧調整器のデューティサイクルが標準トポロジーのバックコンバータのデューティサイクルの約2倍になるので、結合インダクタ36aを流れる電流の大きさが約2分の1になり、フリーホイーリングスイッチ34aのドレインソース間に印加される電圧が標準トポロジーのバックコンバータのドレインソース間に印加される電圧より低くなる。フリーホイーリングスイッチ34aのドレインソース間に印加される電圧は凡そ数1の通りである。

40

【0014】

50

【数 1】

$$V_{ds} \cong (V_{in} - V_{out}) * \left( \frac{N_2}{N_1 + N_2} \right) + V_{out}$$

【0015】

これに対して、標準トポロジーの1つのバックコンバータにおいては、フリーホイーリングスイッチのドレインソース間に印加される電圧は凡そ数2の通りである。

【0016】

【数 2】

$$V_{ds} \cong V_{in}$$

10

【0017】

したがって、フリーホイーリングスイッチ34aの選択にあたっては、より低い1つの耐電圧 $V_{ds}$ を有するものを選択してもよい。また、標準トポロジーの1つのスイッチが使用するものと同様の1つのダイサイズを使用することによって、フリーホイーリングスイッチ34aの $R_{ds(on)}$ もより低くなりうる。

【0018】

1が理想値である場合は、結合係数 $K$ が好ましくは約1になるように、結合インダクタ36aを相互に緊密に結合してもよい。結合係数の最大値を提供する1つのインダクタアセンブリを形成するために、結合インダクタ36aの複数のインダクタを共通の1つの磁気コアに巻くことが好ましい。結合係数は約1とし、少なくとも0.9とし、0.99より大きいことが好ましい。結合インダクタ36aの複数のインダクタのそれぞれを流れる電流が同じ方向に流れるように、結合インダクタ36aの複数の巻線のそれぞれの極性を選択する。結合インダクタ36aに使用するコア材料は適切であればどのような種類でもよく、ビードおよびトロイドなどの複数の形状を有する複数のフェライトなどの複数の高透磁率コア材料、および複数のMPPコア、複数のフェライトPQコア、および他の複数の分割コア形状などの複数の低透磁率材料が挙げられる。

20

【0019】

図2Dは、 $V_{in}$ が12ボルトに等しく、 $V_{out}$ が1.2ボルトに等しい電圧調整器30の一樣態における複数の波形を示す。波形40は、導通スイッチ $S_1$ , 32aの導通状態を示す。波形42は、フリーホイーリングスイッチ34aのドレインソース電圧 $V_{ds}$ を示す。導通スイッチ32aのオン時間中の $V_{ds}$ の大きさは、約4.67ボルトである。波形43は、標準トポロジーの1つのバックコンバータのフリーホイーリングスイッチの $V_{ds}$ を示す。標準トポロジーのバックコンバータの $V_{ds}$ は、入力電圧12ボルトにほぼ等しい。波形44は、フリーホイーリングスイッチ34aを流れる電流を示す。波形46は、導通スイッチ32aを流れる電流を示し、波形48は、標準トポロジーのバックコンバータの1つの導通スイッチの電流を示す。波形46および波形48は、1つの巻数比2では、1つの導通スイッチに流れる電流が電圧調整器30の導通スイッチ32aに流れる電流の約2倍であることを示す。図示のように、標準トポロジーのバックコンバータは、ドレインソース電圧と電流とがより大きいために、複数のスイッチング損失が極めて大きくなりうる。さらに、標準トポロジーのバックコンバータにおいては、パルス幅に占めるドレインソース電圧の立ち上がり時間および立ち下がり時間の割合が極めて大きくなり、スイッチング損失がより大きくなりうる。1つの巻数比が少なくとも約2である結合インダクタ36aを使用することによって、フリーホイーリングスイッチ34aの複数のスイッチング損失と電圧ストレスとを減らしてもよい。さらに、出力コンデンサ38aに流れる電流リップルは、巻数比にほぼ応じて減る。たとえば、1つの巻数比2では、電流リップルがほぼ2分の1に減るので、出力値がより低い1つの出力コンデンサを使用して同様の1つの出力電圧リップルを実現することができる。

30

40

【0020】

50

図 3 A は、1つのトロイドに巻かれた1つの結合インダクタ 5 0 の一実施形態を示す。結合インダクタ 5 0 の複数の巻線は、これら複数の巻線を通る複数の電流が同じ方向に流れるように構成されている。

【 0 0 2 1 】

図 3 B は、1つのプレーナアセンブリに巻かれた1つの結合インダクタ 5 2 の別の実施形態を示す。結合インダクタ 5 2 は、複数の巻線を通る複数の電流が同じ方向に流れるようにこれら複数の巻線が構成されているなど、機能的に結合インダクタ 5 0 と同様である。使用する結合インダクタはどのような形態でもよく、それぞれの内容全体を本願明細書に引用したものとすると 2 0 0 3 年 7 月 1 6 日出願の米国出願番号第 1 0 / 6 2 1 , 1 2 8 号および 2 0 0 3 年 1 2 月 2 2 日出願の米国出願番号第 1 0 / 7 4 4 , 4 1 6 号に図示

10

【 0 0 2 2 】

図 4 は、複数の出力位相を有する1つの電圧調整器 1 0 0 の一実施形態を示す。電圧調整器 1 0 0 は、並列接続されている2個から N 個の電圧調整器 3 0 を含む。これら複数の電圧調整器 3 0 のそれぞれを上記の複数の原理に従って動作させてもよい。一実施形態においては、複数の電圧調整器 3 0 の組み合わせ出力を1つの出力コンデンサ 3 8 a によってフィルタリングしてもよい。別の実施形態においては、複数の電圧調整器 3 0 のそれぞれに1つの出力コンデンサ 3 8 b を含めてもよい。別の実施形態においては、出力のフィルタリングを行うために、複数の出力コンデンサ 3 8 a および 3 8 b の1つ組み合わせを含めてもよい。複数の電圧調整器 3 0 のそれぞれの間位相関係を制御するために1つの

20

【 0 0 2 3 】

本発明の複数の実施形態を説明した。しかし、当然のことながら本発明の精神および範囲を離れずにさまざまな変更が可能である。したがって、他の実施形態は以下の特許請求の範囲に入るものとする。

【 図面の簡単な説明 】

30

【 0 0 2 4 】

【 図 1 A 】 標準トポロジーの1つのバックレギュレータの1つの概略図である。

【 図 1 B 】 標準トポロジーのバックレギュレータの1つ状態における複数の波形の1つの表現である。

【 図 2 A 】 1つの電圧調整器の一実施形態の1つのブロック図である。

【 図 2 B 】 1つの電圧調整器内の導通スイッチおよびフリーホイーリングスイッチの一実施形態の1つの回路図である。

【 図 2 C 】 1つの電圧調整器の一実施形態の1つの回路図である。

【 図 2 D 】 1つの電圧調整器の一実施形態における複数の波形の1つの表現である。

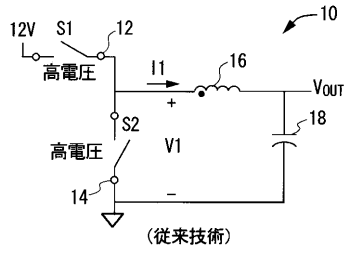
【 図 3 A 】 1つの結合インダクタの一実施形態の1つの図である。

40

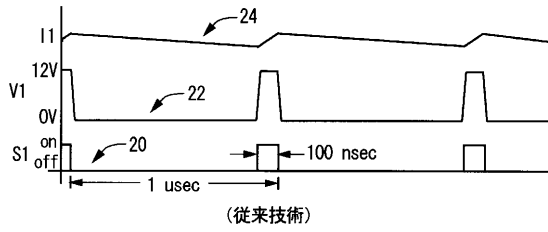
【 図 3 B 】 1つの結合インダクタの一実施形態の1つの図である。

【 図 4 】 複数の出力位相を有する1つの電圧調整器の一実施形態の1つの回路図である。

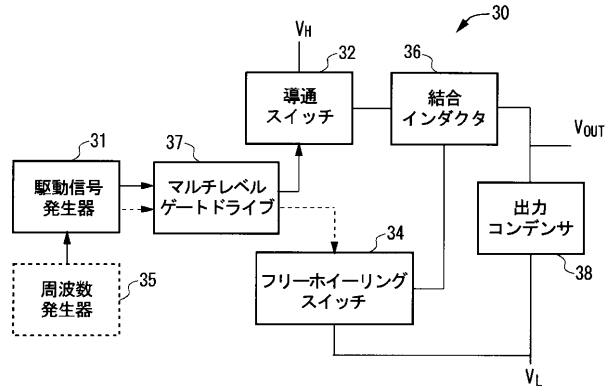
【図 1 A】



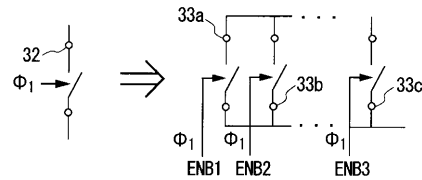
【図 1 B】



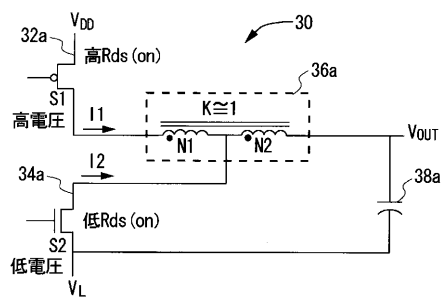
【図 2 A】



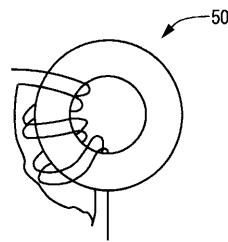
【図 2 B】



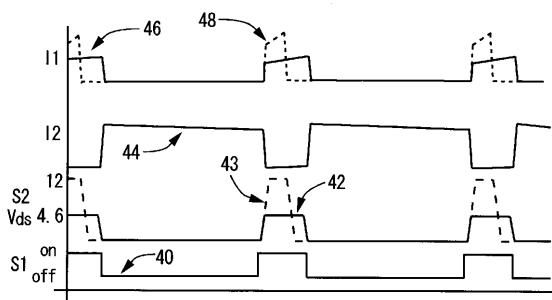
【図 2 C】



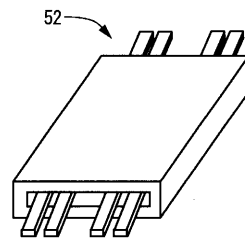
【図 3 A】



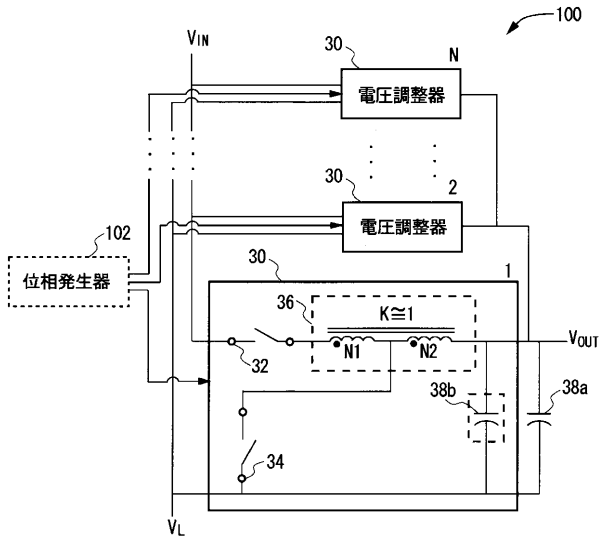
【図 2 D】



【図 3 B】



【 図 4 】



【外国語明細書】

## VOLTAGE REGULATOR

### CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application incorporates by reference the entire contents of U.S. non-provisional application Nos. 10/754,187, filed January 8, 2004 and 10/693,787, filed October 24, 2003, which claims the benefit of the filing date of U.S. provisional application No. 60/496,957 filed August 21, 2003. This application incorporates by reference the entire contents of U.S. non-provisional application Nos. 10/621,128, filed July 16, 2003 and 10/744,416, filed December 22, 2003.

### TECHNICAL FIELD

[0002] An aspect of this invention relates to power systems for electronic circuits.

### BACKGROUND

[0003] Switching regulators are widely used to provide voltage regulation in electronics sub-systems. A switching regulator may generate an output voltage by generating a pulse output from an input voltage. The pulse output is generally filtered by a low pass filter to generate a DC output voltage. The amplitude of the DC output voltage may be regulated by varying the pulse width of the pulses that comprise the pulse output or controlling the on-time or the off-time of the pulse

output. A significant portion of the power losses in a switching regulator occur in the power switches that generate the pulse output from the input voltage. The power switch losses may be divided between conduction losses and switching losses. As the pulse width decreases in proportion to the switching frequency of the pulse output, the switching losses may increase relative to the conduction losses. In addition, at narrower pulse widths such as a 10% duty cycle, maintaining regulation of the output voltage may become more difficult resulting in increased error in the output voltage.

[0004] Figure 1A shows an exemplary conventional voltage regulator 10 for converting an input voltage of 12 volts to an output voltage,  $V_{out}$ , of approximately 1.2 volts. A conduction switch 12 and freewheeling switch 14 may convert the input to a pulse output. The conduction switch 12 and freewheeling switch 14 are generally selected to be high voltage devices to withstand the entire input voltage. The pulse output may be filtered by an output inductor 16 and output capacitor 18 to form  $V_{out}$ . Figure 1B shows waveforms associated with the conventional voltage regulator 10. Waveform 20 shows the operating state of the conduction switch 12. Waveform 22 shows the voltage,  $V_1$ , across the freewheeling switch 14. Voltage  $V_1$  may typically have a rise time and a fall time of about 10 nsec. The rise time and fall

time are typically limited by the type of switches used for the conduction switch 12 and the freewheeling switch 14. The switching losses may increase as the rise time and fall time increase. Waveform 24 shows the current,  $I_1$ , flowing through the output inductor 16. As the pulse width continues to decrease, switching losses become a greater proportion of the total power losses.

#### SUMMARY

A voltage regulator including at least one coupled inductor including a first winding and a second winding each having a polarity. The first winding and the second winding connected in series to form a common node such that the first winding and the second winding have the same polarity. The first winding and the second winding having a coefficient of coupling approximately equal to one. A conduction switch having an on-state and an off-state, to controllably conduct an input voltage to the at least one coupled inductor at a switching frequency. A freewheeling switch having an on-state and an off-state, in communication with the common node of the at least one coupled inductor to provide a path for current when the conduction switch is in the off-state. An output capacitor in communication with the at least one coupled inductor to filter the output voltage.

[0005] The details of one or more embodiments of the invention are set forth in the accompanying drawings and the description below. Other features, objects, and advantages of the invention will be apparent from the description and drawings, and from the claims.

#### DESCRIPTION OF DRAWINGS

[0006] FIG. 1A is a schematic diagram of a standard topology buck regulator.

[0007] FIG. 1B is a representation of waveforms associated with an aspect of standard topology buck regulator.

[0008] FIG. 2A is a block diagram of an aspect of a voltage regulator.

[0009] FIG. 2B is a circuit diagram of an aspect of conduction and freewheeling switches in a voltage regulator.

[0010] FIG. 2C is a circuit diagram of an aspect of a voltage regulator.

[0011] FIG. 2D is a representation of waveforms associated with an aspect of a voltage regulator.

[0012] FIG. 3A is a graphical representation of an aspect of a coupled inductor.

[0013] FIG. 3B is a graphical representation of an aspect of a coupled inductor.

[0014] FIG. 4 is a circuit diagram of an aspect of a voltage regulator having multiple output phases.

[0015] Like reference symbols in the various drawings indicate like elements.

#### DETAILED DESCRIPTION

[0016] Figure 2A shows a block diagram of an aspect of a voltage regulator 30 for supplying power to one or more devices such as high-speed drivers and other electronic devices. The voltage regulator 30 may operate open-loop or closed-loop to convert an input voltage,  $V_{IN}$ , to a non-isolated output voltage,  $V_{OUT}$ . The input voltage may be referenced to any voltage such as ground or  $V_L$ . A conduction switch 32 may switch between in an on-state and an off-state at a switching frequency to apply the input voltage to a coupled inductor 36. The conduction switch 32 may be any type of bi-directional switching device such as Field Effect Transistors (FETs), NMOS, PMOS, Bipolar Junction Transistors (BJTs), and Integrated Gate Bipolar Junction Transistors (IGBTs). During the off-time, the entire input voltage may be impressed across the conduction switch 32, therefore the conduction switch 32 should have a withstanding voltage that is greater than the input voltage. A freewheeling switch 34 may provide a path for current flowing in the coupled inductor 36 when the

conduction switch 32 is in the off-state. The freewheeling switch 34 may be any type of switch such as uni-directional switches, bi-directional switches, diodes, rectifiers, synchronous rectifiers, FETs, NMOS, PMOS, BJTs, and IGBTs. Due to the operation of the coupled inductor 36, less than the entire input voltage is impressed across the freewheeling switch 34 during operation of the voltage regulator 30, therefore the freewheeling switch 34 may have a withstanding voltage that is less than the input voltage. Advantageously, switches that have a lower withstanding voltage almost universally have a lower  $R_{ds(on)}$  or  $V_{ce(sat)}$  than a switch with a comparable die size and a higher withstanding voltage. The lower  $R_{ds(on)}$  or  $V_{ce(sat)}$  of the freewheeling switch 34 may result in lower conduction losses in the freewheeling switch 34. In addition, the switching losses may also be lower due to the lower voltage impressed across the freewheeling switch 34. The current flowing through the coupled inductor 36 may be filtered by an output capacitor 38 to form  $V_{out}$ . A drive signal generator 31 may generate a drive signal to control the conduction switch 32. The drive signal generator 31 may also generate a drive signal to control the freewheeling switch 34 if a controllable switch such as a FET is used as the freewheeling switch 34.

[0017] A frequency generator 35 may generate a clock signal having an operating frequency. The drive signals may be synchronized to operate at the operating frequency. In one aspect, the operating frequency may be fixed to a predetermined frequency. In another aspect, the operating frequency may be controlled in response to changes in load conditions such as output current and output voltage. For example, when a change in the output current, such as an increase in load current, is sensed, the operating frequency may be increased to increase the transient response of the output. Once the voltage regulator 30 has responded to the change in load condition and has reached steady-state operating conditions again, the operating frequency may be decreased to reduce power losses in the voltage regulator 30.

[0018] A multi-level gate drive 37 may drive either of the conduction switch 32 and the freewheeling switch 34 using a multi-level gate voltage to reduce switching losses. For example, the amplitude of the on voltage may be adjusted to differing predetermined levels dependent on factors such as the current flowing through the conduction switch 32 to decrease switching losses in the conduction switch 32. Using a two level gate voltage for the conduction switch 32 or freewheeling switch 34 may be advantageous since the output

voltage of the voltage regulator 30 may be used as the intermediate level voltage for driving the switches.

[0019] Figure 2B shows an aspect of the conduction switch 32 and the freewheeling switch 34. Each of the conduction switch 32 and the freewheeling switch 34 may be comprised of one or more parallel switches, 33a-33c, that are independently controllable. Each of the parallel switches 33a-33c may be controlled by enable signals, ENB1-ENB3, to enable either all or a subset of the parallel switches 33a-33c. The enabled parallel switches 33a-33c may then be controlled by the same drive signal,  $\Phi_1$ .

[0020] Figure 2C shows a schematic diagram of an aspect of the voltage regulator 30. In this aspect, PMOS and NMOS devices may be used respectively as a conduction switch 32a and a freewheeling switch 34a. A coupled inductor 36a and an output capacitor 38a may filter the pulse output generated by the conduction switch 32a and the freewheeling switch 34a to generate the DC output voltage,  $V_{out}$ .

[0021] The coupled inductor 36a may have a first winding of  $N_1$  turns and a second winding of  $N_2$  turns. A turns ratio of  $N_1/N_2$  may be set to a predetermined value to control the flow of energy through the coupled inductor 36a. For example, with a turns ratio of 0, a standard topology buck converter is formed. With a turns ratio of 2, the duty cycle of the

voltage regulator is approximately two times greater than the duty cycle for the standard topology buck converter, the current flowing through the coupled inductor 36a is approximately one-half the amplitude, and the voltage impressed across the drain-source of the freewheeling switch 34a is less than the voltage impressed across the drain-source of the standard topology buck converter. The voltage impressed across the drain-source of the freewheeling switch 34a is approximately,  $V_{ds} \cong (V_{in} - V_{out}) * \left( \frac{N_2}{N_1 + N_2} \right) + V_{out}$ . In

contradistinction, in a standard topology buck converter the voltage impressed across the drain-source of the freewheeling switch is approximately,  $V_{ds} \cong V_{in}$ .

[0022] Therefore, the freewheeling switch 34a may be selected to have a lower withstanding voltage,  $V_{ds}$ ; and by using a similar die size to what a standard topology switch would use, the  $R_{ds(on)}$  for the freewheeling switch 34a may also be lower.

[0023] The coupled inductor 36a may be tightly coupled together preferably having a coefficient of coupling,  $K$ , of approximately one, where unity is the ideal value. Preferably the inductors of the coupled inductor 36a are wound together on a common magnetic core to form an inductor assembly that provides the maximum value of coefficient of coupling. The

coefficient of coupling is approximately one being at least 0.9 and preferably greater than 0.99. The polarity for each of the windings for the coupled inductor 36a are selected so that the current flowing through each of the inductors of the coupled inductor 36a flows in the same direction. Any type of suitable core material may be used for the coupled inductor 36a including high permeability core materials such as ferrites having shapes such as bead and toroid, and lower permeability materials such as MPP cores, ferrite PQ cores, and other split core shapes.

[0024] Figure 2D shows waveforms associated with an aspect of the voltage regulator 30 with  $V_{in}$  equal to 12 volts and  $V_{out}$  equal to 1.2 volts. Waveform 40 shows the conduction state of the conduction switch, S1, 32a. Waveform 42 shows the drain-source voltage,  $V_{ds}$ , of the freewheeling switch 34a. The amplitude of  $V_{ds}$  during the on-time of the conduction switch 32a is approximately 4.67 volts. Waveform 43 shows  $V_{ds}$  of the freewheeling switch for a standard topology buck converter. The  $V_{ds}$  for the standard topology buck converter is approximately equal to the input voltage of 12 volts. Waveform 44 shows the current flowing through the freewheeling switch 34a. Waveform 46 shows the current flowing through the conduction switch 32a, and waveform 48 shows the current for a standard topology buck converter conduction switch. Waveforms

46 and 48 show that for a turns ratio of 2, the current flowing in a conduction switch is approximately two times greater than the current flowing the conduction switch 32a of the voltage regulator 30. As shown, the standard topology buck converter may have significantly greater switching losses due to the higher drain-source voltage and current. In addition, the risetime and falltime of the drain-source voltage in the standard topology buck converter may comprise a significantly greater proportion of the pulse-width resulting in leading to greater switching losses. By employing the coupled inductor 36a with a turns ratio of at least approximately two, the switching losses and voltage stress of the freewheeling switch 34a may be decreased. In addition, the current ripple flowing to the output capacitor 38a is approximately decreased in proportion to the turns ratio. For example, with a turns ratio of two, the current ripple is approximately decreased by a factor of two, thereby permitting the use of a lower value output capacitor to attain a similar output voltage ripple.

[0025] Figure 3A shows an aspect of a coupled inductor 50 wound on a toroid. The windings of the coupled inductor 50 are arranged so that currents flow through the windings in the same direction.

[0026] Figure 3B shows another aspect of a coupled inductor 52 wound on a planar assembly. The coupled inductor 52 is similar in function to the coupled inductor 50 such as the windings are arranged so that currents flow through the windings in the same direction. Any form of coupled inductor may be employed such as the coupled inductors shown and described in U.S. non-provisional application Nos. 10/621,128, filed July 16, 2003 and 10/744,416, filed December 22, 2003 which are hereby incorporated by reference in their entirety.

[0027] Figure 4 shows an aspect of a voltage regulator 100 having multiple output phases. The voltage regulator 100 includes from 2 to N voltage regulators 30 connected in parallel. Each of the voltage regulators 30 may operate in accordance with the principles described above. In one aspect, an output capacitor 38a may filter the combined output of the voltage regulators 30. In another aspect, an output capacitor 38b may be included in each of the voltage regulators 30. In another aspect, a combination of output capacitors 38a and 38b may be included to provide output filtering. A phase generator 102 may generate pulse signals to control the phase relationship between each of the voltage regulators 30 so that the outputs of the voltage regulators are time skewed by a predetermined time leading to higher frequency output ripple. Each of the voltage regulators 30

advantageously provides of two conventional voltage regulators operated in multi-phase configuration since each of the voltage regulators 30 may stretch out the duty cycle by a factor of two when the turns ratio is set to two.

[0028] A number of embodiments of the invention have been described. Nevertheless, it will be understood that various modifications may be made without departing from the spirit and scope of the invention. Accordingly, other embodiments are within the scope of the following claims.

1. A voltage regulator for generating an output voltage from an input voltage, comprising:

at least one coupled inductor including a first winding and a second winding each having a polarity, the first winding and the second winding connected in series to form a common node and such that the first winding and the second winding have the same polarity, the first winding and the second winding having a coefficient of coupling approximately equal to one;

a conduction switch having an on-state and an off-state, to controllably conduct the input voltage to the at least one coupled inductor at a switching frequency; and

a freewheeling switch having an on-state and an off-state, in communication with the common node of the at least one coupled inductor to provide a path for current when the conduction switch is in the off-state.

2. The voltage regulator of Claim 1 wherein the coefficient of coupling is at least 0.99.

3. The voltage regulator of Claim 1 wherein the first winding has a number of turns  $N_1$ , and the second winding has a number of turns  $N_2$ ;

a turns ratio is defined as  $N_1/N_2$  and set to a predetermined value of at least two.

4. The voltage regulator of Claim 3 wherein the turns ratio is approximately two.

5. The voltage regulator of Claim 1 wherein the coupled inductor is formed on a single core of magnetic material.

6. The voltage regulator of Claim 1 further comprising an output capacitor in communication with the at least one coupled inductor to filter the output voltage.

7. The voltage regulator of Claim 1 wherein the conduction switch includes parallel independently controlled switches.

8. The voltage regulator of Claim 1 further comprising a multi-level gate drive to control the conduction switch.

9. The voltage regulator of Claim 1 wherein the freewheeling switch is selected from a group consisting of uni-directional switches, bi-directional switches, diodes, rectifiers, synchronous rectifiers, FETs, NMOS, PMOS, BJTs, and IGBTs.

10. The voltage regulator of Claim 1 further comprising at least another voltage regulator connected in parallel with the voltage regulator.

11. The voltage regulator of Claim 1 wherein the conduction switch is selected from a group consisting of Field Effect Transistors (FETs), NMOS, PMOS, Bipolar Junction Transistors (BJTs), and Integrated Gate Bipolar Junction Transistors (IGBTs).

12. The voltage regulator of Claim 10 further comprising a phase generator in communication with each of the voltage regulators to control a phase sequence of the voltage regulators.

13. The voltage regulator of Claim 1 further comprising a controller to control the on-time of the conduction switch such that the output voltage is regulated to a predetermined amplitude.

14. The voltage regulator of Claim 1 wherein the freewheeling switch has a lower withstanding voltage than the conduction switch.

15. The voltage regulator of Claim 1 wherein the freewheeling switch and the conduction switch are Field Effect Transistors and the freewheeling switch has a lower  $R_{ds(on)}$  than the conduction switch.

A voltage regulator including at least one coupled inductor including a first winding and a second winding each having a polarity. The first winding and the second winding connected in series to form a common node such that the first winding and the second winding have the same polarity. The first winding and the second winding having a coefficient of coupling approximately equal to one. A conduction switch having an on-state and an off-state, to controllably conduct an input voltage to the at least one coupled inductor at a switching frequency. A freewheeling switch having an on-state and an off-state, in communication with the common node of the at least one coupled inductor to provide a path for current when the conduction switch is in the off-state. An output capacitor in communication with the at least one coupled inductor to filter the output voltage.

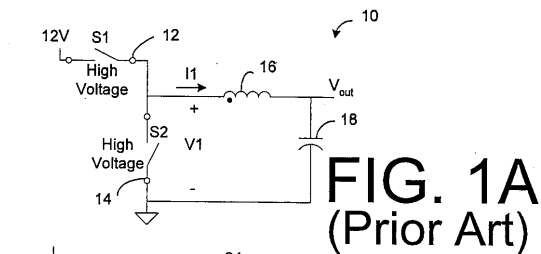


FIG. 1A (Prior Art)

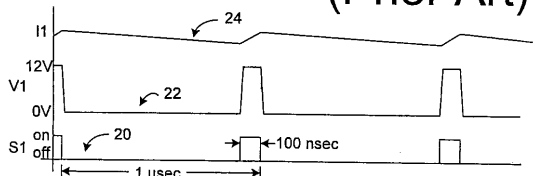


FIG. 1B (Prior Art)

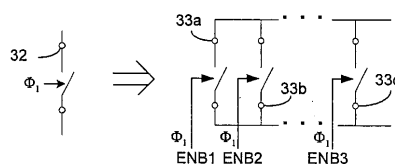


FIG. 2B

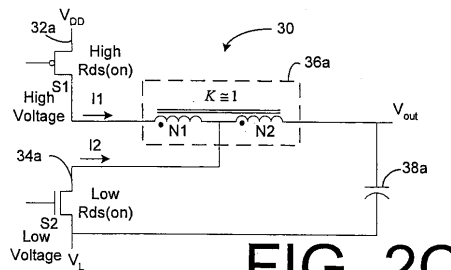


FIG. 2C

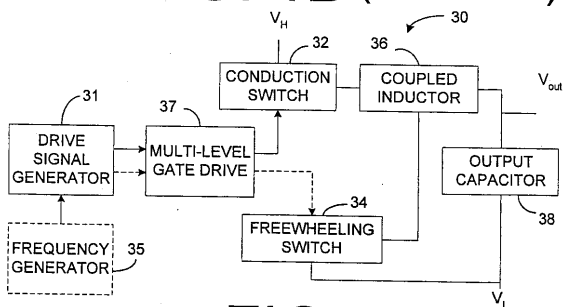


FIG. 2A

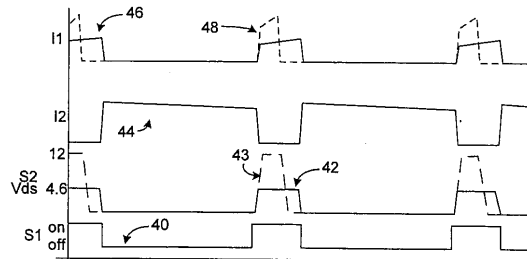


FIG. 2D

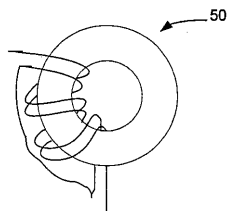


FIG. 3A

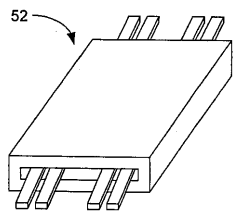


FIG. 3B

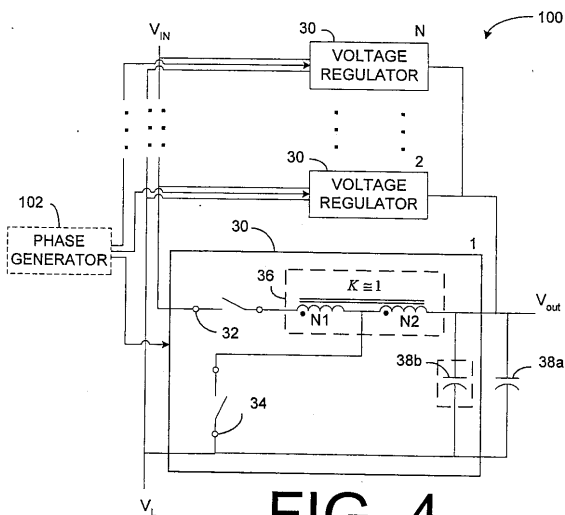


FIG. 4