

12

DEMANDE DE CERTIFICAT D'ADDITION À UN BREVET D'INVENTION

A2

22 Date de dépôt : 14 décembre 1984.

30 Priorité :

43 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 25 du 20 juin 1986.

60 Références à d'autres documents nationaux appa-
rentés : 1^{re} addition au brevet 84 12915 pris le 17 août
1984.

71 Demandeur(s) : *COMPAGNIE INDUSTRIELLE DES TELE-
COMMUNICATIONS CIT-ALCATEL, Société anonyme.* —
FR.

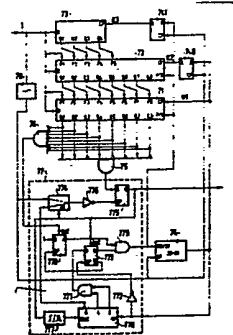
72 Inventeur(s) : Serge Surie.

73 Titulaire(s) :

74 Mandataire(s) : Jacques Beylot, SOSPI.

54 Procédé et dispositif de synchronisation de trame.

57 Le procédé consiste à utiliser un décodeur de mots de verrouillage trame 75 et un circuit de prédiction 76 décodant une version du mot de verrouillage ayant subi une rotation d'environ la moitié de ses termes aux sorties d'une première partie 71 d'un registre à décalage qui reçoit en entrée 1 le train des données reçues et qui est cadencé par un signal d'horloge engendré à partir d'une sélection des périodes du signal de rythme du train de données reproduisant la répartition des bits d'un mot de verrouillage au sein d'une trame. Ce signal d'horloge est élaboré par un diviseur par vingt ou vingt et un 74 qui l'affecte systématiquement au bout d'une durée d'environ une demi-trame d'un saut de phase correspondant à la durée d'une donnée tant qu'un mot de verrouillage ou sa version permutée n'ont pas été reconnus. Le registre à décalage comporte deux autres étages 72, 73 utilisés pour permettre un chargement accéléré de l'étage 71 à chaque saut de phase du signal d'horloge.



Procédé et dispositif de synchronisation de trame

La présente invention concerne la synchronisation de trame dans un système de transmission de données dans lequel les données sont transmises sous forme d'un train isochrone organisé en trames successives pourvues chacune d'un mot de verrouillage à bits répartis. Elle est relative, plus particulièrement à une synchronisation faite, conformément au brevet principal, en sélectionnant des données dans le train de données de manière à isoler au moins deux mots de verrouillage successifs si la première donnée sélectionnée correspond effectivement au premier bit d'un mot de verrouillage trame, en appliquant cette sélection aux bornes d'un décodeur de mot de verrouillage le temps nécessaire pour que celui-ci puisse reconnaître l'absence ou la présence d'un mot de verrouillage et en recommençant la sélection avec un déphasage d'au moins une période d'horloge du rythme du train de données tant que le décodeur n'a pas reconnu de mot de verrouillage.

Ce mode de synchronisation a un temps de verrouillage qui dépend du temps mis par le décodeur de mot de verrouillage pour éliminer une mauvaise sélection et du nombre de sélections distinctes qu'il est possible d'effectuer.

Dans son état actuel, le décodeur de mot de verrouillage prend au minimum la durée d'une trame pour éliminer une mauvaise sélection car un mot de verrouillage peut se présenter tronqué en début de scrutation d'une sélection de sorte que seul le suivant peut être décodé. Le temps de verrouillage peut donc prendre dans certain cas une durée voisine d'un nombre de trames égal au nombre de sélections distinctes qu'il est possible d'effectuer. On peut songer à diminuer le temps de verrouillage en diminuant le nombre de sélections distinctes qu'il est possible d'effectuer mais cela conduit à augmenter la complexité du décodeur car la population de chaque sélection s'accroît.

La présente invention a pour but de parvenir à une diminution du temps de verrouillage de ce mode de synchronisation sans pour autant aboutir à un accroissement de la complexité de mise en oeuvre comparable à celui qui résulterait de la diminution du nombre de sélections distinctes possibles.

Elle a pour objet un procédé de synchronisation consistant à :

- engendrer un signal d'horloge à partir d'une sélection des périodes du signal de rythme du train de données reproduisant un motif périodique formé par des emplacements relatifs de bits sur la durée d'une trame dont au moins certains sont distribués conformément à la répartition des bits d'un mot de verrouillage au sein d'une trame et qui forment n groupes de même importance répartis régulièrement sur la durée d'une trame,
- sélectionner des données dans le train de données au moyen du signal d'horloge,
- faire défiler les données sélectionnées aux bornes d'un décodeur de mot de verrouillage et d'un circuit de prédiction décodant au moins une version du mot de verrouillage ayant subi une rotation correspondant à p groupes d'emplacements relatifs de bits du motif, p étant un entier compris entre 1 et n-1, et
- déphaser le signal d'horloge d'au moins une période du signal de rythme du train de données dès que ni le décodeur ni le circuit de prédiction ne reconnaissent le mot de verrouillage ou sa version ayant subi une rotation sur une durée correspondant au défilement du plus important des nombres p ou n-p de groupes d'emplacements relatifs de bits du motif.

Lorsque les emplacements de bits du mot de verrouillage ne sont pas distribués selon des groupes de même importance régulièrement répartis dans une trame, le motif est obtenu en les complétant par des emplacements de bits de données choisis de manière à obtenir cette propriété. Lorsque les emplacements de bits du mot de verrouillage sont régulièrement répartis dans une trame ils constituent à eux seuls le motif.

La prédiction effectuée au niveau de la sélection soumise au décodeur permet de diminuer de moitié au moins le temps minimum de détection d'une mauvaise sélection puisque le nombre p peut être pris égal à $n/2$ si n est pair ou à $(n \pm 1)/2$ si n est impair ce qui se traduit par une synchronisation pratiquement deux fois plus rapide. L'opération de prédiction est de même nature que celle de détection du mot de verrouillage. Elle peut se faire à l'aide d'un registre à décalage utilisé en commun avec le décodeur de mot de verrouillage et n'entraîne qu'un accroissement minime de la complexité de mise en oeuvre de la synchronisation.

L'invention a également pour objet un dispositif de mise en oeuvre

du procédé précédent comportant :

- 5 - des moyens de cadencement engendrant un signal d'horloge à partir d'une sélection des périodes du signal de rythme du train de données reproduisant un motif périodique formé par des emplacements relatifs de bits sur la durée d'une trame dont au moins certains sont distribués conformément à la répartition des bits du mot de verrouillage au sein d'une trame et qui forment n groupes de q éléments régulièrement répartis sur la durée d'une trame,
- 10 - des moyens de déphasage permettant sur ordre de faire effectuer au signal d'horloge un saut de phase d'une valeur au moins égale à une période du signal de rythme du train de données,
- un décodeur de mot de verrouillage à entrées parallèles,
- un circuit de prédiction constitué d'un décodeur à entrées parallèles identifiant une version du mot de verrouillage ayant subi une rotation
15 correspondant à p groupes d'emplacements relatifs de bits du motif, p étant un entier compris entre 1 et $n - 1$,
- un registre à décalage formé de trois parties recevant en parallèle le train de données ; une première partie cadencée par une première version du signal d'horloge, constituée d'une suite d'étages de registre en
20 nombre au moins égal à celui $n.q$ des emplacements de bits retenus dans un motif avec des entrées parallèles de prépositionnement pour tous les étages et des sorties parallèles connectées aux entrées parallèles du décodeur et du circuit de prédiction, ladite première partie étant pourvue d'une commande de prépositionnement contrôlée par des moyens de
25 commande de déphasage ; une deuxième partie cadencée par une deuxième version du signal d'horloge déphasée par rapport à la première d'une valeur égale au saut de phase engendré en une fois par les moyens de déphasage, constituée d'une suite d'étages de registre à sorties parallèles en nombre au moins égal à celui $nq - 1$ des emplacements de bits
30 retenus dans un motif diminué d'une unité, suite dont les sorties parallèles sont connectées aux entrées parallèles de prépositionnement de rangs immédiatement supérieurs de la première partie et dont au moins les $r.q$ premiers étages, r étant le plus grand des nombres p et $n-p$, possèdent des entrées parallèles de prépositionnement, ladite deuxième partie
35 étant pourvue d'une commande de prépositionnement partiel contrôlée par

les moyens de commande de déphasage ; et une troisième partie cadencée par une troisième version du signal d'horloge déphasée par rapport à la deuxième et respectivement la première version d'une valeur égale à celle d'un saut de phase et respectivement deux sauts de phase engendrés en une fois par les moyens de déphasage, ladite troisième partie ayant des étages de registre en nombre inférieur d'une unité à celui r.q des entrées parallèles de prépositionnement de la deuxième partie dont les sorties parallèles sont connectées aux entrées parallèles de prépositionnement de rangs immédiatement supérieurs de la deuxième partie - et lesdits moyens de commande de déphasage délivrant un ordre de déphasage à l'intention des moyens de déphasage et un ordre de prépositionnement à l'intention des première et deuxième parties du registre à décalage lorsque ni le décodeur ni le circuit de prédiction n'ont reconnu de mot de verrouillage ou de version permutée de mot de verrouillage dans la première partie du registre à décalage sur une durée minimale correspondant au défilement de r groupes d'emplacements de bits d'un motif.

D'autres caractéristiques et avantages de l'invention ressortiront de la description ci-après d'un mode de mise en oeuvre donné à titre d'exemple. Cette description sera faite en regard du dessin dans lequel la figure unique représente le schéma d'un dispositif de synchronisation conforme à l'invention.

La figure 1 montre le schéma d'un dispositif de synchronisation de trames prévu pour un système de transmission de données binaires dans lequel les données sont transmises sous la forme d'un train isochrone à 160 Kbits/s organisé en trames constituées chacune de huit secteurs de vingt bits avec un mot de verrouillage de huit bits uniformément réparti ayant la valeur binaire 11010010 et occupant le premier emplacement de chaque secteur.

Le dispositif comporte un circuit de récupération du rythme à 160 kHz du train de données appliqué à l'entrée 1 du dispositif, un registre à décalage à trois parties parallèles 71, 72, 73 recevant le train de données reçues, des moyens de cadencement avec des moyens de déphasage incorporés comportant un diviseur par vingt ou vingt et un 74 qui opère sur le rythme à 160 kHz délivré par le circuit de récupération de rythme 70 et qui est à l'origine des signaux d'horloge fournis aux

trois parties 71, 72, 73 du registre à décalage, un décodeur de mot de verrouillage formé d'une porte logique de type "et" 75 à huit entrées qui sont reliées aux sorties parallèles de la première partie à huit étages 71 du registre à décalage et dont certaines sont munies d'inverseurs pour tenir compte de la valeur 0 de certains bits du mot de verrouillage, un circuit de prédiction formé d'une porte logique de type "et" 76 à huit entrées qui sont reliées aux sorties parallèles de la première partie à huit étages 71 du registre à décalage et dont certaines entrées sont munies d'inverseurs pour tenir compte de la valeur 0 de certains bits de la version permutée du mot de verrouillage qui est obtenue par une rotation de la moitié des bits de ce dernier, et un circuit de commande de déphasage 77 des signaux d'horloge du registre à décalage déterminant en fonction des signaux de sortie du décodeur et du circuit de prédiction le choix de la valeur vingt ou vingt et un avec laquelle le diviseur opère.

Le circuit de récupération de rythme 70 est formé, de la manière habituelle, au moyen d'un oscillateur pourvu d'une boucle à verrouillage de phase qui le synchronise sur les transitions du train de données reçues appliqué sur l'entrée 1.

Le registre à décalage présente trois parties parallèles 71, 72, 73 du type à propagation sur les fronts montants du signal d'horloge. Elles ont chacune une entrée série sur laquelle est appliqué le train des données reçues disponible sur l'entrée 1 et sont cadencées par des versions déphasées entre elles du signal d'horloge à 8 kHz délivré par le diviseur par vingt ou vingt et un 74.

La première partie 71 du registre à décalage est celle qui renferme la sélection des données en cours d'analyse par le décodeur de mot de verrouillage 75 et par le circuit de prédiction 76. Elle est formée de huit étages de registre pourvus d'entrées parallèles de prépositionnement qui sont reliées aux sorties parallèles des étages de registre de la deuxième partie 72 de rangs immédiatement inférieurs à l'exception de l'entrée parallèle de prépositionnement du premier étage qui est mise en parallèle avec l'entrée série sur l'entrée 1 du dispositif. Cette première partie 71 comporte une entrée de commande de prépositionnement P/S active au niveau logique 1 et contrôlée par le cir-

cuit de commande de déphasage 77. Elle reçoit sur son entrée d'horloge CP une première version H_1 du signal d'horloge qui est celle délivrée directement par le diviseur par vingt ou vingt et un 74.

5 La deuxième partie 72 du registre à décalage prépare la sélection de données suivante au cas où la sélection faite dans la première partie 71 ne contiendrait pas de mot de verrouillage. Elle permet un chargement immédiat de tous les étages de la première partie. Sans elle, il faudrait attendre la durée d'une trame à chaque changement de sélection pour que l'ensemble des étages de la première partie 71 soient chargés conformément à la nouvelle sélection. Elle est formée de sept étages de registre mais seuls les cinq premiers d'entre eux sont pourvus d'entrées de prépositionnement qui, de manière analogue à celles de la première partie, sont reliées aux sorties parallèles des étages de registre de la troisième partie 73 de rangs immédiatement inférieurs à 10 l'exception de l'entrée parallèle de prépositionnement du premier étage qui est mise en parallèle avec l'entrée série sur l'entrée 1 du dispositif. Cette deuxième partie comporte une entrée de commande de prépositionnement P/S de ses cinq premiers étages qui est active au niveau logique 1 et connectée en parallèle sur la commande de prépositionnement 20 de la première partie 71. Elle reçoit sur son entrée d'horloge CP une deuxième version H_2 du signal d'horloge qui est délivrée par le diviseur par vingt ou vingt et un 74 par l'intermédiaire d'une bascule de type D 740 qui lui impose un retard égal à la durée d'une donnée reçue. Grâce à cela, elle effectue une sélection de données en retard d'un pas 25 dans les trames du train de données par rapport à celle faite par la première partie. Comme le transfert des contenus des étages de la deuxième partie 72 dans les étages de la première partie 71 s'effectue au cours d'un temps d'horloge, il est tenu compte du décalage manqué par un décalage entre les rangs des entrées parallèles de prépositionnement 30 des étages de registre de la première partie 71 et les rangs des sorties parallèles des étages de registre de la deuxième partie qui leur sont connectées.

La deuxième partie 72 du registre à décalage a le même nombre d'étages de registre, à un près, que la première partie. Son chargement 35 complet par son entrée série à chaque nouvelle sélection prendrait comme

celui de la première partie une durée de l'ordre de celle d'une trame alors que la durée d'analyse d'une sélection est plus courte de moitié. La troisième partie 73 permet d'accélérer ce chargement pour le rendre compatible avec la durée d'analyse. Elle est formée de quatre étages de registre avec une entrée série reliée à l'entrée 1 du dispositif et 5 reçoit sur son entrée d'horloge CP une troisième version H_3 du signal d'horloge qui est délivrée par le diviseur par vingt ou vingt et un 74 par l'intermédiaire de deux bascules de type D la bascule 740 et une bascule 741 connectées en cascade qui lui imposent un retard égal à la 10 durée de deux données reçues. Grâce à cela, elle effectue une sélection de données dans les trames du train de données reçu en retard d'un pas par rapport à celle faite par la deuxième partie 72. Son contenu permet la mise à jour immédiate des premiers étages de registre de la deuxième partie 72 diminuant d'autant son temps de chargement par son entrée 15 série.

Le circuit de commande de déphasage 77 comporte :

- un compteur diviseur par huit 770 recevant sur son entrée de comptage la première version H_1 du signal d'horloge délivré par le diviseur par vingt ou vingt et un 74,
- 20 - un générateur de rythme de changement de sélection toutes les demi-trames formé d'une porte logique de type "et" 771 à deux entrées connectées aux sorties des deux premiers étages du compteur diviseur par huit 770,
- un inverseur de signal d'horloge 772,
- 25 - une première bascule de type D 773 à déclenchement sur front montant cadencée par le signal d'horloge H_1 préalablement complété par l'inverseur 772 et dont l'entrée de donnée est connectée à la sortie de la porte logique de type "et" 771,
- un circuit d'aiguillage 774 à deux entrées et une sortie, dont l'une 30 des entrées est connectée à la sortie du circuit de récupération du rythme à 160 kHz du train de données et l'autre à la sortie du troisième étage du compteur diviseur par huit 770 fournissant un signal de cadencement C à 1 kHz,
- une deuxième bascule de type D 775 à déclenchement sur front montant, 35 cadencée par le signal délivré par le circuit d'aiguillage 774 préala-

blement complémenté par un inverseur 776, dont l'entrée de donnée D est connectée à la sortie de la porte logique de type "et" 75 constituant le décodeur de mot de verrouillage et dont le signal de sortie Q sert de commande de mise à zéro de la première bascule de type D, de commande d'adressage du circuit d'aiguillage 774 et est utilisé pour engendrer par l'intermédiaire d'un monostable 777 des impulsions de synchronisation appliquées sur l'entrée de mise à zéro du compteur diviseur par huit 770,

- une troisième bascule de type D 778 à déclenchement sur front montant, cadencée par le signal de sortie complémentée \bar{Q} de la première bascule de type D 773 dont l'entrée de données D est mise au niveau logique 1 et dont l'entrée de remise à zéro est commandée par la sortie de la porte logique de type "et" 76 constituant le circuit de prédiction,
- et une porte logique de type "et" 779 à deux entrées connectées aux sorties Q des première et troisième bascules de type D 773, 778, qui délivre le signal de sortie du circuit de commande de déphasage.

La deuxième bascule de type D 775 échantillonne le niveau logique de la sortie de la porte logique de type "et" 75 constituant le décodeur de mot de verrouillage soit, lorsque le verrouillage n'est pas effectif, à l'apparition de chaque nouvelle donnée, le signal à 160 kHz du circuit de récupération de rythme lui étant appliqué au travers du circuit d'aiguillage 774 soit, lorsque le verrouillage est effectif, à l'apparition de chaque nouveau mot de verrouillage de trame, le signal à 1 kHz du compteur diviseur 770 synchronisé sur la première détection du mot de verrouillage lui étant appliqué au travers du circuit d'aiguillage dont la commande d'adressage a changé de niveau.

Le monostable 777 qui est sensible au front montant, assure comme on vient de le voir la synchronisation du compteur diviseur par huit 770 avec la première détection du mot de verrouillage.

La première bascule de type D 773 isole avec la porte logique de type "et" 771 les états quatre et zéro du compteur diviseur par huit 770 pendant lesquels peuvent se produire les commandes de déphasage. Cette sélection est inhibée à chaque détection d'un mot de verrouillage par une commande de mise à zéro effectuée par la deuxième bascule de type D 775.

La troisième bascule de type D 778 sert de registre pour mémoriser

sur des intervalles de temps successifs qui durent une demi-trame et qui sont déterminés par le compteur diviseur 770, les impulsions engendrées par la porte logique 76 à chaque reconnaissance par le circuit de prédiction de la version du mot de verrouillage obtenue par une rotation de la moitié de ses termes. Elle est initialisée au niveau logique 1 après chaque passage par l'état zéro ou quatre du compteur décompteur 770 par la transition montante du signal de la sortie inversée \bar{Q} de la première bascule de type D 773 et mise à zéro par la porte logique 76.

La porte logique de type "et" 779 transmet l'impulsion de sortie de la première bascule de type D 773 qui, lorsqu'elle existe, correspond aux états de comptage zéro ou quatre du compteur diviseur 770 en tant que commande de déphasage et de chargement parallèle des première et deuxième parties 71, 72 du registre lorsque la sortie Q de la troisième bascule de type D est restée à un traduisant l'absence d'impulsion en sortie de la porte logique 76 constituant le circuit de prédiction.

Le fonctionnement général du circuit de synchronisation est le suivant :

A tout moment, trois sélections distinctes de données défilent ou commencent à défiler dans les trois parties 71, 72, 73 du registre à décalage, la première partie 71 étant remplie constamment des données appartenant à une même sélection soumise à l'analyse du circuit de prédiction et du décodeur de mot de verrouillage, la deuxième et la troisième parties 72, 73 nécessitant elles quatre périodes du signal d'horloge à 8 kHz à chaque changement de sélection pour être remplies de données appartenant à une même sélection.

Chaque fois que le compteur diviseur 770 passe par les états zéro ou quatre, le circuit de commande de déphasage engendre un ordre de déphasage entraînant un changement de sélection à moins qu'il en ait été empêché par le décodeur ou le circuit de prédiction ayant détecté dans l'intervalle le mot de verrouillage ou sa version permutée.

Si une nouvelle sélection n'est pas correcte, c'est-à-dire ne permet pas d'isoler le mot de verrouillage, tout nouvel état zéro ou quatre du compteur diviseur 770 provoque une impulsion en sortie de la première bascule 773 qui est transmise en tant qu'ordre de déphasage ou de changement de sélection par la porte logique 779 maintenue passante par un

niveau logique 1 en sortie de la troisième bascule.

Si la nouvelle sélection est correcte, deux événements peuvent se produire pendant les quatre premiers décalages :

1/ Le mot de verrouillage apparaît. Il provoque alors un niveau
5 logique 0 en sortie de la porte logique 75 constituant le décodeur de mot
de verrouillage qui est immédiatement transmis sur la sortie de détec-
tion du mot de verrouillage trame VT par la deuxième bascule 775, bloque
toute commande ultérieure de déphasage par la mise à zéro de la première
bascule 773 et prépare la détection du mot de verrouillage de la trame
10 suivante par une mise à zéro du compteur diviseur 770 et par l'adoption
d'une cadence d'horloge de 1 kHz au lieu de 160 kHz.

2/ Le mot de verrouillage n'apparaît pas mais devrait apparaître
au cours des quatre décalages suivants. Dans ce cas, la version permutée
du mot de verrouillage résultant d'une rotation de quatre de ses éléments
15 apparaît nécessairement et provoque une impulsion en sortie de la porte
logique 76 constituant le circuit de prédiction. Cette impulsion remet
la troisième bascule 778 à zéro bloquant la porte logique 779 et empê-
chant l'émission de la prochaine commande de déphasage. La même sélec-
tion est donc conservée après le quatrième décalage pour les quatre
20 décalages suivants au cours desquels le mot de verrouillage apparaît
nécessairement ce qui ramène au premier cas.

Le dispositif qui vient d'être décrit est prévu pour une synchro-
nisation sur un mot de verrouillage ayant un nombre d'éléments n pairs et
utilise un circuit de prédiction décodant une version du mot de verrouil-
25 lage ayant subi une rotation de $n/2$ éléments. Il est bien évident qu'il
peut être adapté à une synchronisation sur un mot de verrouillage ayant
un nombre impair d'éléments. Il utiliserait alors un circuit de prédic-
tion décodant une version du mot de verrouillage ayant subi une rotation
de $(n + 1)/2$ ou $(n - 1)/2$ éléments avec une durée minimum d'analyse de
30 chaque sélection correspondant au défilement de $(n + 1)/2$ termes du mot
de verrouillage toujours supposé à bits régulièrement répartis dans une
trame. On peut choisir de manière plus générale un circuit de prédiction
décodant une version du mot de verrouillage ayant subi une rotation de p
éléments avec une durée minimum d'analyse de chaque sélection corres-
35 pondant au défilement du plus important des nombres de termes p ou $n - p$

du mot de verrouillage.

Dans le cas où les éléments du mot de verrouillage ne sont pas régulièrement répartis dans une trame, on complète le motif de sélection par des emplacements de données qui seront ignorés lors de l'analyse par le décodeur et le circuit de prédiction pour qu'il présente des groupes d'emplacements de bits régulièrement répartis dans une trame ce qui permet d'appliquer le raisonnement précédent au niveau des groupes d'emplacements de bits bien qu'il ne soit pas applicable au niveau des emplacements eux-mêmes.

10

15

20

25

30

35

REVENDEICATIONS

- 1/ Procédé de synchronisation de trame dans un système de transmission de données binaires dans lequel les données sont transmises sous forme d'un train isochrone organisé en trames pourvues chacune d'un mot de verrouillage à bits répartis au sein de la trame, caractérisé en ce qu'il
- 5 consiste à :
- engendrer un signal d'horloge à partir d'une sélection des périodes du signal de rythme du train de données reproduisant un motif périodique formé par des emplacements relatifs de bits sur la durée d'une trame dont
 - 10 au moins certains sont distribués conformément à la répartition des bits d'un mot de verrouillage au sein d'une trame et qui forment n groupes de même importance répartis régulièrement sur la durée d'une trame,
 - sélectionner des données dans le train de données au moyen du signal d'horloge,
 - 15 - faire défiler les données sélectionnées aux bornes d'un décodeur de mot de verrouillage et d'un circuit de prédiction décodant au moins une version du mot de verrouillage ayant subi une rotation correspondant à p groupes d'emplacements relatifs de bits du motif, p étant un entier compris entre 1 et n-1, et
 - 20 - déphaser le signal d'horloge d'au moins une période du signal de rythme du train de données dès que ni le décodeur ni le circuit de prédiction ne reconnaissent le mot de verrouillage ou sa version ayant subi une rotation sur une durée correspondant au défilement du plus important des nombres p ou n - p de groupes d'emplacements relatifs de bits du motif.
- 2/ Dispositif de synchronisation de trame dans un système de transmission de données binaires dans lequel les données sont transmises sous
- 25 forme d'un train isochrone organisé en trames pourvues chacune d'un mot de verrouillage à bits répartis au sein de la trame caractérisé en ce qu'il comporte :
- 30 - des moyens de cadencement (70, 74) engendrant un signal d'horloge à partir d'une sélection des périodes du signal de rythme du train de données reproduisant un motif périodique formé par des emplacements relatifs de bits sur la durée d'une trame dont au moins certains sont distribués conformément à la répartition des bits du mot de verrouillage

au sein d'une trame et qui forment n groupes de q éléments régulièrement répartis sur la durée d'une trame,

- des moyens de déphasage permettant sur ordre de faire effectuer au signal d'horloge un saut de phase d'une valeur au moins égale à une période du signal de rythme du train de données,
- 5 - un décodeur de mot de verrouillage (75) à entrées parallèles,
- un circuit de prédiction (76) constitué d'un décodeur à entrées parallèles identifiant une version du mot de verrouillage ayant subi une rotation correspondant à p groupes d'emplacements relatifs de bits du motif, p étant un entier compris entre 1 et $n-1$,
- 10 - un registre à décalage formé de trois parties (71, 72, 73) recevant en parallèle le train de données ; une première partie (71) cadencée par une première version (H_1) du signal d'horloge, constituée d'une suite d'étages de registre en nombre au moins égal à celui $n.q$ des emplacements
- 15 de bits retenus dans un motif avec des entrées parallèles de prépositionnement pour tous les étages et des sorties parallèles connectées aux entrées parallèles du décodeur (75) et du circuit de prédiction (76) , ladite première partie étant pourvue d'une commande de prépositionnement (P/S) contrôlée par des moyens de commande de déphasage (77) ; une
- 20 deuxième partie (72) cadencée par une deuxième version (H_2) du signal d'horloge déphasée par rapport à la première (H_1) d'une valeur égale au saut de phase engendré en une fois par les moyens de déphasage, constituée d'une suite d'étages de registre à sorties parallèles en nombre au moins égal à celui $nq - 1$ des emplacements de bits retenus dans un motif
- 25 diminué d'une unité, suite dont les sorties parallèles sont connectées aux entrées parallèles de prépositionnement de rangs immédiatement supérieurs de la première partie (71) et dont au moins les $r.q$ premiers étages, r étant le plus grand des nombres p et $n-p$ possèdent des entrées parallèles de prépositionnement, ladite deuxième partie (72) étant pourvue
- 30 d'une commande de prépositionnement partiel (P/S) contrôlée par les moyens de commande de déphasage (77) ; et une troisième partie (73) cadencée par une troisième version (H_3) du signal d'horloge déphasée par rapport à la deuxième (H_2) et respectivement la première version (H_1) d'une valeur égale à celle d'un saut de phase et respectivement deux
- 35 sauts de phase engendrés en une fois par les moyens de déphasage, ladite

troisième partie (73) ayant des étages de registre en nombre inférieur d'une unité à celui r.q des entrées parallèles de prépositionnement de la deuxième partie (72) dont les sorties parallèles sont connectées aux entrées parallèles de prépositionnement de rangs immédiatement supérieurs de la deuxième partie (72)

5 - et lesdits moyens de commande de déphasage (77) délivrant un ordre de déphasage à l'intention des moyens de déphasage et un ordre de prépositionnement à l'intention des première et deuxième parties (71, 72) du registre à décalage lorsque ni le décodeur (75) ni le circuit de prédiction (76) n'ont reconnu de mot de verrouillage ou de version permutée de

10 mot de verrouillage dans la première partie (71) du registre à décalage sur une durée minimale correspondant au défilement de r groupes d'emplacements de bits d'un motif.

