(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3786515号
(P3786515)
(45)発行日　平成18年6月14日(2006.6.14)　(24)登録日　平成18年3月31日(2006.3.31)

(51)Int.Cl.　F I
G02F 1/1368 (2006.01)　G02F 1/1368

請求項の数 9　(全 38 頁)

(21)出願番号　特願平10-20001
(22)出願日　平成10年1月30日(1998.1.30)
(65)公開番号　特開平11-218781
(43)公開日　平成11年8月10日(1999.8.10)
審査請求日　平成13年12月20日(2001.12.20)
審判番号　不服2003-11449(P2003-11449/J1)
審判請求日　平成15年6月19日(2003.6.19)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　村出　正夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】液晶装置及びその製造方法並びに電子機器

(57)【特許請求の範囲】

【請求項１】

一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けられた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜とを備えており、

前記一方の基板と前記第１層間絶縁膜との間に遮光膜が設けられ、前記遮光膜は前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、

前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成されていることを特徴とする液晶装置。

【請求項２】
前記画素電極上に配置されており、隣接して並べられた一対の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理された配向膜と、
前記一対の走査線及び容量線を前記走査線に沿った一本の帯部でまとめて覆う遮光層とを更に備えたことを特徴とする請求項１に記載の液晶装置。
【請求項３】
前記基板と前記第１層間絶縁膜との間に設けられた遮光膜は、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置にも設けられていることを特徴とする請求項１又は２に記載の液晶装置。
【請求項４】
前記第１層間絶縁膜は、前記第３蓄積容量電極部と前記第１蓄積容量電極部との間の領域が前記凹状に窪んで形成されたことを特徴とする請求項３に記載の液晶装置。
【請求項５】
前記遮光膜は、定電位源に接続されなり、前記第１層間絶縁膜は、前記遮光膜と前記定電位源とが接続される位置において、前記凹状に窪んで形成されると共に開孔されたことを特徴とする請求項３又は４に記載の液晶装置。
【請求項６】
一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けれた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜と、前記基板と前記第１層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜とを備え、前記遮光膜は前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成される液晶装置の製造方法であって、
前記凹状に窪んだ部分の側壁をウエットエッチングでテーパ状に形成する工程を含むことを特徴とする液晶装置の製造方法。
【請求項７】
一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けられた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極

の間に配置されている第３層間絶縁膜と、前記一方の基板と前記第１層間絶縁膜との間に設けられた遮光膜と、前記遮光膜の前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部とを備え、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成される液晶装置の製造方法であって、

前記走査線及び容量線を一対にして隣接して並べるように前記第１層間絶縁膜上に形成する工程と、前記画素電極上及び前記画素電極が形成されていない前記第３層間絶縁膜の部分上に配向膜を形成する工程と、該配向膜を、前記一対の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理する工程とを備えたことを特徴とする液晶装置の製造方法。

【請求項８】

一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けられた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜とを備え、前記一方の基板と前記第１層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜とを備え、前記遮光膜は前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成される液晶装置の製造方法であって、

前記一方の基板上の所定領域に前記遮光膜を形成する工程と、

前記接続される位置に対応する部分が前記凹状に窪むように前記一方の基板及び遮光膜上に前記第１層間絶縁膜を形成する工程と、

前記第１層間絶縁膜上に前記薄膜トランジスタを形成する工程と、

前記薄膜トランジスタ及び第１層間絶縁膜上に第２層間絶縁膜を形成する工程と、

前記遮光膜と前記定電位源からの配線とを接続するためのコンタクトホールとして、前記接続される位置において前記遮光膜に至るまで前記第２及び第１層間絶縁膜を開孔すると同時に、前記薄膜トランジスタと前記データ線とを接続するためのコンタクトホールとして、前記薄膜トランジスタを構成する半導体層のソース領域に対向する位置において前記半導体層に至るまで前記第２及び第１層間絶縁膜を開孔する工程と

を備えたことを特徴とする液晶装置の製造方法。

【請求項９】

請求項１から５のいずれかに記載の液晶装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下、ＴＦＴと称す）駆動によるアクティブマトリクス駆動方式の液晶装置及びその製造方法、並びにこれを用いた電子機器の技術分野に属する。

【０００２】

【従来の技術】

従来、この種の液晶装置においては、一対の基板間で画素電極及び対向電極上に各々所定

方向にラビング処理が施された一対の配向膜が設けられており、これらの配向膜間に液晶が所定の配向状態で挟持されている。そして、動作時には、この液晶に両電極から電界が印加され、液晶の配向状態は変化され、液晶装置の画面表示領域内で表示が行われる。

【０００３】

従って、この種の液晶装置においては、データ線、走査線、容量線などの配線を形成した領域と、これらのデータ線等が形成されていない領域（特に画像表示用の入射光が通過する開口領域等）とのＴＦＴアレイ基板上の合計層厚の差による凹凸を、仮にそのまま液晶に接する面（配向膜）にまで残したとすると、その凹凸の程度に応じて液晶に配向不良（ディスクリネーション）が発生して、各画素の画像の劣化につながる。より具体的には、各開口領域が窪んだ凹凸面上に形成された配向膜に対してラビング処理を施したのでは、この凹凸に応じて配向膜表面に配向規制力のばらつきが生じ、この凹凸部で、液晶の配向不良が発生してコントラストが変化してしまう。即ち、液晶の配向不良が起こると、例えば、液晶電圧非印加時において白表示となるノーマリーホワイトモードであれば、配向不良の箇所で白抜け現象が起こり、コントラストが低下すると共に精細度も低下してしまう。このような事態を避けるべく、配向膜間の距離（液晶の層厚）を均等且つ所定値に保ち、配向膜に対するラビング処理を基板の全面に渡って均等且つ適切に施すためには、画面表示領域内に位置する画素部を平坦化することは重要である。

【０００４】

他方、この種の液晶装置においては、各画素電極に画像信号を供給する際のデューティー比が小さくても、フリッカやクロストークが発生しないようにするために、各画素電極に所定容量を付与する蓄積容量を設けたりする。

【０００５】

ここで、この種の液晶装置においては、画素開口率を上げて画面を明るくするという要請もあるため、このような蓄積容量を増加させるために、隣接画素の境界として対向基板に設けられる遮光層に対応する位置にある非透明なＡｌ（アルミニウム）等からなるデータ線下やデータ線に沿った領域に、上述の如き蓄積容量が形成されたりする。より具体的には、例えば、データ線下の領域であれば、画素部におけるＴＦＴを構成する半導体層からデータ線下に延設した半導体層を第１蓄積容量電極として形成し、ゲート絶縁膜と同じ膜からなる絶縁膜をこの第１蓄積容量電極上に形成し、更に走査線と同じ層の低抵抗ポリシリコン等からなり走査線に沿って配設される容量線をその絶縁膜上に延設して、第１蓄積容量電極と絶縁膜を介して対向する第２蓄積容量電極として形成する。或いは、走査線に沿った領域であれば、画素部におけるＴＦＴを構成する半導体層から容量線下に延設した半導体層を第１蓄積容量電極として形成すると共に、ゲート絶縁膜と同じ膜からなる絶縁膜をこの第１蓄積容量電極上に形成する（この場合、第１蓄積容量電極と絶縁膜を介して対向する容量線の部分が第２蓄積容量電極として機能する）。

【０００６】

このような蓄積容量を十分にとることで高精細な画像表示が可能とされる。

【０００７】

【発明が解決しようとする課題】

しかしながら、前述のように蓄積容量をデータ線下の領域や走査線に沿った領域に作り込むと、この部分の層厚が増加して画素部に比較的大きな段差ができてしまう。例えば、データ線下の領域に蓄積容量を作り込むと、蓄積容量の厚み（第１蓄積容量電極、絶縁膜及び第２蓄積容量電極の合計の厚み）とデータ線の厚みだけ、これらが存在しない画素部よりも高くなることになり、その段差は約１００００ナにもなる。このような段差があると、ラビング処理が、当該段差部分で適切に施されなくなる。この結果、データ線に沿って前述のような液晶の配向不良が起こり、コントラストや精細度が低下したりする問題点が生じる。

【０００８】

逆に、このように蓄積容量を作り込んだことにより段差の増した表面を前述のように平坦化すると、製造効率やコストが悪化してしまう。特に、前述のようにデータ線下の領域に

蓄積容量を形成した後に画素部の平坦化を行おうとすると、第１及び第２蓄積容量電極や容量形成用絶縁膜や該配線に付随して必要となる層間絶縁膜まで重ねたデータ線部分の合計層厚が増すため、平坦化工程に対する負担が増加して、製造効率やコストが非常に悪化してしまうという問題点がある。

【０００９】

本発明は上述した問題点に鑑みなされたものであり、蓄積容量が大きく且つ画質劣化につながるような液晶の配向不良が極力低減された液晶装置及びその製造方法並びに当該液晶装置を備えた電子機器を提供することを課題とする。

【００１０】

【課題を解決するための手段】

本発明の液晶装置は、上記課題を解決するために、一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けられた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜とを備えており、前記一方の基板と前記第１層間絶縁膜との間に遮光膜が設けられ、前記遮光膜は前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成されていることを特徴とする。

【００１１】

本発明によれば、第１蓄積容量電極部は、薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に少なくともデータ線下に各々延設されている。第２蓄積容量電極部は、少なくともデータ線下において第１蓄積容量電極部と絶縁膜を介して各々対向配置されている。このように本発明によれば、入射光が透過しないため開口領域としては使用不可能なデータ線下のスペースは、画素電極に対し容量を付与するためのスペースとして有効に使用されている。

【００１６】

他方、第１層間絶縁膜は、一方の基板及び第１蓄積容量電極部の間に配置されており、第２層間絶縁膜は、第２蓄積容量電極部及び前記データ線の間に配置されており、第３層間絶縁膜は、データ線及び画素電極の間に配置されている。ここで一般に、データ線が配線される領域は、開口領域内に位置する画素部と比較すると、半導体層と同一材料からなる第１蓄積容量電極部、絶縁膜、走査線と同じポリシリコン層等からなる容量線の第２蓄積容量電極部、Ａｌ膜等からなるデータ線が積層されている分だけ段差ができる。しかも、この段差は、液晶装置の構造上、開口領域内に位置する画素部と比較して最も大きい段差である。しかるに、本発明によれば、第１、第２及び第３層間絶縁膜のうち少なくとも一つの絶縁膜は、容量線のうち少なくともデータ線下にある第２蓄積容量電極部に対向する領域が、他の領域と比べて凹状に窪んで形成されている。従って、データ線の上方に位置する第３層間絶縁膜の上面或いはこの上に形成される画素電極面は、この窪みに応じて平坦化される。例えば、第１蓄積容量電極部、容量形成用絶縁膜、第２蓄積容量電極部及びデータ線の合計層厚に等しい深さだけ凹状に窪めれば、第３層間絶縁膜の上面或いはこの上に形成される画素電極面は、ほぼ完全に平坦化される。

【００１７】

以上のように従来は、段差によりラビング処理が適切に施せなかったことに起因して、或いは段差による基板間距離の狂いに直接起因して液晶の配向不良は、この開口領域のデータ線に沿った部分で最も起き易かったが、本発明によれば、この部分における配向不良を平坦化により低減できる。さらに、本発明によれば、第１蓄積容量電極部に対向して遮光膜からなる第３蓄積容量電極部も形成されていることから、蓄積容量の更なる増大が図られる。

【００２０】

本発明の液晶装置は前記画素電極上に配置されており、隣接して並べられた一対の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理された配向膜と、前記一対の走査線及び容量線を前記走査線に沿った一本の帯部でまとめて覆う遮光層とを更に備えたことを特徴とする。

【００２１】

この発明によれば、ＴＦＴアレイ基板において配向膜は、画素電極上に配置されており、隣接して並べられた一対の走査線及び容量線に対して走査線の側から容量線の側に向うデータ線に沿った方向でラビング処理されている。ここで一般に、ラビング方向に面が高くなる段差に対してはラビング処理は比較的良好に行われ、ラビング方向に面が低くなる段差に対してはラビング処理は良好に行うことが困難であることが本発明者による研究の結果判明している。そこで、本発明のように、平坦化を施していない走査線の側から平坦化を施した容量線の側に向けた方向でラビング処理を行うようにすれば、ラビング方向の上流に位置する画素側の走査線の一方の縁における段差は、ラビング方向に面が高くなる段差となるのでラビング処理が良好に行われる。他方、容量線に隣接する側の走査線の他方の縁における段差は、ラビング方向に面が低くなる段差となるのでラビング処理が良好に行われない。しかしながら、この部分とラビング方向の下流に位置する画素との間には容量線の上方に位置する平坦化された面があると共に、遮光層の一本の帯部により、まとめて覆われているので開口領域から遠く離れている。このため、走査線の他方の縁に対応してラビング処理が良好に行われなくても、これによる液晶の配向不良が画像に影響することは殆ど又は全く無い。仮に、ラビング処理の方向を反対にしてしまうと、ラビング方向に面が低くなる段差が、容量線から遠い方の走査線の縁に現われてしまい、これによる液晶の配向不良が画像に影響を及ぼしてしまうか或いは、このような部分を更に遮光層で覆うことにより開口領域を狭めねばならない。

【００２２】

更に、ＴＦＴアレイ基板のラビング方向をデータ線に沿うようにした場合、直流駆動により液晶を劣化させないため及び表示画像のフリッカを防止するために走査線毎に液晶を駆動する電圧極性を反転させる走査線反転駆動方式（１Ｈ反転駆動方式）が一般化しつつあるが、この走査線反転駆動方式によれば、データ線の方向の段差である、走査線付近における画素部の段差により液晶の配向不良（ディスクリネーション）が起き易いことが、本発明者による研究の結果判明している。そこで、本発明のように、データ線の方向の段差が、一対の走査線及び容量線の縁ではなく、該一対の走査線と容量線との間にくるように構成すれば、上述の走査線反転駆動方式を採用した際に、液晶の配向不良が画素境界領域の中央付近で起きるように、即ち、各画素開口領域から離れた領域で起きるように出来る。この結果、本発明は、走査線反転駆動方式を用いる際には高コントラスト化と高精細化を図る上で、大変有利である。

【００２９】

本発明の液晶装置において、前記第１層間絶縁膜を前記一方の基板が兼ねており、前記第２及び第３層間絶縁膜のうち少なくとも一方は、前記容量線のうち少なくとも前記データ線下にある前記第２蓄積容量電極部に対向する領域が凹状に窪んで形成されたことを特徴とする。

【００３０】

この発明によれば、一方の基板が第１層間絶縁膜を兼ねている。即ち、一方の基板がＴＦＴの下地膜としても機能し、第１層間絶縁膜は省略される。しかるに、本発明によれば、

第２及び第３層間絶縁膜のうち少なくとも一方は、容量線のうち少なくともデータ線下にある第２蓄積容量電極部に対向する領域が凹状に窪んで形成されているので、上述の本発明と同様に第３層間絶縁膜の上面や画素電極面の平坦化が図られる。

【００３１】

本発明は、前記基板と前記第１層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜を更に備えたことを特徴とする。

【００３２】

この発明によれば、遮光膜は、複数のＴＦＴの少なくともチャネル形成用領域を一方の基板の側から見て各々重なる位置において一方の基板に設けられている。従って、一方の基板の側からの戻り光等が当該チャネル形成用領域に入射する事態を未然に防ぐことができ、光電流の発生によりＴＦＴの特性が劣化することはない。そして、遮光膜は、一方の基板と第１層間絶縁膜との間に設けられている。従って、遮光膜からＴＦＴ等を電気的絶縁し得ると共に遮光膜がＴＦＴ等を汚染する事態を未然に防げる。

【００３３】

本発明は、前記遮光膜は、前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線と平行な部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、前記第１層間絶縁膜は、前記第３蓄積容量電極部と前記第１蓄積容量電極部との間の領域が前記凹状に窪んで形成されたことを特徴とする。

【００３４】

この発明によれば、遮光膜は、第１蓄積容量電極部のデータ線下の部分及び走査線と平行な部分のうち少なくとも一方と第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでいる。従って、容量形成用絶縁膜を介して対向配置された第１蓄積容量電極部と第２蓄積容量電極部とで形成される容量に加えて、第１層間絶縁膜を介して対向配置された第１蓄積容量電極部と第３蓄積容量電極部とで形成される容量も、蓄積容量として画素電極に付与される。ここで一般に、容量形成用に間に介在する絶縁膜の膜厚が厚いほど形成される容量は小さく、薄いほど形成される容量は大きくなる。しかるに、本発明によれば、第１層間絶縁膜は、第３蓄積容量電極部と第１蓄積容量電極部との間の領域が凹状に窪んで形成されているため、容量形成用に間に介在する絶縁膜の膜厚を凹状の窪みの深さに応じて薄くすることが出来る。この結果、第１及び第３蓄積容量電極部の表面積を増やすことなく容量を効率的に増やすことが出来る。

【００３９】

本発明は、前記遮光膜は定電位源に接続されてなり、前記第１層間絶縁膜は、前記遮光膜と前記定電位源とが接続される位置において、前記凹状に窪んで形成されると共に開孔されたことを特徴とする。

【００４０】

この本発明によれば、第１層間絶縁膜は、遮光膜と定電位源とが接続される位置において凹状に窪んで形成されているので、その製造プロセスにおいて、当該第１層間絶縁膜形成後に、この凹状に窪んだ部分の深さに応じて、この位置を開孔する工程が容易となる。

【００４５】

本発明の液晶装置の製造方法は、一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けれた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量

線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜と、前記基板と前記第１層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜とを備え、前記遮光膜は前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成される液晶装置の製造方法であって、前記凹状に窪んだ部分の側壁をウエットエッチングでテーパ状に形成する工程を含むことを特徴とする。

【００４６】

この発明によれば、ウエットエッチング工程により、凹状に窪んだ部分の側壁は、テーパ状に形成される。このように凹状に窪んだ部分の側壁をテーパ状に形成しておけば、凹状に窪んだ部分内に後工程で形成される、例えば、ポリシリコン膜等が残ることがない。このため、この部分を確実に平坦化できる。また、ドライエッチングとウエットエッチングとを組み合わせてもよいことは言うまでもない。

【００４７】

本発明の液晶装置の製造方法は、一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けられた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜と、前記一方の基板と前記第１層間絶縁膜との間に設けられた遮光膜と、前記遮光膜の前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部とを備え、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成される液晶装置の製造方法であって、前記走査線及び容量線を一対にして隣接して並べるように前記第１層間絶縁膜上に形成する工程と、前記画素電極上及び前記画素電極が形成されていない前記第３層間絶縁膜の部分上に配向膜を形成する工程と、該配向膜を、前記一対の走査線及び容量線に対して前記走査線の側から前記容量線の側に向う前記データ線に沿った方向でラビング処理する工程とを備えたことを特徴とする。

【００４８】

この発明によれば、一対の走査線及び容量線一対にして隣接して並べるように第１層間絶縁膜上に形成される。次に、画素電極上及び画素電極が形成されていない第３層間絶縁膜の部分上に、配向膜を形成される。そして次に、該配向膜は、一対の走査線及び容量線に対して走査線の側から容量線の側に向うデータ線に沿った方向で、ラビング処理される。従って前述のように、ラビング方向の上流に位置する走査線のラビング処理が良好に行われない縁は開口領域から離れているので、この縁付近における液晶の配向不良が画像に影響することは殆ど又は全く無い。特に前述のように走査線反転駆動方式を用いる際には高コントラスト化と高精細化を図る上で、大変有利である。

【００４９】

また、本発明の液晶装置の製造方法は、一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に複数のデータ線と、該複数のデータ線に交差する複数の走査線と

、前記複数のデータ線及び走査線に対応して設けられた複数の薄膜トランジスタと、該複数の薄膜トランジスタに対応して設けられた複数の画素電極と、該複数の薄膜トランジスタのドレイン領域及びソース領域を構成する半導体層と同一材料からなり前記ドレイン領域に電気的に接続されると共に前記データ線下に延設され、かつ前記走査線に沿って延設された複数の第１蓄積容量電極部と、前記データ線と前記複数の第１蓄積容量電極部との間において前記データ線下に延設され、かつ前記走査線に沿って延設された前記複数の第１蓄積容量電極部と絶縁膜を介して各々対向配置された第２蓄積容量電極部を各々含む複数の容量線と、前記一方の基板及び前記第１蓄積容量電極部の間に配置されている第１層間絶縁膜と、前記第２蓄積容量電極部及び前記データ線の間に配置されている第２層間絶縁膜と、前記データ線及び前記画素電極の間に配置されている第３層間絶縁膜とを備え、前記一方の基板と前記第１層間絶縁膜との間において、前記複数の薄膜トランジスタの少なくともチャネル形成用領域を前記一方の基板の側から見て各々重なる位置に設けられた遮光膜とを備え、前記遮光膜は前記第１蓄積容量電極部の前記データ線下の部分及び前記走査線に沿う部分のうち少なくとも一方と前記第１層間絶縁膜を介して対向する位置に設けられた第３蓄積容量電極部を含んでおり、前記第１層間絶縁膜は、前記容量線に対向する領域が凹状に窪んで形成される液晶装置の製造方法であって、前記一方の基板上の所定領域に前記遮光膜を形成する工程と、前記接続される位置に対応する部分が前記凹状に窪むように前記一方の基板及び遮光膜上に前記第１層間絶縁膜を形成する工程と、前記第１層間絶縁膜上に前記薄膜トランジスタを形成する工程と、前記薄膜トランジスタ及び第１層間絶縁膜上に第２層間絶縁膜を形成する工程と、前記遮光膜と前記定電位源からの配線とを接続するためのコンタクトホールとして、前記接続される位置において前記遮光膜に至るまで前記第２及び第１層間絶縁膜を開孔すると同時に、前記薄膜トランジスタと前記データ線とを接続するためのコンタクトホールとして、前記薄膜トランジスタを構成する半導体層のソース領域に対向する位置において前記半導体層に至るまで前記第２及び第１層間絶縁膜を開孔する工程とを備えたことを特徴とする。

【００５０】

この発明によれば、一方の基板上の所定領域に遮光膜が形成され、遮光膜と定電位源とが接続される位置に対応する部分が凹状に窪むように一方の基板及びこの遮光膜上に第１層間絶縁膜が形成される。その後、ＴＦＴが第１層間絶縁膜上に形成され、更にＴＦＴ及び第１層間絶縁膜上に第２層間絶縁膜が形成される。この第２層間絶縁膜は、ＴＦＴ、データ線、走査線、容量線等の電気絶縁用に設けられるものである。ここで、遮光膜と定電位源からの配線とを接続するためのコンタクトホールとして、遮光膜に至るまで第２及び第１層間絶縁膜が開孔され、同時に、ＴＦＴとデータ線とを接続するためのコンタクトホールとして、半導体層に至るまで第２層間絶縁膜が開孔される。従って、これら２種類のコンタクトホールを一括して開孔できる。

【００５１】

本発明の電子機器は、上記に記載の液晶装置を備えたことを特徴とする。

【００５２】

この発明によれば、電子機器は、上述した本願発明の液晶装置を備えており、平坦化された画素電極により液晶の配向不良の少ない液晶装置により高品位の画像表示が可能となる。

【００５３】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【００５４】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【００５５】

（液晶装置の第１の実施の形態）

本発明による液晶装置の第１の実施の形態の構成及び動作について図１から図８に基づいて説明する。図1は、データ線、走査線、画素電極、遮光膜等が形成されたＴＦＴアレイ

基板の開口領域内の画素部の平面図である。図２は、遮光膜と定電位線との接続部分の平面図である。図３は、図1のＡ－Ａ’断面を対向基板等と共に示す液晶装置の断面図である。図４は、図1のＢ－Ｂ’断面図であり、図５は、図1のＣ－Ｃ’断面図である。また図６は、図２のＤ－Ｄ’断面図である。尚、図３から図６においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【００５６】

図1において、液晶装置のＴＦＴアレイ基板上には、マトリクス状に複数の透明な画素電極９ａ（点線部９ａ’により輪郭が示されている）が設けられており、画素電極９ａの縦横の境界に各々沿ってデータ線６ａ（ソース電極）、走査線３ａ（ゲート電極）及び容量線３ｂが設けられている。データ線６ａは、コンタクトホール５ａを介してポリシリコン膜からなる半導体層１ａのうち後述のソース領域に電気的接続されており、画素電極９ａは、コンタクトホール８を介して半導体層１ａのうち後述のドレイン領域に電気的接続されている。また、半導体層１ａのうち後述のチャネル形成用領域１ａ’（図中右下りの斜線の領域）に対向するように走査線３ａ（ゲート電極）が配置されている。そして、図中右上がりの斜線で示した領域に画素部における遮光膜１１ａが設けられている。即ち遮光膜１１ａは、画素部において、半導体層１ａのチャネル形成用領域１ａ’を含むＴＦＴ、データ線６ａ、走査線３ａ及び容量線３ｂをＴＦＴアレイ基板の側から見て各々重なる位置に設けられている。

【００５７】

図１において特に、データ線６ａ
下に形成された容量線３ｂを含む太線で囲まれた領域においては、後述の第１層間絶縁膜が凹状に窪んで形成されており、それ以外の画素電極９ａ及び走査線３ａにほぼ対応する領域においては、当該第１層間絶縁膜が相対的に凸状に（平面状に）形成されている。また、ＴＦＴアレイ基板１０のラビング方向を図１の矢印の方向で行うようにすれば、本実施の形態は特に効果を発揮する。

【００５８】

従って、従来は、データ線が形成される最も配向膜の形成面が高くなる段差により、ラビング処理が適切に施せなかったことに起因して、或いはこのような段差による基板間距離の狂いに直接起因して液晶の配向不良は、この開口領域のデータ線に沿った部分で最も起き易かったが、本実施の形態によれば、この部分における配向不良を平坦化により低減できる。

【００５９】

図２において液晶装置のＴＦＴアレイ基板上には、データ線６ａと同じＡｌ等の導電層から形成された定電位線６ｂが設けられており、コンタクトホール５ｂを介して非画素部における遮光膜（遮光配線）１１ｂと接続されている。図２において特に、コンタクトホール５ｂを含む太線で囲まれた領域５Ｃにおいては、後述の第１層間絶縁膜が凹状に窪んで形成されており、それ以外の領域においては、当該第１層間絶縁膜が相対的に凸状に（平面状に）形成されている。

【００６０】

図３から図６に示すように、液晶装置１００は、透明な一方の基板の一例を構成するＴＦＴアレイ基板１０と、これに対向配置される透明な他方の基板の一例を構成する対向基板２０とを備えている。ＴＦＴアレイ基板１０は、例えば石英基板からなり、対向基板２０は、例えばガラス基板や石英基板からなる。ＴＦＴアレイ基板１０には、画素電極９ａが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜１９が設けられている。画素電極９ａは例えば、ＩＴＯ膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜１９は例えば、ポリイミド薄膜などの有機薄膜からなる。

【００６１】

他方、対向基板２０には、その全面に渡って対向電極（共通電極）２１が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜２２が設けられてい

る。対向電極２１は例えば、ＩＴＯ膜などの透明導電性薄膜からなる。また配向膜２２は、ポリイミド薄膜などの有機薄膜からなる。

【００６２】

ＴＦＴアレイ基板１０には、図３に示すように、各画素電極９ａに隣接する位置に、各画素電極９ａをスイッチング制御する画素スイッチング用ＴＦＴ３０が設けられている。

【００６３】

対向基板２０には、更に図３に示すように、各画素の開口領域以外の領域に遮光層２３が設けられている。このため、対向基板２０の側から入射光が画素スイッチング用ＴＦＴ３０の半導体層１ａのチャネル形成用領域１ａ’やＬＤＤ（Lightly Doped Drain）領域１ｂ及び１ｃに侵入することはない。更に、遮光層２３は、コントラストの向上、色材の混色防止などの機能を有する。

【００６４】

このように構成され、画素電極９ａと対向電極２１とが対面するように配置されたＴＦＴアレイ基板１０と対向基板２０との間には、後述のシール材５２（図１３及び図１４参照）により囲まれた空間に液晶が封入され、液晶層５０が形成される。液晶層５０は、画素電極９ａからの電界が印加されていない状態で配向膜１９及び２２により所定の配向状態を採る。液晶層５０は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材５２は、二つの基板１０及び２０をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【００６５】

図３に示すように、画素スイッチング用ＴＦＴ３０に各々対向する位置においてＴＦＴアレイ基板１０と各画素スイッチング用ＴＦＴ３０との間には、遮光膜１１ａが各々設けられている。遮光膜１１ａは、好ましくは不透明な高融点金属であるＴｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｄのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、ＴＦＴアレイ基板１０上の遮光膜１１ａの形成工程の後に行われる画素スイッチング用ＴＦＴ３０の形成工程における高温処理により、遮光膜１１ａが破壊されたり溶融しないようにできる。遮光膜１１ａが形成されているので、ＴＦＴアレイ基板１０の側からの戻り光等が画素スイッチング用ＴＦＴ３０のチャネル形成用領域１ａ’やＬＤＤ領域１ｂ、１ｃに入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用ＴＦＴ３０の特性が劣化することはない。

【００６６】

更に、遮光膜１１ａと複数の画素スイッチング用ＴＦＴ３０との間には、単層又は多層からなる第１層間絶縁膜１２’が設けられている。第１層間絶縁膜１２’は、画素スイッチング用ＴＦＴ３０を構成する半導体層１ａを遮光膜１１ａから電気的絶縁するために設けられるものである。更に、第１層間絶縁膜１２’は、ＴＦＴアレイ基板１０の全面に形成されることにより、画素スイッチング用ＴＦＴ３０のための下地膜としての機能をも有する。即ち、ＴＦＴアレイ基板１０の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用ＴＦＴ３０の特性の劣化を防止する機能を有する。

【００６７】

ここで特に図４及び図５に示すように、第１層間絶縁膜１２’は、ＴＦＴアレイ基板１０上の容量線３ｂが形成されている領域が、他の領域と比べて凹状に窪んで形成されている。後述のように、第１層間絶縁膜１２’は、単層部分と２層部分とから構成しても良いし、単層のみから構成してもよい。

【００６８】

このような第１層間絶縁膜１２’は、例えば、ＮＳＧ（ノンドープトシリケートガラス）、ＰＳＧ（リンシリケートガラス）、ＢＳＧ（ボロンシリケートガラス）、ＢＰＳＧ（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。

【００６９】

以上の如く構成された第１層間絶縁膜１２’により、遮光膜１１ａから画素スイッチング用ＴＦＴ３０等を電気的絶縁し得ると共に遮光膜１１ａが画素スイッチング用ＴＦＴ３０等を汚染する事態を未然に防げる。ここで特に、第１層間絶縁膜１２’は、データ線６ａ下に容量線（第２蓄積容量電極）３ｂが形成された領域において凹状に窪んで形成されると共に（図４参照）、走査線３ａに沿って容量線３ｂが形成された領域において凹状に窪んで形成される（図５参照）ので、従来のように第１層間絶縁膜を平らに形成してその上に容量線３ｂを形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、この容量線３ｂが形成された領域と形成されていない領域との合計層厚の差が減少し、画素部における平坦化が促進される。

【００７０】

例えば、図４において、第１層間絶縁膜１２’上の遮光膜（第３蓄積容量電極）１１ａ、半導体層１ａのドレイン領域１ｅから延設された第１蓄積容量電極１ｆ、容量形成用絶縁膜（ゲート絶縁膜）２、容量線３ｂ及びデータ線６ａの合計層厚に等しくなるように凹状に窪んだ部分の深さを設定すれば、第３層間絶縁膜７の上面は、平坦となるので、その後の平坦化処理を省略できる。或いは、多少なりとも凹状に窪めれば、その後の平坦化処理の負担を軽減できる。同様に、図５において、第１層間絶縁膜１２’上の遮光膜１１ａ、半導体層１ａのドレイン領域１ｅから延設された第１蓄積容量電極１ｆ、容量形成用絶縁膜２、容量線３ｂ及びデータ線６ａの合計層厚に等しくなるように凹状に窪んだ部分の深さを設定すれば、第３層間絶縁膜７の上面は、ほぼ平坦となる（データ線６ａの分だけ画素部よりも低くなる）。但し、図４及び図５において、第１層間絶縁膜１２’は、遮光膜１１ａ、第１蓄積容量電極１ｆ、容量形成用絶縁膜２及び容量線３ｂの合計層厚に対応した深さで凹状に窪んで形成されてもよい。このように第１層間絶縁膜１２’を構成すれば、図５において、第３層間絶縁膜７の上面は、平坦となり、図４において、ほぼ平坦となる（データ線６ａの分だけ画素部よりも高くなる）。

【００７１】

また、本実施の形態では特に図５に示すように、ＴＦＴアレイ基板１０上に形成された画素電極９ａ上の配向膜に対するラビング方向は、隣接して並べられた一対の走査線３ａ及び容量線３ｂに対して走査線３ａの側から容量線３ｂの側に向うデータ線６ａに沿った方向とされている。ここで一般に回転ラビング法を用いる場合、ラビング方向に面が高くなる段差に対してはラビング処理は比較的良好に行われ、ラビング方向に面が低くなる段差に対してはラビング処理は良好に行うことが困難であることが本発明者による研究の結果判明している。そこで、本実施の形態のように、平坦化を施していない走査線３ａの側から平坦化を施した容量線３ｂの側に向けた方向でラビング処理を行うようにすれば、ラビング方向の上流に位置する画素側の走査線３ａの一方の縁における段差Ｓ１は、ラビング方向に面が高くなる段差となるので配向規制力が強くラビング処理が良好に行われる。他方、容量線３ｂに隣接する側の走査線３ａの他方の縁における段差Ｓ２は、ラビング方向に面が低くなる段差となるので配向規制力が弱くラビング処理が良好に行われない。しかしながら、この段差Ｓ２とラビング方向の下流に位置する画素との間には容量線３ｂの上方に位置する平坦化された面（小さい段差Ｓ３）があると共に、遮光層２３の一本の帯部により、これら一対の走査線３ａ及び容量線３ｂは、まとめて覆われているので、段差Ｓ２は、開口領域から遠く離れている。このため、段差Ｓ２においてラビング処理が良好に行われなくても、これによる液晶の配向不良が画像に影響することは殆ど又は全く無い。仮に、ラビング処理の方向を反対にしてしまうと、ラビング方向に面が低くなる段差Ｓ１による液晶の配向不良が画像に影響を及ぼしてしまうか或いは、このような部分を更に遮光層２３で覆うことにより開口領域を狭めねばならない。従って、そのような場合は、図５において、容量線３ｂを走査線３ａに対して反対側に設けるようにすればよい。

【００７２】

更に、このようにラビング処理を施すので、本実施の形態は、特にデータ線に沿ってラビングする場合には、直流駆動により液晶の劣化を生じさせないため及び表示画像のフリッカを防止するために走査線毎に液晶の両端に印加する電圧の極性を反転させる走査線反転

駆動方式（１Ｈ反転駆動方式）を用いると有利である。即ち、一般に液晶の配向不良（ディスクリネーション）は、データ線の方向の段差である、走査線付近における画素部の段差により起き易い。

【００７３】

ここで、このような液晶の配向不良の一例として、ＴＮ液晶における横電界の影響によるディスクリネーションを各種駆動方式について図７を参照して説明する。図７は、上から順にＤＯＴ（画素）反転駆動方式、１Ｈ（行）反転駆動方式、１Ｓ（列）反転駆動方式及び１Ｖ（フレーム）反転駆動方式について、３本の走査線及び３本のデータ線に囲まれた４つの画素開口領域におけるディスクリネーションの様子を示しており、特に左列は左回りのＴＮ液晶について右列は右回りのＴＮ液晶についてのディスクリネーションの様子を対向基板側から見た液晶装置の表示で示している。尚、図７では、横電界によりディスクリネーションが発生する領域が左下がりの斜線部で示されており、これに加えて、データ線の段差により配向不良が発生する領域が右下がりの斜線部で示されている。また、この例では、ＴＦＴアレイ基板上の配向膜に対するラビング方向が図中下から上への方向であるとする。

【００７４】

図７に示すように、左回り右回りを問わずに、データ線の左右に沿った細い領域において、データ線の段差による液晶の配向不良が発生している。そして、ＤＯＴ反転駆動方式の場合には（図中、最上段参照）、左回り液晶では各走査線の上側及び各データ線の右側で横電界によるディスクリネーションが発生しており、右回り液晶では各走査線の上側及び各データ線の左側で横電界によるディスクリネーションが発生している。他方、１Ｓ反転駆動方式（液晶の両端に印加する電圧の極性をデータ線単位で反転する方式）の場合には（図中、上から３段目参照）、左回り液晶では各データ線の右側で横電界によるディスクリネーションが僅かに発生しており、右回り液晶では各データ線の左側で横電界によるディスクリネーションが僅かに発生している。そして、１Ｖ反転駆動方式（液晶の両端に印加する電圧の極性をフレームまたは垂直走査期間毎に反転する方式）の場合には（図中、最下段参照）、横電界によるディスクリネーションは走査線の上下において殆ど発生していない。

【００７５】

これに対して１Ｈ反転駆動方式の場合には（図中、上から２段目参照）、右回り左回りを問わずに、各走査線の上側で横電界によるディスクリネーションが発生している。従って、図７に示したように、ＴＦＴアレイ基板上の配向膜のラビング方向を下から上の方向にして、横電界によるディスクリネーションが発生する走査線の上側の領域に容量線を並べて設けると共に走査線の段差がこれら容量線と走査線との間に位置するように構成すれば、横電界によるディスクリネーションは、この容量線と走査線との間において主に発生することとなり、その画素開口領域に対する悪影響が低減されることになる。更に図７から、データ線部分を平坦化することにより、どの反転駆動方式においてもデータ線に沿って現われる液晶の配向不良を低減できることが分かる。

【００７６】

そこで、本実施の形態では、データ線６ａの方向の段差が、一対の走査線３ａ及び容量線３ｂの縁ではなく、該一対の走査線３ａと容量線３ｂとの間にくるように構成されている。従って、走査線反転駆動方式（１Ｈ反転駆動方式）を採用した際に、液晶の配向不良が、遮光層２３で覆われた画素境界領域の中央付近で、即ち各画素開口領域から離れた領域で起きることになる。この結果、本実施の形態によれば、走査線反転駆動方式を用いた際に、電圧極性反転に伴って起きる走査線３ａに沿った液晶の配向不良が表示画像に及ぼす影響を低減でき、高コントラスト化と高精細化を図れる。

【００７７】

以上のように、遮光膜１１ａを設けることにより必要となる第１層間絶縁膜１２’の所定領域が凹状に窪んで形成されているので、本実施の形態によれば、前述した従来の、平坦化膜のスピンコート等による塗布による平坦化された絶縁膜の形成等の工程を、省略又は

簡略化できる。

【００７８】

本実施の形態では図１及び図４に示すように、半導体層１ａの高濃度ドレイン領域１ｅは、データ線６ａに沿って延設されて第１蓄積容量電極（半導体層）１ｆとされている。従って先ず、この第１蓄積容量電極（半導体層）１ｆと容量線（第２蓄積容量電極）３ｂとの間で、容量形成用絶縁膜２を介して蓄積容量が形成される。これに加えて、遮光膜１１ａは、このデータ線６ａ
下に延設された第１蓄積容量電極（半導体層）１ｆの下にも設けられているので、これら第１蓄積容量電極（半導体層）１ｆと遮光膜１１ａの間でも、第１層間絶縁膜１２’を介して容量が形成される。

【００７９】

他方で、図１及び図５に示すように、半導体層１ａの高濃度ドレイン領域１ｅは、走査線３ａに平行に延設されて第１蓄積容量電極（半導体層）１ｆとされている。従って先ず、この第１蓄積容量電極（半導体層）１ｆと容量線（第２蓄積容量電極）３ｂとの間で、容量形成用絶縁膜２を介して蓄積容量が形成される。これに加えて、遮光膜１１ａは、この第１蓄積容量電極（半導体層）１ｆの下にも設けられているので、これら第１蓄積容量電極（半導体層）１ｆと遮光膜（第３蓄積容量電極）１１ａとの間で、第１層間絶縁膜１２’を介して容量が形成される。

【００８０】

これらの結果、データ線６ａ
下の領域及びデータ線に平行な領域という開口領域を外れたスペースを有効に利用して、画素電極９ａの蓄積容量を増やすことが出来る。

【００８１】

そして本実施の形態では図１、図４及び図５に示すように、第１層間絶縁膜１２’は、これらの容量が作り込まれる領域において凹状に窪んで形成されているので平坦化が図られており、更に、この容量形成用絶縁膜としての第１層間絶縁膜１２’の凹状に窪んだ領域における層厚は非常に薄く（例えば、１０００～５０００Å程度に）構成されているので、容量線３ｂの表面積を増やすことなく、当該第１層間絶縁膜１２’を介して対向配置された遮光膜１１ａと第１蓄積容量電極１ｆとの間における容量を増やすことが出来る。このように、画素開口領域を狭めないように且つ画素部の平坦性を害さないように、蓄積容量を増加させることができるので本実施の形態は大変有利である。

【００８２】

本実施の形態では図２及び図６に示すように、遮光配線部の遮光膜１１ｂ（及びこれに接続された画素部における遮光膜１１ａ）は定電位線６ｂに電気的接続されているので、遮光膜１１ａは定電位とされる。従って、遮光膜１１ａに対向配置される画素スイッチング用ＴＦＴ３０に対し遮光膜１１ａの電位変動が悪影響を及ぼすことはない。この場合、定電位線６ｂの定電位としては、接地電位に等しくてもよいし、対向電極２１の電位に等しくてもよい。また、定電位線６ｂは、液晶装置１００を駆動するための周辺回路の負電源、正電源等の定電位源に接続されてもよい。

【００８３】

尚、本実施の形態では、画素スイッチング用ＴＦＴ３０に対向する領域や走査線３ａに対向する領域においては、第１層間絶縁膜１２’は凹状に窪められていない。このため、第１層間絶縁膜１２’を凹状に窪んだ領域において非常に薄くしても、凹状に窪んでいない領域における膜厚を十分な値に設定すれば、画素スイッチング用ＴＦＴ３０のチャネル形成用領域１ａ’に遮光膜１１ｂの電位が悪影響を及ぼしたり、走査線３ａと遮光膜１１ｂとの間で、寄生容量がつくような不具合はない。即ち、本実施の形態の如き構成を採れば、第１層間絶縁膜１２’の凹状に窪んだ領域における膜厚を蓄積容量増加のために、非常に薄く形成しても、画素スイッチング用ＴＦＴ３０や走査線３ａに対して悪影響を及ぼさないので、大変有利である。

【００８４】

更に図２及び図６に示すように、第１層間絶縁膜１２’は、遮光膜１１ｂと定電位線６ｂとが接続される位置において、凹状に窪んで形成されているので、後述のように第１層間絶縁膜１２’形成後にコンタクトホール５ｂをエッチングにより開孔する工程が、この凹状に窪んだ部分の深さに応じて容易となり、コンタクトホール５ａと５ｂとを一括して開孔できる。従って、コンタクトホール５ｂを開孔するためだけのフォトリソグラフィ工程及びエッチング工程が削減できるため、工程数を増加させることがなく歩留まりの低下を招かない。

【００８５】

再び、図３において、画素スイッチング用ＴＦＴ３０は、ＬＤＤ（Lightly Doped Drain）構造を有しており、走査線３ａ（ゲート電極）、走査線３ａからの電界によりチャネルが形成される半導体層１ａのチャネル形成用領域１ａ’、走査線３ａと半導体層１ａとを絶縁するゲート絶縁膜２、半導体層１ａの低濃度ソース領域（ソース側ＬＤＤ領域）１ｂ、データ線６ａ（ソース電極）、半導体層１ａの低濃度ドレイン領域（ドレイン側ＬＤＤ領域）１ｃ、半導体層１ａの高濃度ソース領域１ｅ及びポリシリコン層１の高濃度ドレイン領域１ｅを備えている。高濃度ドレイン領域１ｅには、複数の画素電極９ａのうちの対応する一つが接続されている。ソース領域１ｂ及び１ｄ並びにドレイン領域１ｃ及び１ｅは後述のように、半導体層１ａに対し、ｎ型又はｐ型のチャネルを形成するかに応じて所定濃度のｎ型用又はｐ型用のドーパントをドープすることにより形成されている。ｎ型チャネルのＴＦＴは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用ＴＦＴ３０として用いられることが多い。本実施の形態では特にデータ線６ａ（ソース電極）は、Ａｌ等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線３ａ（ゲート電極）、ゲート絶縁膜２及び第１層間絶縁膜１２’の上には、高濃度ソース領域１ｄへ通じるコンタクトホール５ａ及び高濃度ドレイン領域１ｅへ通じるコンタクトホール８が各々形成された第２層間絶縁膜４が形成されている。このソース領域１ｂへのコンタクトホール５ａを介して、データ線６ａ（ソース電極）は高濃度ソース領域１ｄに電気的接続されている。更に、データ線６ａ（ソース電極）及び第２層間絶縁膜４の上には、高濃度ドレイン領域１ｅへのコンタクトホール８が形成された第３層間絶縁膜７が形成されている。この高濃度ドレイン領域１ｅへのコンタクトホール８を介して、画素電極９ａは高濃度ドレイン領域１ｅに電気的接続されている。前述の画素電極９ａは、このように構成された第３層間絶縁膜７の上面に設けられている。

【００８６】

画素スイッチング用ＴＦＴ３０は、好ましくは上述のようにＬＤＤ構造を持つが、低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極３ａをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のＴＦＴであってもよい。

【００８７】

また本実施の形態では、画素スイッチング用ＴＦＴ３０のゲート電極（データ線３ａ）をソースードレイン領域１ｂ及び１ｅ間に１個のみ配置したシングルゲート構造としたが、これらの間に２個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）以上でＴＦＴを構成すれば、チャネルとソースードレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも１個をＬＤＤ構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【００８８】

ここで、一般には、半導体層１ａのチャネル形成用領域１ａ’、低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃ等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用ＴＦＴ３０のトランジス

タ特性が劣化するが、本実施の形態では、走査線３ａ（ゲート電極）を上側から覆うようにデータ線６ａ（ソース電極）がＡｌ等の遮光性の金属薄膜から形成されているので、少なくとも半導体層１ａのチャネル形成用領域１ａ’及びＬＤＤ領域１ｂ、１ｃへの入射光（即ち、図３で上側からの光）の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用ＴＦＴ３０の下側には、遮光膜１１ａが設けられているので、少なくとも半導体層１ａのチャネル形成用領域１ａ’及びＬＤＤ領域１ｂ、１ｃへの戻り光（即ち、図３で下側からの光）の入射を効果的に防ぐことが出来る。

【００８９】

尚、図６において、第１層間絶縁膜１２’は、２つの絶縁膜１２及び１３から構成されている。このような構成については、製造工程のところで詳述する。

【００９０】

（液晶装置の第２の実施の形態）

液晶装置の第２の実施の形態について図８及び図９に基づいて説明する。第２の実施の形態は、ＴＦＴアレイ基板１０側に遮光膜１１ａが設けられておらず、更に、データ線６ａ下に容量線３ｂが形成された領域でのみ、第１層間絶縁膜１２'が凹状に窪んで形成されている点で第１の実施の形態とは異なる。尚、図１に示すように遮光膜１１ａが設けられていてもよいことは言うまでもない。図８は、データ線、走査線、画素電極等が形成されたＴＦＴアレイ基板の平面図である。また図９は、図８のＢ－Ｂ'断面図である。尚、図９においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第１実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【００９１】

図８において、データ線６ａ
下に容量線３ｂが形成された太線で囲まれた領域においては、図９に示すように第１層間絶縁膜１２’が凹状に窪んで形成されており、それ以外の容量線３ｂや画素電極９ａ及び走査線３ａにほぼ対応する領域においては、第１層間絶縁膜１２’が相対的に凸状に（平面状に）形成されている。

【００９２】

従って、本実施の形態の如く平坦化処理を何等施さなかった場合に第３層間絶縁膜７の上面で最も段差が生じる領域のみ、即ち、液晶の配向不良が最も問題になる領域のみを、第１層間絶縁膜１２’の凹状の窪みにより平坦化するので、平坦化処理にかかるコストや手間を基準にした平坦化の効率が非常に良い。

【００９３】

また、図９に示した第１層間絶縁膜１２’は、第１の実施の形態の場合と同様に、 単層部分と２層部分とから構成しても良く、単層のみから構成してもよい。

【００９４】

本実施の形態では図９に示すように、半導体層１ａの高濃度ドレイン領域１ｅは、データ線６ａに沿って延設されて第１蓄積容量電極（半導体層）１ｆとされているので、データ線６ａに沿って延設された第１蓄積容量電極（半導体層）１ｆと容量線（第２蓄積容量電極）３ｂとの間で、第１層間絶縁膜１２’を介して容量が形成される。そして、このような容量が作り込まれる領域において平坦化が図られている。

【００９５】

（液晶装置の第３の実施の形態）

液晶装置の第３の実施の形態について図１０に基づいて説明する。第３の実施の形態は、ＴＦＴアレイ基板１０側に遮光膜１１ａが設けられていない点で第１の実施の形態とは異なる。図１０は、図１のＣ－Ｃ'断面に対応する位置における液晶装置の断面図である。尚、図１０においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第１の実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【００９６】

図１０に示すように、第３の実施の形態の液晶装置は、第１の実施の形態を示した図５と比較して、遮光膜１１ａが設けられていない。その他の構成については第１の実施の形態と同様であるので、説明を省略する。

【００９７】

また、図１０に示した第１層間絶縁膜１２’は、第１の実施の形態の場合と同様に、単層部分と２層部分とから構成しても良く、単層のみから構成してもよい。

【００９８】

従って、本実施の形態の如く平坦化処理を何等施さなかった場合に第３層間絶縁膜７の上面で最も段差が生じるデータ線６ａ
下に容量線３ｂが形成された領域と、走査線３ａに沿って容量線３ｂが形成された領域との両方において、第１層間絶縁膜１２’の凹状の窪みにより平坦化が図られている。

【００９９】

（液晶装置の第４の実施の形態）

液晶装置の第４の実施の形態について図１１に基づいて説明する。第４の実施の形態は、半導体層１ａの下地膜としての第１層間絶縁膜１２'をＴＦＴアレイ基板１０が兼ねており第１層間絶縁膜１２'がなく、且つ遮光膜１１ａがない点で第１の実施の形態とは異なる。図１１は、図１のＢ－Ｂ'断面に対応する位置における液晶装置の断面図である。尚、図１１においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第１の実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【０１００】

図１１に示すように、第４の実施の形態の液晶装置は、第１の実施の形態と比較して、遮光膜１１ａが設けられていない。更に、第１層間絶縁膜１２’がなく、第１蓄積容量電極（半導体層）１ｆが直接ＴＦＴアレイ基板１０の上に形成されている。そして、データ線６ａ
下の容量線３ｂが形成された領域においては、第２層間絶縁膜４が凹状に窪んで形成されており、これにより、第３層間絶縁膜７の上面における平坦化が図られている。尚、走査線３ａに沿って容量線３ｂが形成された領域については、第２層間絶縁膜４を凹状に窪めて形成して平坦化してもよいし、第２の実施の形態のように平坦化しなくてもよい。

【０１０１】

また、図１１に示した第２層間絶縁膜４は、第１の実施の形態における第１層間絶縁膜１２’の場合と同様に、 単層部分と２層部分とから構成しても良く、単層のみから構成してもよい。

【０１０２】

このように第２層間絶縁膜４を利用して平坦化することも可能である。

【０１０３】

尚、図１に示すように、遮光膜１１ａや第１層間絶縁膜１２’を設けてもよいことは言うまでもない。

【０１０４】

（液晶装置の第５の実施の形態）

液晶装置の第５の実施の形態について図１２に基づいて説明する。第５の実施の形態は、半導体層１ａの下地膜としての第１層間絶縁膜１２'をＴＦＴアレイ基板１０が兼ねており第１層間絶縁膜１２'がなく、且つ遮光膜１１ａがない点で第１の実施の形態とは異なる。図１２は、図１のＢ－Ｂ'断面に対応する位置における液晶装置の断面図である。尚、図１２においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、第１の実施の形態と同じ構成要素については同じ参照符号を付し、その説明は省略する。

【０１０５】

図１２に示すように、第４の実施の形態の液晶装置は、第１の実施の形態と比較して、遮光膜１１ａが設けられていない。更に、第１層間絶縁膜１２’がなく、第１蓄積容量電極

（半導体層）１ｆが直接ＴＦＴアレイ基板１０の上に形成されている。そして、データ線６ａ
下の容量線３ｂが形成された領域においては、第３層間絶縁膜７が凹状に窪んで形成されており、これにより、第３層間絶縁膜７の上面における平坦化が図られている。尚、走査線３ａに沿って容量線３ｂが形成された領域については、第３層間絶縁膜７を凹状に窪めて形成して平坦化してもよいし、第２の実施の形態のように平坦化しなくてもよい。

【０１０６】

また、図１２に示した第３層間絶縁膜７は、第１の実施の形態における第１層間絶縁膜１２’の場合と同様に、 単層部分と２層部分とから構成しても良く、単層のみから構成してもよい。

【０１０７】

このように第３層間絶縁膜７を利用して平坦化することも可能である。

【０１０８】

尚、図１に示すように、遮光膜１１ａや第１層間絶縁膜１２’を設けてもよいことは言うまでもない。

【０１０９】

（液晶装置の全体構成）

以上のように構成された液晶装置の各実施の形態の全体構成を図１３及び図１４を参照して説明する。尚、図１３は、ＴＦＴアレイ基板１０をその上に形成された各構成要素と共に対向基板２０の側から見た平面図であり、図１４は、対向基板２０を含めて示す図１３のＨ－Ｈ’断面図である。

【０１１０】

図１３において、ＴＦＴアレイ基板１０の上には、シール材５２がその縁に沿って設けられており、その内側に並行して、例えば遮光層２３と同じ或いは異なる材料から成る遮光性の周辺見切り５３が設けられている。シール材５２の外側の領域には、データ線駆動回路１０１及び実装端子１０２がＴＦＴアレイ基板１０の一辺に沿って設けられており、走査線駆動回路１０４が、この一辺に隣接する２辺に沿って設けられている。走査線３ａに供給される走査信号遅延が問題にならないのならば、走査線駆動回路１０４は片側だけでも良いことは言うまでもない。また、データ線駆動回路１０１を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線６ａは画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線６ａを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にＴＦＴアレイ基板１０の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路１０４間をつなぐための複数の配線１０５が設けられている。また、対向基板２０のコーナー部の少なくとも１箇所においては、ＴＦＴアレイ基板１０と対向基板２０との間で電気的導通をとるための導通材からなる銀点１０６が設けられている。そして、図１４に示すように、図１３に示したシール材５２とほぼ同じ輪郭を持つ対向基板２０が当該シール材５２によりＴＦＴアレイ基板１０に固着されている。

【０１１１】

データ線駆動回路１０１及び走査線駆動回路１０４は配線によりデータ線６ａ（ソース電極）及び走査線３ａ（ゲート電極）に各々電気的接続されている。データ線駆動回路１０１には、図示しない制御回路から即時表示可能な形式に変換された画像信号が入力され、走査線駆動回路１０４がパルス的に走査線３ａに順番にゲート電圧を送るのに合わせて、データ線駆動回路１０１は画像信号に応じた信号電圧をデータ線６ａ（ソース電極）に送る。本実施の形態では特に、画素スイッチング用ＴＦＴ３０はｐ－Ｓｉ（ポリシリコン）タイプのＴＦＴであるので、画素スイッチング用ＴＦＴ３０の形成時にほぼ同一工程で、データ線駆動回路１０１及び走査線駆動回路１０４を構成する相補型ＴＦＴを形成することも可能であり、製造上有利である。

【０１１２】
次に、図１５に第１の実施の形態における遮光配線部をなす遮光膜１１ｂのＴＦＴアレイ基板１００上の２次元的レイアウトを示す。
【０１１３】
図１５に示すように、遮光膜１１ａは、周辺見切り５３内の画面表示領域において走査線３ａ、容量線３ｂ及びデータ線６ａを覆うように引き回されており、画面表示領域の外側で、対向基板２０上の周辺見切り５３の下部を通るように配線し、図２に示したように定電位線に接続される。このように配線すれば、周辺見切り５３下のデッドスペースを有効に使うことが出来、シール材を硬化させる面積を広くとることが出来る。また、対向基板２０上に設けられた周辺見切り５３をＴＦＴアレイ基板１０上に遮光膜１１ａと同層で同材料で設け、遮光膜１１ａ及び１１ｂと電気的に接続するようにしてもよい。このように、周辺見切り５３を内蔵することにより対向基板２０上の遮光層は必要無くなるため、ＴＦアレイ基板１０と対向基板２０の張り合わせ時の精度は無視することが出来、透過率のばらつかない明るい液晶装置を実現できる。
【０１１４】
尚、図１３から図１５において、ＴＦＴアレイ基板１０上には更に、複数のデータ線６ａに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、画像信号をサンプリングして複数のデータ線６ａに各々供給するサンプリング回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路１０１及び走査線駆動回路１０４をＴＦＴアレイ基板１０の上に設ける代わりに、例えばＴＡＢ（テープオートメイテッドボンディング基板）上に実装された駆動用ＬＳＩに、ＴＦＴアレイ基板１０の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。
【０１１５】
また、図１から図１５には示されていないが、対向基板２０の投射光が入射する側及びＴＦＴアレイ基板１０の出射光が出射する側には各々、例えば、ＴＮ（ツイステッドネマティック）モード、 ＳＴＮ（スーパーＴＮ）モード、Ｄ－ＳＴＮ（ダブル－ＳＴＮ）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。
【０１１６】
次に以上のように構成された本実施の形態の動作について図３及び図１３から図１５を参照して説明する。
【０１１７】
先ず、制御回路から画像信号を受けたデータ線駆動回路１０１は、この画像信号に応じたタイミング及び大きさで信号電圧をデータ線６ａ（ソース電極）に印加し、これと並行して、走査線駆動回路１０４は、所定タイミングで走査線３ａ（ゲート電極）にゲート電圧をパルス的に順次印加し、画素スイッチング用ＴＦＴ３０は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加された画素スイッチング用ＴＦＴ３０においては、ソース領域１ｄ及び１ｂ、半導体層１ａのチャネル形成用領域１ａ’に形成されたチャネル並びにドレイン領域１ｃ及び１ｅを介して画素電極９ａに電圧が印加される。そして、この画素電極９ａの電圧は、ソース電圧が印加された時間よりも例えば３桁も長い時間だけ蓄積容量（図４及び図５参照）により保持される。
【０１１８】
以上のように、画素電極９ａに電圧が印加されると、液晶層５０におけるこの画素電極９ａと対向電極２１とに挟まれた部分における液晶の配向状態が変化し、ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置１００からは画像信号に応じたコントラストを持つ光が出射する。
【０１１９】

特に本実施の形態では、層間絶縁膜を凹状に窪めて形成することにより画素部における平坦化が図られているため、液晶の配向不良が特に容量線が形成された領域の付近で低減されており、液晶装置１００により、高コントラストで高画質の画像を表示することが可能となる。

【０１２０】

以上説明した液晶装置１００は、カラー液晶プロジェクタに適用されるため、３枚の液晶装置１００がＲＧＢ用のライトバルブとして各々用いられ、各パネルには各々ＲＧＢ色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施の形態では、対向基板２０に、カラーフィルタは設けられていない。しかしながら、液晶装置１００においても遮光層２３の形成されていない画素電極９ａに対向する所定領域にＲＧＢのカラーフィルタをその保護膜と共に、対向基板２０上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶装置を適用できる。更に、対向基板２０上に１画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板２０上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、ＲＧＢ色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【０１２１】

液晶装置１００では、従来と同様に入射光を対向基板２０の側から入射することとしたが、第１の実施の形態のように遮光膜１１ａを設けた場合には、ＴＦＴアレイ基板１０の側から入射光を入射し、対向基板２０の側から出射するようにしても良い。即ち、このように液晶装置１００を液晶プロジェクタに取り付けても、半導体層１ａのチャネル形成用領域１ａ’及びＬＤＤ領域１ｂ、１ｃに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、ＴＦＴアレイ基板１００の裏面側での反射を防止するために、反射防止用のＡＲ被膜された偏光板を別途配置したり、ＡＲフィルムを貼り付ける必要があった。しかし、第１の実施の形態では、ＴＦＴアレイ基板１０の表面と半導体層１ａの少なくともチャネル形成用領域１ａ’及びＬＤＤ領域１ｂ、１ｃとの間に遮光膜１１ａが形成されているため、このようなＡＲ被膜された偏光板やＡＲフィルムを用いたり、ＴＦＴアレイ基板１０そのものをＡＲ処理した基板を使用する必要が無くなる。従って、本実施の形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【０１２２】

また、液晶装置１００のスイッチング素子は、正スタガ型又はコプラナー型のポリシリコンＴＦＴであるとして説明したが、逆スタガ型のＴＦＴやアモルファスシリコンＴＦＴ等の他の形式のＴＦＴに対しても、本実施の形態は有効である。

【０１２３】

更に、液晶装置１００においては、一例として液晶層５０をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜１９及び２２、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点が得られる。更に、画素電極９ａをＡｌ等の反射率の高い金属膜から構成することにより、液晶装置１００を反射型液晶装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたＳＨ（スーパーホメオトロピック）型液晶などを用いても良い。更にまた、液晶装置１００においては、液晶層５０に対し垂直な電界（縦電界）を印加するように対向基板２０の側に対向電極２１を設けているが、液晶層５０に平行な電界（横電界）を印加するように一対の横電界発生用の電極から画素電極９ａを各々構成する（即ち、対向基板２０の側には縦電界発生用の電極を設けることなく、ＴＦＴアレイ基板１０の側に横電界発生用の電極を設ける）ことも

可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料（液晶相）、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【０１２４】

（製造プロセス）

次に、以上のような構成を持つ液晶装置の製造プロセスについて第１の実施の形態の液晶装置を例として図１６から図２３を参照して説明する。尚、図１６から図１９は各工程におけるＴＦＴアレイ基板側の各層を、第１の実施の形態における特徴的な箇所を含む図４のＢ－Ｂ’断面に対応させて示す工程図であり、更に、図２０から図２３は各工程におけるＴＦＴアレイ基板側の各層を図６のＤ－Ｄ’断面に対応させて示す工程図である。そして、これらの図に記された工程（１）～工程（２０）は、ＴＦＴアレイ基板１上の相異なる部分における同一の工程として各々一括して行われるものである。

【０１２５】

先ず、図１６から図１９を参照して、図４のＢ－Ｂ’断面に対応するデータ線３ａ並びにその下に形成された容量線３ｂ及び第１蓄積容量電極（半導体層）１ｆを含む部分の製造プロセスを中心に説明する。尚、図３のＡ－Ａ’断面に示された構成要素の製造行程や図５のＣ－Ｃ’断面に示された構成要素の製造行程も、図１６から図１９に示した各行程と一括して行われるものであるので、これらの製造工程についても各行程毎に適宜説明を加える。

【０１２６】

図１６の工程（１）に示すように、石英基板、ハードガラス等のＴＦＴアレイ基板１０を用意する。ここで、好ましくはN_2（窒素）等の不活性ガス雰囲気且つ約９００～１３００℃の高温でアニール処理し、後に実施される高温プロセスにおけるＴＦＴアレイ基板１０に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にＴＦＴアレイ基板１０を同じ温度かそれ以上の温度で熱処理しておく。

【０１２７】

このように処理されたＴＦＴアレイ基板１０の全面に、Ｔｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｄ等の金属や金属シリサイド等の金属合金膜を、スパッタにより、１０００～５０００Å程度の層厚、好ましくは約２０００Åの層厚の遮光膜１１を形成する。

【０１２８】

続いて、工程（２）に示すように、該形成された遮光膜１１上にフォトリソグラフィにより遮光膜１１ａのパターン（図１参照）に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜１１に対しエッチングを行うことにより、遮光膜１１ａを形成する。

【０１２９】

次に工程（３）に示すように、遮光膜１１ａの上に、例えば、常圧又は減圧ＣＶＤ法等によりＴＥＯＳ（テトラ・エチル・オルソ・シリケート）ガス、ＴＥＢ（テトラ・エチル・ボートレート）ガス、ＴＭＯＰ（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第１絶縁膜１２（２層の第１層間絶縁膜１２’の下層）を形成する。この第１絶縁膜１２の層厚は、例えば、約５０００～２００００Åとし、後の工程で埋め込みたい膜の膜厚により第１絶縁膜１２の厚みを決定するようにする。

【０１３０】

次に工程（４）に示すように、容量線３ｂを上方に形成する予定の領域（図１、図４及び図５参照）に対して、エッチングを行い、この領域における第１絶縁膜１２を除去する。ここで、前記エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクとほぼ同じサイズで異方的に第１絶縁膜１２が除去できるため、設計寸法通りに容易に制御できる利点がある。一方、少なくもとウエットエッチングを用いた場合には、等方性のため、第

１絶縁膜１２の開孔領域が広がるが、開孔部の側壁面をテーパー状に形成できるため、後工程の例えば走査線３ａを形成するためのポリシリコン膜３やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。尚、第１絶縁膜１２の開孔部の側壁面をテーパー状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストパターンを後退させて、再度ドライエッチングを行ってもよい。また、ドライエッチングとウェットエッチングを組み合わせてもよいことは言うまでもない。

【０１３１】

次に工程（５）に示すように、遮光膜１１ａ及び第１絶縁膜１２の上に、第１絶縁膜１２と同様に、シリケートガラス膜、又は窒化シリコン膜や酸化シリコン膜等からなる第２絶縁膜１３（２層の第１層間絶縁膜１２’の上層）を形成する。この第２絶縁膜１３の層厚は、例えば、約１０００～２０００Åとする。第２絶縁膜１３に対し、約９００℃のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【０１３２】

本実施の形態では特に、第１層間絶縁膜１２’を形成する第１絶縁膜１２及び第２絶縁膜１３の層厚は、図４に示したようにデータ線６ａ
下に容量線３ｂが形成される領域において、画素電極９ａが形成される前に画素領域がほぼ平坦になるように設定される。

【０１３３】

次に工程（６）に示すように、第２絶縁膜１３の上に、約４５０～５５０℃、好ましくは約５００℃の比較的低温環境中で、流量約４００～６００ｃｃ／ｍｉｎのモノシランガス、ジシランガス等を用いた減圧ＣＶＤ（例えば、圧力約２０～４０ＰａのＣＶＤ）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約６００～７００℃にて約１～１０時間、好ましくは、４～６時間のアニール処理を施すことにより、ポリシリコン膜１を約５００～２０００Åの厚さ、好ましくは約１０００Åの厚さとなるまで固相成長させる。

【０１３４】

この際、図３に示した画素スイッチング用ＴＦＴ３０として、ｎチャネル型の画素スイッチング用ＴＦＴ３０を作成する場合には、当該チャネル形成用領域にＳｂ（アンチモン）、Ａｓ（砒素）、Ｐ（リン）などのＶ族元素のドーパントを僅かにイオン注入等によりドープする。また、画素スイッチング用ＴＦＴ３０をｐチャネル型とする場合には、Ｂ（ボロン）、Ｇａ（ガリウム）、Ｉｎ（インジウム）などのIII族元素のドーパントを僅かにイオン注入等によりドープする。尚、アモルファスシリコン膜を経ないで、減圧ＣＶＤ法等によりポリシリコン膜１を直接形成しても良い。或いは、減圧ＣＶＤ法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜１を形成しても良い。

【０１３５】

次に図１７の工程（７）に示すように、フォトリソグラフィ工程、エッチング工程等により、図１に示した如き所定パターンの半導体層１ａを形成する。即ち、特にデータ線６ａ下で容量線３ｂが形成される領域及び走査線３ａに沿って容量線３ｂが形成される領域には、画素スイッチング用ＴＦＴ３０を構成する半導体層１ａ（図３参照）から延設された第１蓄積容量電極（半導体層）１ｆを形成する（図４及び図５参照）。

【０１３６】

次に工程（８）に示すように、画素スイッチング用ＴＦＴ３０を構成する半導体層１ａと共に第１蓄積容量電極（半導体層）１ｆを約９００～１３００℃の温度、好ましくは約１０００℃の温度により熱酸化することにより、約３００Åの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧ＣＶＤ法等により高温酸化シリコン膜（ＨＴＯ膜）や窒化シリコン膜を約５００Åの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用ＴＦＴ３０のゲート絶縁膜２（図３参照）と共に容量形成用絶縁膜２を形成する（図４及び図５参照）。この結果、第１蓄積容量電極１ｆ（半導体層１ａ）の厚さは、約３００～１５

００Åの厚さ、好ましくは約３５０～５００Åの厚さとなり、容量形成用絶縁膜（ゲート絶縁膜）２の厚さは、約２００～１５００Åの厚さ、好ましくは約３００～１０００Åの厚さとなる。このように高温熱酸化時間を短くすることにより、特に８インチ程度の大型ウエーハを使用する場合に熱によるそりを防止することができる。但し、ポリシリコン層１を熱酸化することのみにより、単一層構造を持つ容量形成用絶縁膜２（ゲート絶縁膜２）を形成してもよい。

【０１３７】

尚、工程（８）において特に限定されないが、第１蓄積容量電極１ｆとなる半導体層部分に、例えば、Ｐイオンをドーズ量約3×10^{12}／cm^2でドープして、低抵抗化させてもよい。

【０１３８】

次に工程（９）に示すように、減圧ＣＶＤ法等によりポリシリコン層３を堆積した後、リン（Ｐ）を熱拡散し、ポリシリコン膜３を導電化する。又は、Ｐイオンをポリシリコン膜３の成膜と同時に導入したドープトシリコン膜を用いてもよい。工程（１０）に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図１に示した如き所定パターンの走査線３ａ（ゲート電極）と共に容量線３ｂを形成する。これらの容量線３ｂ（走査線３ａ）の層厚は、例えば、約３５００Åとされる。

【０１３９】

但し、容量線３ｂや走査線３ａを、ポリシリコン層ではなく、ＷやＭｏ等の高融点金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とポリシリコン膜を組み合わせて多層に形成してもよい。この場合、容量線３ｂや走査線３ａを、遮光層２３が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、遮光層２３の一部或いは全部を省略することも可能となる。この場合特に、対向基板２０とＴＦＴアレイ基板１０との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【０１４０】

次に工程（１１）に示すように、図３に示した画素スイッチング用ＴＦＴ３０をＬＤＤ構造を持つｎチャネル型のＴＦＴとする場合、半導体層１ａに、先ず低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃを形成するために、走査線３ａ（ゲート電極）を拡散マスクとして、ＰなどのＶ族元素のドーパント２００を低濃度で（例えば、Ｐイオンを$1\sim3\times10^{13}$／cm^2のドーズ量にて）ドープする。これにより走査線３ａ（ゲート電極）下の半導体層１ａはチャネル形成用領域１ａ’となる。この不純物のドープにより容量線３ｂ及び走査線３ａも低抵抗化される（図４及び図５参照）。

【０１４１】

続いて、図１８の工程（１２）に示すように、画素スイッチング用ＴＦＴ３０を構成する高濃度ソース領域１ｂ及び高濃度ドレイン領域１ｃを形成するために、走査線３ａ（ゲート電極）よりも幅の広いマスクでレジスト層２０２を走査線３ａ（ゲート電極）上に形成した後、同じくＰなどのＶ族元素のドーパント２０１を高濃度で（例えば、Ｐイオンを$1\sim3\times10^{15}$／cm^2のドーズ量にて）ドープする。また、画素スイッチング用ＴＦＴ３０をｐチャネル型とする場合、半導体層１ａに、低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃ並びに高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅを形成するために、ＢなどのIII族元素のドーパントを用いてドープする。このようにＬＤＤ構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、例えば、低濃度のドープを行わずに、オフセット構造のＴＦＴとしてもよく、走査線３ａ（ゲート電極）をマスクとして、Ｐイオン、Ｂイオン等を用いたイオン注入技術によりセルフアライン型のＴＦＴとしてもよい。

【０１４２】

この不純物のドープにより容量線３ｂ及び走査線３ａも更に低抵抗化される（図４及び図５参照）。

【０１４３】

これらの工程と並行して、ｎチャネル型ＴＦＴ及びｐチャネル型ＴＦＴから構成される相補型構造を持つデータ線駆動回路１０１及び走査線駆動回路１０４をＴＦＴアレイ基板１０上の周辺部に形成する。このように、本実施の形態において画素スイッチング用ＴＦＴ３０はポリシリコンＴＦＴであるので、画素スイッチング用ＴＦＴ３０の形成時にほぼ同一工程で、データ線駆動回路１０１及び走査線駆動回路１０４を形成することができ、製造上有利である。

【０１４４】

次に工程（１３）に示すように、画素スイッチング用ＴＦＴ３０における走査線３ａ（ゲート電極）と共に容量線３ｂ及び走査線３ａを覆うように（図４及び図５参照）、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第２層間絶縁膜４を形成する。第２層間絶縁膜４の層厚は、約５０００～１５０００Åが好ましい。

【０１４５】

次に工程（１４）の段階で、図３に示すように高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅを活性化するために約１０００℃のアニール処理を２０分程度行った後、データ線３１（ソース電極）に対するコンタクトホール５ａを、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール５ａ等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせて開孔すれば、これらのコンタクトホール５ａ等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。また、走査線３ａや容量線３ｂ（図５参照）を図示しない配線と接続するためのコンタクトホールも、コンタクトホール５ａと同一の工程により第２層間絶縁膜４に開孔する。

【０１４６】

次に工程（１５）に示すように、第２層間絶縁膜４の上に、スパッタ処理等により、遮光性のＡｌ等の低抵抗金属や金属シリサイド等を金属膜６として、約１０００～５０００Åの厚さ、好ましくは約３０００Åに堆積し、更に工程（１６）に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線６ａ（ソース電極）を形成する。

【０１４７】

次に図１９の工程（１７）に示すように、データ線６ａ（ソース電極）上を覆うように、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第３層間絶縁膜７を形成する。第３層間絶縁膜７の層厚は、約５０００～１５０００Åが好ましい。

【０１４８】

本実施の形態では、特に図１６の工程（４）及び（５）により、容量線３ｂが形成される領域において、第１層間絶縁膜が凹状に窪んで形成されているため、この工程（１７）を終えた段階で、容量線３ｂの上方に位置する画素領域の表面はほぼ平坦となる。尚、液晶装置１００において、ＴＦＴアレイ基板１０側における液晶分子の配向不良を更に抑制するために、第３層間絶縁膜７の上に更に平坦化膜をスピンコート等で塗布してもよく、又はＣＭＰ処理を施してもよい。或いは、第３層間絶縁膜７を平坦化膜で形成してもよい。本実施の形態では、図４から図６等に示したように、第１層間絶縁膜１２’の凹状の窪みにより容量線等が形成された部分とそれ以外の部分とが殆ど同じ高さとされるため、このような平坦化処理は一般に必要でないが、より高品位の画像を表示するために、このように最上層部において更なる平坦化を行う場合にも、平坦化膜を非常に薄くできたり、平坦化処理を僅かに加えるだけです済むので本実施の形態は、大変有利である。

【０１４９】

次に工程（１８）の段階において、図３に示すように、画素スイッチング用ＴＦＴ３０において、画素電極９ａと高濃度ドレイン領域１ｅとを電気的接続するためのコンタクトホ

ール８を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール８を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点が得られる。但し、ドライエッチングとウエットエッチングとを組み合わせて開孔すれば、コンタクトホール８をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【０１５０】

次に工程（１９）に示すように、第３層間絶縁膜７の上に、スパッタ処理等により、ＩＴＯ膜等の透明導電性薄膜９を、約５００～２０００Åの厚さに堆積し、更に工程（２０）に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極９ａを形成する。尚、当該液晶装置１００を反射型の液晶装置に用いる場合には、Ａｌ等の反射率の高い不透明な材料から画素電極９ａを形成してもよい。

【０１５１】

続いて、画素電極９ａの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図３に示した配向膜１９が形成される。

【０１５２】

他方、図３に示した対向基板２０については、ガラス基板等が先ず用意され、遮光層２３及び遮光性の周辺見切り５３が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、遮光層２３及び周辺見切り５３は、Ｃｒ、Ｎｉ、Ａｌなどの金属材料の他、カーボンやＴｉをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【０１５３】

その後、対向基板２０の全面にスパッタ処理等により、ＩＴＯ等の透明導電性薄膜を、約５００～２０００Åの厚さに堆積することにより、対向電極２１を形成する。更に、対向電極２１の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜２２が形成される。

【０１５４】

本実施の形態では、前述のように、データ線６ａに沿って相隣接した走査線３ａの側から容量線３ｂの側に向かう方向でラビング処理が行われる。これにより、その性質上ラビング処理が困難な段差Ｓ２（図５参照）が遮光層２３により覆われる境界領域の中央付近に位置するため、この段差Ｓ２における配向不良が画素開口領域に悪影響を及ぼすことが殆ど又は全くない。

【０１５５】

最後に、上述のように各層が形成されたＴＦＴアレイ基板１０と対向基板２０とは、配向膜１９及び２２が対面するようにシール材５２により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層５０が形成される。

【０１５６】

次に、図２０から図２３を参照して、図６のＤ－Ｄ’断面に対応する遮光膜と定電位線との接続部分を含む部分の製造プロセスについて説明する。

【０１５７】

図２０の工程（１）から図２３の工程（２０）は、前述した図１６の工程（１）から図１９の工程（２０）と同一の製造プロセスとして行われる。

【０１５８】

即ち、図２０の工程（１）に示すように、ＴＦＴアレイ基板１０の全面に遮光膜１１を形成した後、工程（２）に示すように、フォトリソグラフィ工程、エッチング工程等により遮光膜１１ｂを形成する。

【０１５９】

次に工程（３）に示すように、遮光膜１１ｂの上に、第１絶縁膜１２（２層の第１層間絶

縁膜１２’の下層）を形成し、工程（４）に示すように、接続部分を上方に形成する予定の領域に対して、エッチングを行い、この領域における第１絶縁膜１２を除去する。ここで、エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクとほぼ同じサイズで異方的に第１絶縁膜１２が除去できるため、設計寸法通りに容易に制御できる利点がある。一方、少なくもとウエットエッチングを用いた場合には、等方性のため、第１絶縁膜１２の開孔領域が広がるが、開孔部の側壁面をテーパー状に形成できるため、後工程の例えば走査線３ａを形成するためのポリシリコン膜やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。尚、第１絶縁膜１２の開孔部の側壁面をテーパー状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストパターンを後退させて、再度ドライエッチングを行ってもよい。

【０１６０】

その後、工程（５）に示すように、遮光膜１１ｂ及び第１絶縁膜１２の上に、第２絶縁膜１３（２層の第１層間絶縁膜１２’の上層）を形成する。

【０１６１】

次に工程（６）に示すように、第２絶縁膜１３上にアモルファスシリコン膜を形成した後、ポリシリコン膜１を固相成長させる。

【０１６２】

次に図２１の工程（７）及び（８）では、画素部における半導体層１ａとゲート絶縁膜２の形成を待ち、その後、工程（９）に示すように、ポリシリコン層３を一旦堆積した後、工程（１０）に示すように、この接続部分ではポリシリコン層３は全て除去される。

【０１６３】

次に図２１の工程（１１）及び図２２の工程（１２）に示すように、半導体層１ａのための不純物イオンのドープが終了する。

【０１６４】

次に工程（１３）に示すように、第１絶縁膜１３を覆うように、第２層間絶縁膜４を形成し、工程（１４）に示すように、遮光膜１１ｂと定電位線６ｂとを接続するためのコンタクトホール５ｂを第２層間絶縁膜４に開ける。この際、第２層間絶縁膜４の下に形成されているのは第１層間絶縁膜１２’のうち第２絶縁膜１３だけなので、半導体層１ａの高濃度ソース領域１ｄ上で第２層間絶縁膜４を開孔して、コンタクトホール５ａを形成する工程（図１８の工程（１４））と同じエッチング工程で一気に開孔できる。

【０１６５】

次に工程（１５）に示すように、第２層間絶縁膜４の上に、スパッタ処理等により、Ａｌ等を金属膜６として堆積した後に、工程（１６）に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線と同一層（Ａｌ等）からなる定電位線６ｂを形成する。

【０１６６】

次に図２３の工程（１７）に示すように、定電位線６ｂ及び第２層間絶縁膜４上を覆うように、第３層間絶縁膜７を形成する。

【０１６７】

次に工程（１８）では、図３に示すコンタクトホール８が開孔されるのを待った後、工程（１９）に示すように、第３層間絶縁膜７の上に、ＩＴＯ膜等の透明導電性薄膜９を一旦堆積し、更に工程（２０）に示すように、フォトリソグラフィ工程、エッチング工程等によりこの部分については全て除去する。

【０１６８】

以上のように本実施の形態における液晶装置の製造方法によれば、遮光膜１１ｂと定電位線６ｂとを接続するためのコンタクトホール５ｂとして、遮光膜１１ｂに至るまで第２層間絶縁膜４及び第１絶縁膜１３（第１層間絶縁膜の上層）が開孔され、同時に、画素スイッチング用ＴＦＴ３０とデータ線６ａとを接続するためのコンタクトホール５ａとして、

半導体層１ａに至るまで第２層間絶縁膜４が開孔される。従って、これら２種類のコンタクトホール５ａ及び５ｂを一括して開孔できるので、製造上有利である。例えば、選択比を適当な値に設定してのウエットエッチングにより、このような２種類のコンタクトホール５ａ及び５ｂを各々所定の深さとなるように一括して開孔することが可能となる。特に、第１層間絶縁膜の凹状に窪んだ部分の深さに応じて、これらのコンタクトホールを開孔する工程が容易となる。遮光膜と定電位線を接続するためのコンタクトホール開孔工程（フォトリソグラフィ工程、エッチング工程等）が削除できるので、工程増による製造コストの増大や歩留まりの低下を招かない。

【０１６９】

以上説明したように本実施の形態における製造プロセスによれば、凹状に窪んだ部分における第１層間絶縁膜１２’の層厚を、第２絶縁膜１３の層厚の管理により、比較的容易にして確実且つ高精度に制御できる。従って、この凹状に窪んだ部分における第１層間絶縁膜１２’の層厚を非常に薄くすることも可能となる。

【０１７０】

尚、第１層間絶縁膜１２を単層から構成する場合には、図１６及び図２０に各々示した工程（３）、（４）及び（５）に若干の変更を加えて、工程（１）から（２０）を行えばよい。即ち、工程（３）において、遮光膜１１ａの上に、例えば、約１００００～１５０００Åといったように若干厚めの単層の第１層間絶縁膜１２を堆積し、工程（４）において、容量線３ｂを上方に形成する予定の領域に対して、エッチングを行い、この領域における第１層間絶縁膜１２を１０００～２０００Å程度の厚みを残すようにする。そして、工程（５）を省略する。この場合にも、第１層間絶縁膜１２のエッチングしない部分の層厚とエッチングした部分の層厚とは、後に画素電極９ａが形成される前に画素領域がほぼ平坦になるように設定される。このように第１層間絶縁膜１２を単層から構成すれば、従来の場合と比較しても層の数を増加させる必要が無く、凹状に窪んだ部分とそうでない部分との層厚をエッチング時間管理により制御すれば平坦化を図れるので便利である。

【０１７１】

（電子機器）

次に、以上詳細に説明した液晶装置１００を備えた電子機器の実施の形態について図２４から図２８を参照して説明する。

【０１７２】

先ず図２４に、このように液晶装置１００を備えた電子機器の概略構成を示す。

【０１７３】

図２４において、電子機器は、表示情報出力源１０００、表示情報処理回路１００２、駆動回路１００４、液晶装置１００、クロック発生回路１００８並びに電源回路１０１０を備えて構成されている。表示情報出力源１０００は、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路１００８からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路１００２に出力する。表示情報処理回路１００２は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路１００４に出力する。駆動回路１００４は、液晶装置１００を駆動する。電源回路１０１０は、上述の各回路に所定電源を供給する。尚、液晶装置１００を構成するＴＦＴアレイ基板の上に、駆動回路１００４を搭載してもよく、これに加えて表示情報処理回路１００２を搭載してもよい。

【０１７４】

次に図２５から図２８に、このように構成された電子機器の具体例を各々示す。

【０１７５】

図２５において、電子機器の一例たる液晶プロジェクタ１１００は、上述した駆動回路１００４がＴＦＴアレイ基板上に搭載された液晶装置１００を含む液晶モジュールを３個用

意し、各々ＲＧＢ用のライトバルブ１００Ｒ、１００Ｇ及び１００Ｂとして用いたプロジェクタとして構成されている。液晶プロジェクタ１１００では、メタルハライドランプ等の白色光源のランプユニット１１０２から投射光が発せられると、３枚のミラー１１０６及び２枚のダイクロイックミラー１１０８によって、ＲＧＢの３原色に対応する光成分Ｒ、Ｇ、Ｂに分けられ、各色に対応するライトバルブ１００Ｒ、１００Ｇ及び１００Ｂに各々導かれる。この際特にＢ光は、長い光路による光損失を防ぐために、入射レンズ１１２２、リレーレンズ１１２３及び出射レンズ１１２４からなるリレーレンズ系１１２１を介して導かれる。そして、ライトバルブ１００Ｒ、１００Ｇ及び１００Ｂにより各々変調された３原色に対応する光成分は、ダイクロイックプリズム１１１２により再度合成された後、投射レンズ１１１４を介してスクリーン１１２０にカラー画像として投射される。

【０１７６】

本実施の形態では特に、遮光膜がＴＦＴの下側にも設けられているため、当該液晶装置１００からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際のＴＦＴアレイ基板の表面からの反射光、他の液晶装置から出射した後にダイクロイックプリズム１１１２を突き抜けてくる投射光の一部等が、戻り光としてＴＦＴアレイ基板の側から入射しても、画素電極のスイッチング用のＴＦＴ等のチャネル領域に対する遮光を十分に行うことができる。このため、小型化に適したプリズムを投射光学系に用いても、各液晶装置のＴＦＴアレイ基板とプリズムとの間において、戻り光防止用のＡＲフィルムを貼り付けたり、偏光板にＡＲ被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【０１７７】

図２６において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（ＰＣ）１２００は、上述した液晶装置１００がトップカバーケース内に備えられており、更にＣＰＵ、メモリ、モデム等を収容すると共にキーボード１２０２が組み込まれた本体１２０４を備えている。

【０１７８】

図２７において、電子機器の他の例たるページャ１３００は、金属フレーム１３０２内に前述の駆動回路１００４がＴＦＴアレイ基板上に搭載されて液晶表示モジュールをなす液晶装置１００が、バックライト１３０６ａを含むライトガイド１３０６、回路基板１３０８、第１及び第２のシールド板１３１０及び１３１２、二つの弾性導電体１３１４及び１３１６、並びにフィルムキャリアテープ１３１８と共に収容されている。この例の場合、前述の表示情報処理回路１００２（図２４参照）は、回路基板１３０８に搭載してもよく、液晶装置１００のＴＦＴアレイ基板上に搭載してもよい。更に、前述の駆動回路１００４を回路基板１３０８上に搭載することも可能である。

【０１７９】

尚、図２７に示す例はページャであるので、回路基板１３０８等が設けられている。しかしながら、駆動回路１００４や更に表示情報処理回路１００２を搭載して液晶モジュールをなす液晶装置１００の場合には、金属フレーム１３０２内に液晶装置１００を固定したものを液晶装置として、或いはこれに加えてライトガイド１３０６を組み込んだバックライト式の液晶装置として、生産、販売、使用等することも可能である。

【０１８０】

また図２８に示すように、駆動回路１００４や表示情報処理回路１００２を搭載しない液晶装置１００の場合には、駆動回路１００４や表示情報処理回路１００２を含むＩＣ１３２４がポリイミドテープ１３２２上に実装されたＴＣＰ（Tape Carrier Package）１３２０に、ＴＦＴアレイ基板１０の周辺部に設けられた異方性導電フィルムを介して物理的且つ電気的に接続して、液晶装置として、生産、販売、使用等することも可能である。

【０１８１】

以上図２５から図２８を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（ＥＷＳ）、携帯電話

、テレビ電話、ＰＯＳ端末、タッチパネルを備えた装置等などが図２４に示した電子機器の例として挙げられる。

【０１８２】

以上説明したように、本実施の形態によれば、製造効率が高く、高コントラストで高品位の画像表示が可能な液晶装置１００を備えた各種の電子機器を実現できる。

【０１８３】

【発明の効果】

本発明の液晶装置によれば、画素開口領域として使用不可能なデータ線下のスペースや走査線に沿った画素境界のスペースを、画素電極に対し蓄積容量を付与するために有効利用できると同時に、データ線の上方に位置する画素部付近の平坦化が図られており、この付近で最も起き易かった液晶の配向不良を効率的に低減でき、高コントラストで高精細な画像表示が可能となる。他方、所定方向でラビング処理を施すことにより、ラビング処理を適切に施すことが困難で液晶の配向不良が起き易い箇所を画像表示に悪影響を及ぼさない位置に配置でき、言い換えれば画素開口率を効率的に高めることも可能となる。特に、走査線反転駆動方式（１Ｈ反転駆動方式）を使用した際に、この効果は顕著に現われる。また、平坦化のために凹状に窪められ、従って薄い絶縁膜部分を容量形成用絶縁膜として利用することで、画素電極の蓄積容量を限られたスペースの中で効率的に増加できる。更に、ＴＦＴの下側に配置した遮光膜をも利用して、この蓄積容量を更に効率的に増加できる。更にまた、遮光膜と定電位源との接続を容易にすることも可能である。

【０１８４】

他方、本発明の液晶装置の製造方法によれば、比較的簡単な工程制御により或いは信頼性の高い工程により、本発明の液晶装置を製造するが可能となる。また、容量形成用絶縁膜を非常に薄くすることにより、画素電極の蓄積容量を効率的に増加することも可能となる。更に、各種のコンタクトホールを一括して開孔することにより、液晶装置における低コスト化を図ることも可能である。

【０１８５】

また、本発明の電子機器によれば、液晶の配向不良による画質の低下が低減されており、高コントラストで高品位の画像表示が可能であり、しかも低コストの液晶プロジェクタ、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

【図面の簡単な説明】

【図１】　本発明の第１の実施の形態における液晶装置に備えられる、データ線、走査線、画素電極、遮光膜等が形成されたＴＦＴアレイ基板の平面図である。

【図２】　第１の実施の形態における遮光膜と定電位線との接続部分を示すＴＦＴアレイ基板の平面図である。

【図３】　図1のＡ－Ａ’断面を対向基板等と共に示す液晶装置の断面図である。

【図４】　図1のＢ－Ｂ’断面図である。

【図５】　図1のＣ－Ｃ’断面図である。

【図６】　図1のＤ－Ｄ’断面を対向基板等と共に示す液晶装置の断面図である。

【図７】　ＴＮ液晶における横電界の影響によるディスクリネーションを各種駆動方式について模式的に示した説明図である。

【図８】　本発明の第２の実施の形態における液晶装置に備えられる、データ線、走査線、画素電極等が形成されたＴＦＴアレイ基板の平面図である。

【図９】　図８のＢ－Ｂ’断面図である。

【図１０】　本発明の第３の実施の形態における液晶装置の図８のＣ－Ｃ’断面に対応する箇所における部分断面図である。

【図１１】　本発明の第４の実施の形態における液晶装置の図８のＢ－Ｂ’断面に対応する箇所における部分断面図である。

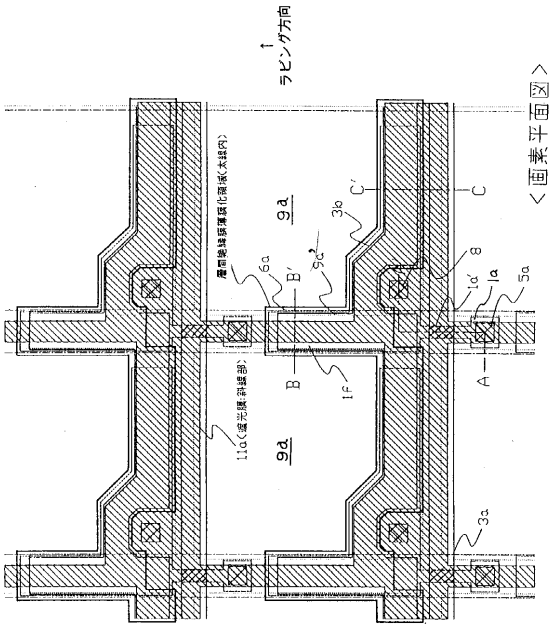
【図１２】　本発明の第５の実施の形態における液晶装置の図８のＢ－Ｂ’断面に対応する箇所における部分断面図である。

【図１３】　本実施の形態における液晶装置の全体構成を示す平面図である。

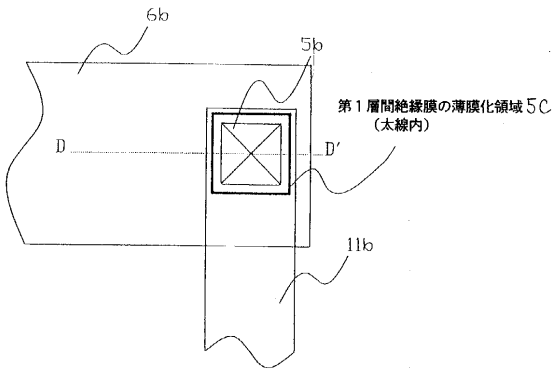
【図１４】　本実施の形態における液晶装置の全体構成を示す断面図である。
【図１５】　遮光配線をなす遮光膜の２次元的レイアウトを示すＴＦＴアレイ基板上の平面図である。
【図１６】　液晶装置の実施の形態の製造プロセスを図４に示した部分について順を追って示す工程図（その１）である。
【図１７】　液晶装置の実施の形態の製造プロセスを図４に示した部分について順を追って示す工程図（その２）である。
【図１８】　液晶装置の実施の形態の製造プロセスを図４に示した部分について順を追って示す工程図（その３）である。
【図１９】　液晶装置の実施の形態の製造プロセスを図４に示した部分について順を追って示す工程図（その４）である。
【図２０】　液晶装置の実施の形態の製造プロセスを図６に示した部分について順を追って示す工程図（その１）である。
【図２１】　液晶装置の実施の形態の製造プロセスを図６に示した部分について順を追って示す工程図（その２）である。
【図２２】　液晶装置の実施の形態の製造プロセスを図６に示した部分について順を追って示す工程図（その３）である。
【図２３】　液晶装置の実施の形態の製造プロセスを図６に示した部分について順を追って示す工程図（その４）である。
【図２４】　本発明による電子機器の実施の形態の概略構成を示すブロック図である。
【図２５】　電子機器の一例としての液晶プロジェクタを示す断面図である。
【図２６】　電子機器の他の例としてのパーソナルコンピュータを示す正面図である。
【図２７】　電子機器の一例としてのページャを示す分解斜視図である。
【図２８】　電子機器の一例としてのＴＣＰを用いた液晶装置を示す斜視図である。
【符号の説明】
１ａ…半導体層
１ａ’…チャネル形成用領域
１ｂ…低濃度ソース領域（ソース側ＬＤＤ領域）
１ｃ…低濃度ドレイン領域（ドレイン側ＬＤＤ領域）
１ｄ…高濃度ソース領域
１ｅ…高濃度ドレイン領域
１ｆ…第１蓄積容量電極
２…容量形成用絶縁膜（ゲート絶縁膜）
３ａ…走査線（ゲート電極）
３ｂ…容量線（第２蓄積容量電極）
４…第２層間絶縁膜
５ａ、５ｂ…コンタクトホール
６ａ…データ線（ソース電極）
６ｂ…定電位線
７…第３層間絶縁膜
８…コンタクトホール
９ａ…画素電極
１０…ＴＦＴアレイ基板
１１ａ、１１ｂ…遮光膜（第３蓄積容量電極）
１２…第１絶縁膜（第１層間絶縁膜の下層）
１２’…第１層間絶縁膜
１３…第２絶縁膜（第１層間絶縁膜の上層）
１９…配向膜
２０…対向基板
２１…対向電極

２２…配向膜
２３…遮光層
３０…ＴＦＴ
５０…液晶層
５２…シール材
５３…周辺見切り
７０…蓄積容量
１００…液晶装置
１０１…データ線駆動回路
１０４…走査線駆動回路

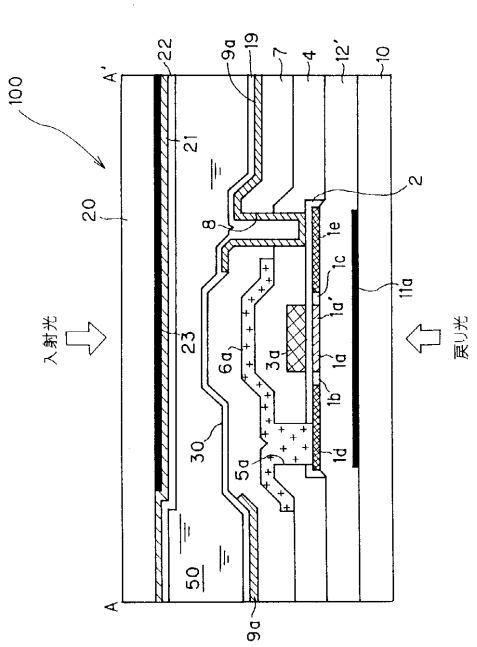
【図１】



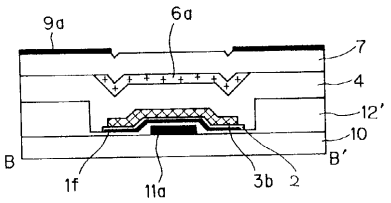
【図２】



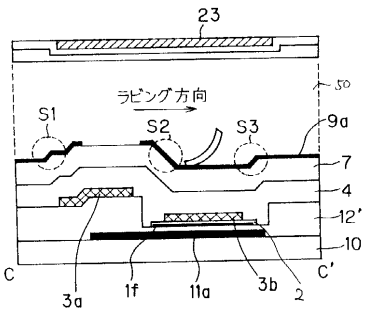
【図３】


100
A'
A
22
9a
19
7
4
12'
10
21
20
2
8
1e
1c
1a'
11a
23
入射光
戻り光
6a
3a
1d
1b
1d
30
5a
50
9a

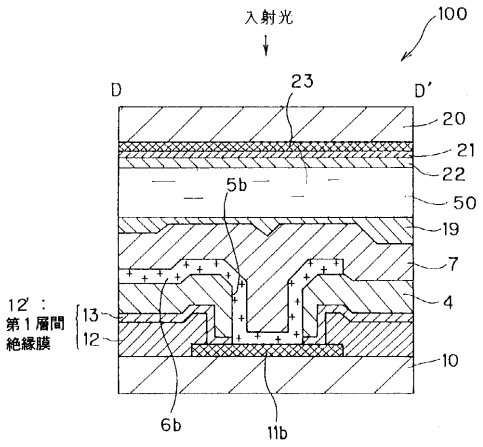
【図４】


9a
6a
7
4
12'
10
B
B'
1f
11a
3b
2

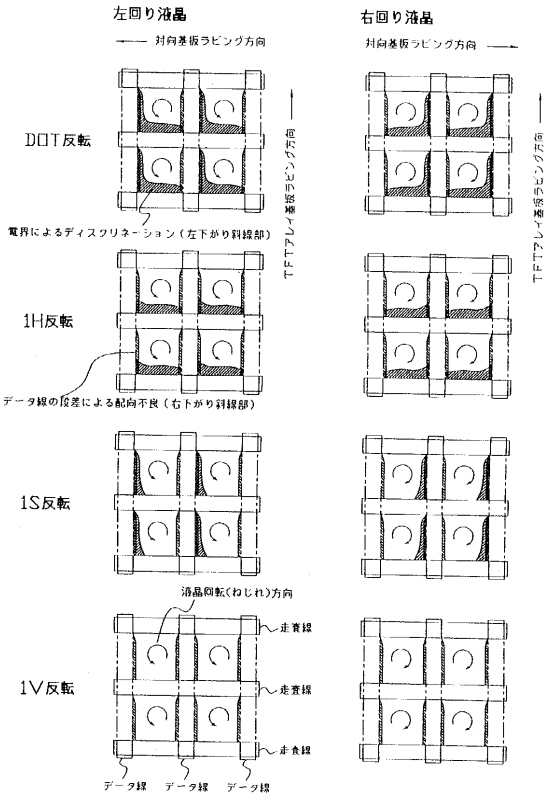
【図５】


23
50
ラビング方向
S1
S2
S3
9a
7
4
12'
10
C
C'
3a
1f
11a
3b
2

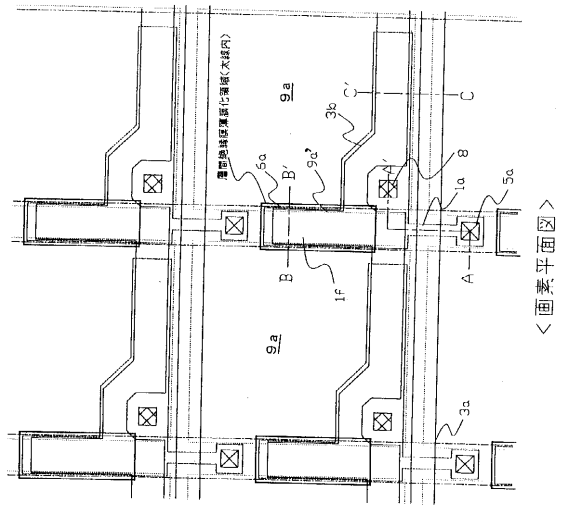
【図６】


入射光
100
D
D'
23
20
21
22
5b
50
19
7
4
12' :
第1層間
絶縁膜
13
12
10
6b
11b

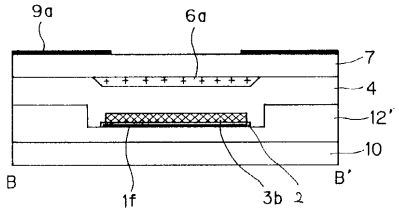
【図７】


左回り液晶
対向基板ラビング方向
右回り液晶
対向基板ラビング方向
DOT反転
TFTアレイ基板ラビング方向
電界によるディスクリネーション（左下がり斜線部）
1H反転
データ線の段差による配向不良（右下がり斜線部）
1S反転
液晶回転(ねじれ)方向
走査線
走査線
走査線
1V反転
データ線
データ線
データ線

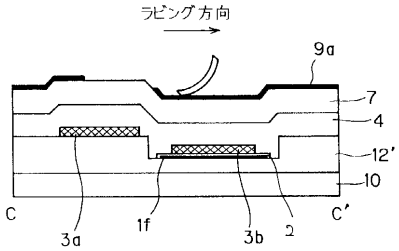
【図８】



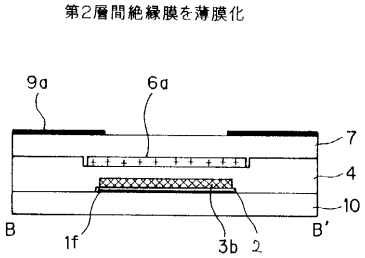
【図９】



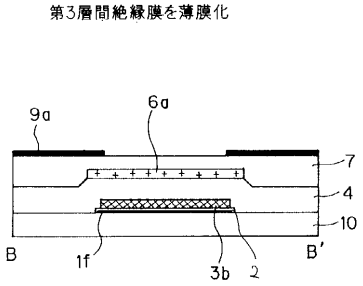
【図１０】



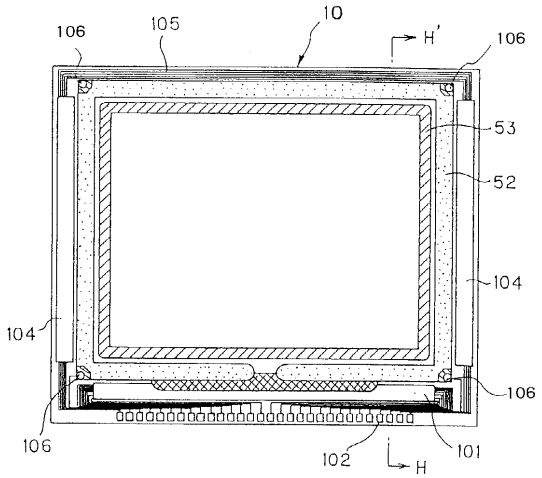
【図１１】



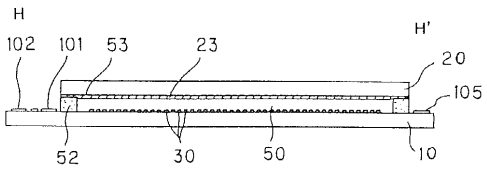
【図１２】



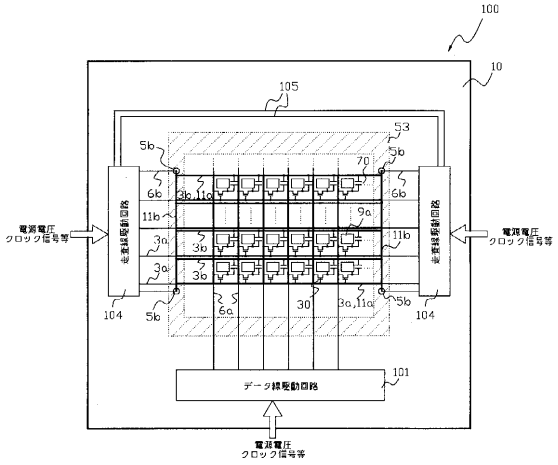
【図１３】



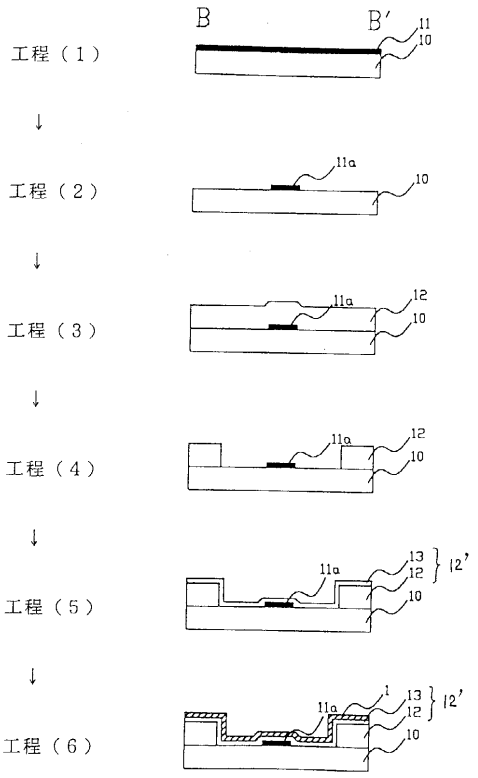
【図１４】



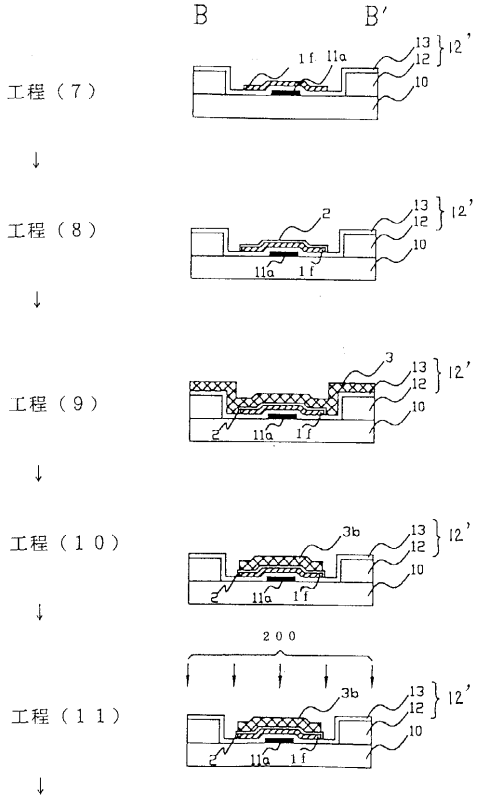
【図１５】



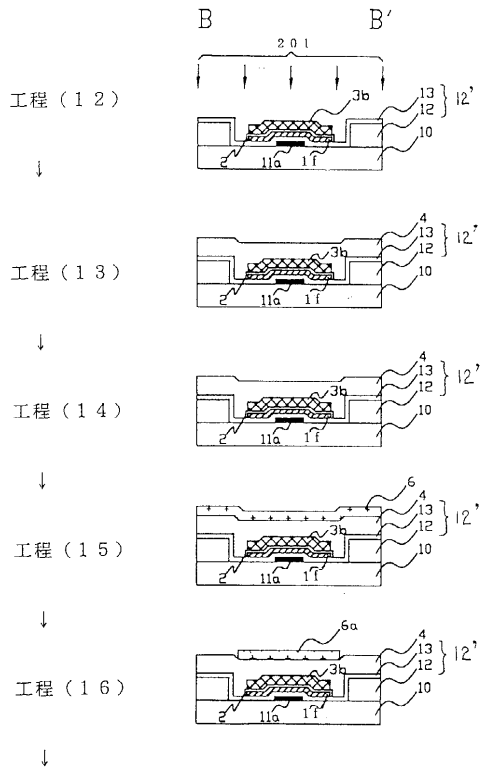
【図１６】



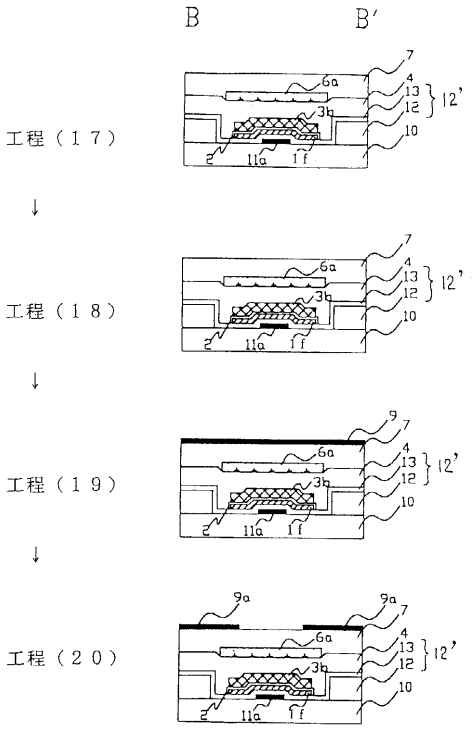
【図１７】



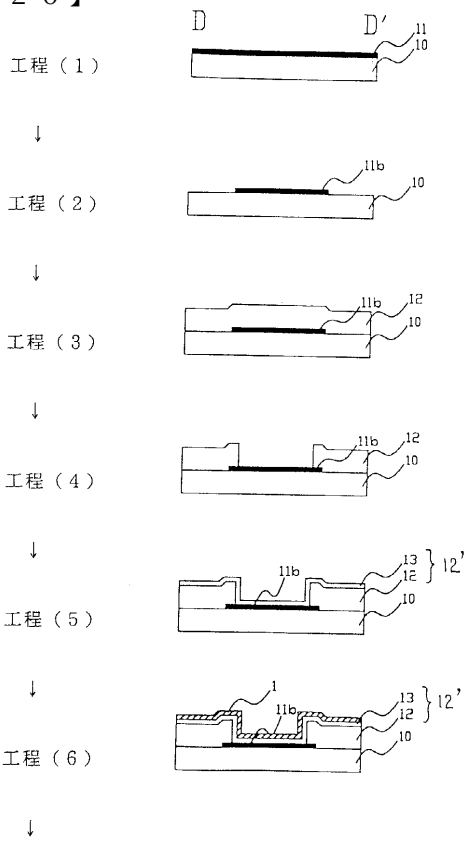
【図１８】



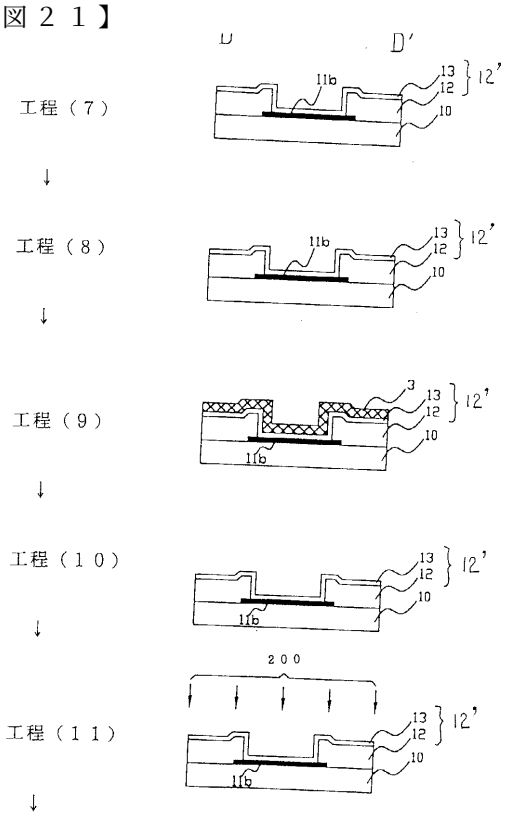
【図１９】



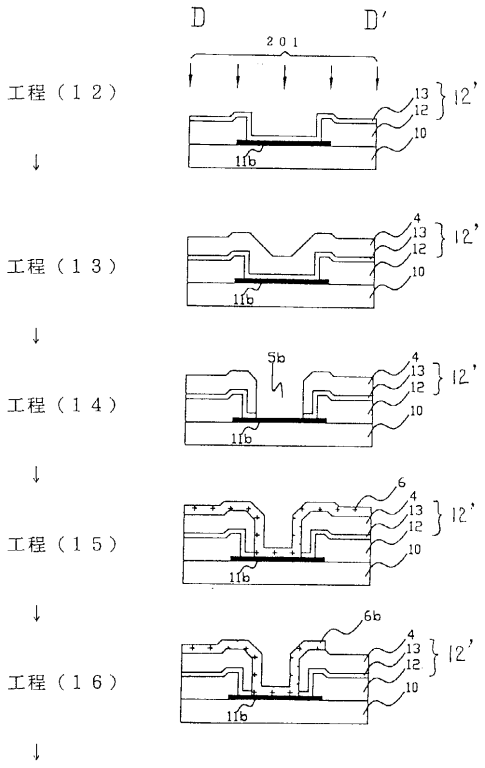
【図２０】



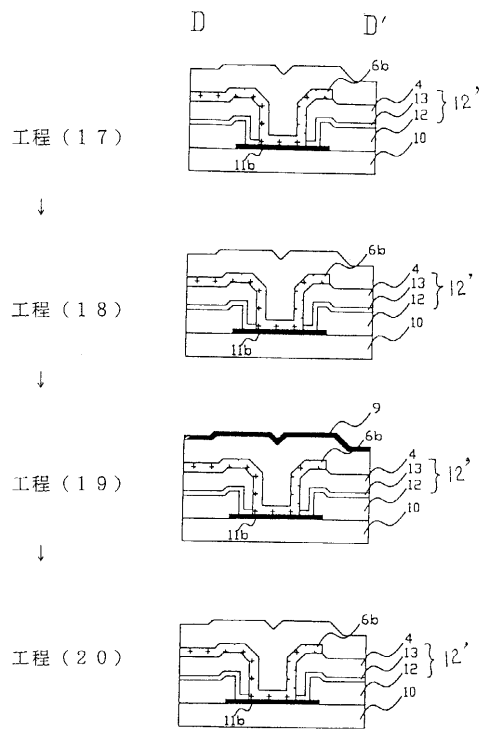
【図２１】



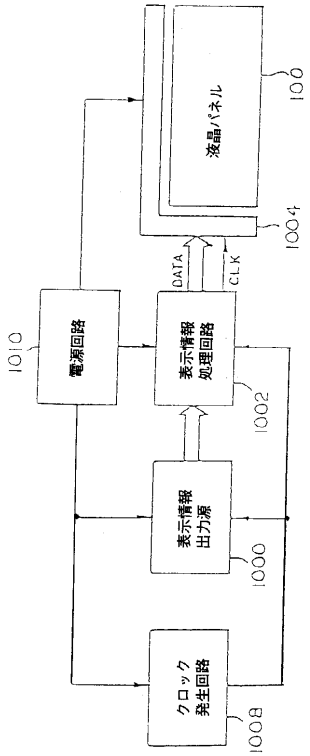
【図２２】



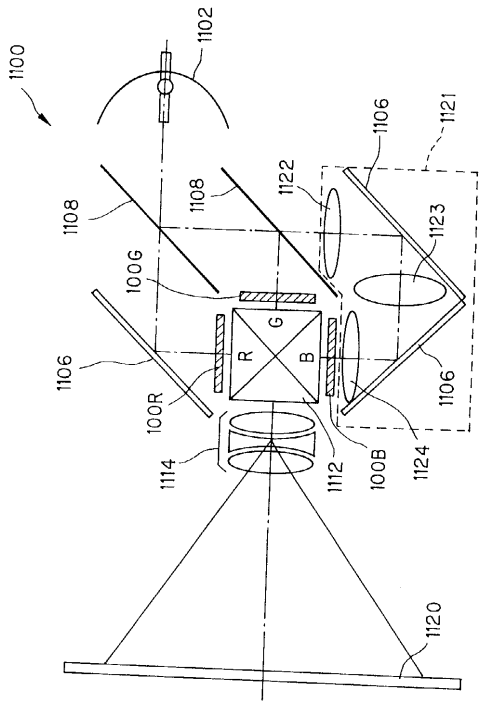
【図２３】



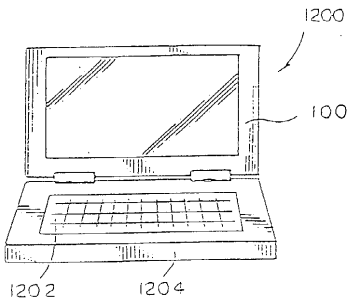
【図２４】



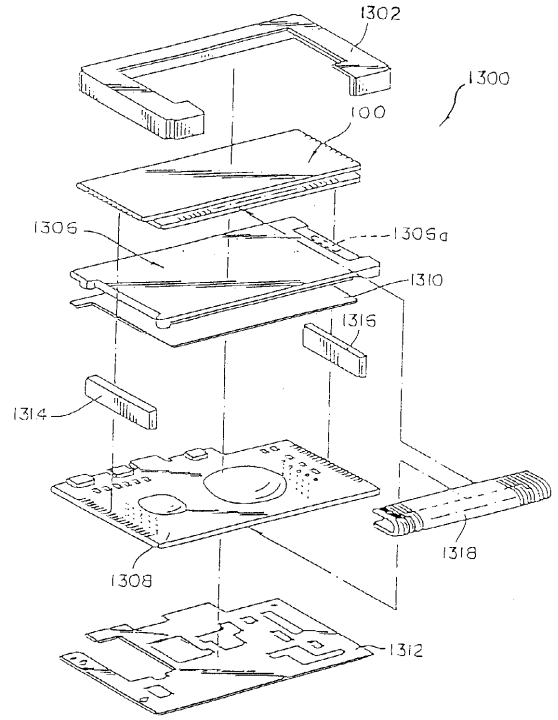
【図２５】



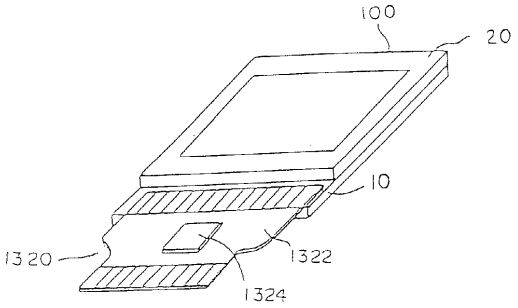
【図２６】



【図２７】


1302
1300
100
1306
1306a
1310
1316
1314
1318
1308
1312

【図２８】


100
20
10
1320
1322
1324

フロントページの続き

合議体
審判長　平井　良憲
審判官　向後　晋一
審判官　鈴木　俊光

(56)参考文献　特開平７－２８０９３（ＪＰ，Ａ）
特開昭６３－２４６７２８（ＪＰ，Ａ）
特開平５－３４７０９（ＪＰ，Ａ）
特開平６－６７２０２（ＪＰ，Ａ）
特開平６－１３０４１８（ＪＰ，Ａ）
特開平６－２１６１５８（ＪＰ，Ａ）
特開平７－２４８５０８（ＪＰ，Ａ）
特開平８－９５０６２（ＪＰ，Ａ）
特開平９－２６６０１（ＪＰ，Ａ）
特開平９－２２０２９（ＪＰ，Ａ）
特開平４－３３３８２８（ＪＰ，Ａ）
特開平５－５３１４６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F1/13-1/141