

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3540802号

(P3540802)

(45) 発行日 平成16年7月7日(2004.7.7)

(24) 登録日 平成16年4月2日(2004.4.2)

(51) Int. Cl.⁷

F I

G 0 6 F 9/46

G 0 6 F 9/46 3 1 1 E

G 0 6 F 9/45

G 0 6 F 9/44 3 2 2 A

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2002-84051 (P2002-84051)	(73) 特許権者	000005821
(22) 出願日	平成14年3月25日(2002.3.25)		松下電器産業株式会社
(62) 分割の表示	特願平8-86486の分割		大阪府門真市大字門真1006番地
原出願日	平成8年4月9日(1996.4.9)	(74) 代理人	100090446
(65) 公開番号	特開2002-323983 (P2002-323983A)		弁理士 中島 司朗
(43) 公開日	平成14年11月8日(2002.11.8)	(72) 発明者	▲よし▼岡 康介
審査請求日	平成14年3月25日(2002.3.25)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	木村 浩三
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	清原 督三
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 命令生成方法、命令生成方法及び情報処理装置

(57) 【特許請求の範囲】

【請求項1】

判断手段と生成手段とからなる第一の情報処理装置における命令列生成方法であって、前記判断手段は、命令列を実行する第二の情報処理装置の処理内容に基づいて、割り込みマスクを要するか判断し、

前記生成手段は、割り込みマスクを要する命令が所定期間以上に連続する場合に、所定期間以内の割り込みマスクを要する命令列と、割り込みマスクを要しない命令からなる命令列を生成する命令列生成方法。

【請求項2】

連続して割り込みマスクされるサイクル数を計測し、前記サイクル数を所定の値と比較し、前記比較の結果に基づいて命令列を生成する請求項1に記載の命令列生成方法。

【請求項3】

判断手段と生成手段とからなる第一の情報処理装置であって、

前記判断手段は、命令列を実行する第二の情報処理装置の処理内容に基づいて、割り込みマスクを要するか判断し、

前記生成手段は、割り込みマスクを必要とする命令が所定期間以上に連続する場合に、所定期間以内の割り込みマスクを要する命令列と、割り込みマスクを要しない命令からなる命令列を生成する情報処理装置。

【請求項4】

請求項1記載の第一の情報処理装置における命令列生成方法を用いて命令列を生成する生

10

20

成ステップと、第二の情報処理装置の実行手段が前記ステップによって生成された命令列を実行する実行ステップとからなる方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、並列実行可能な複数の処理を指定するL I W命令又はV L I W命令に基づいて、複数の演算回路で処理を並列実行する情報処理装置に関する。

【0002】

【従来の技術】

近年、L I W (Long Instruction Word) 型や、V L I W (Very Long Instruction Word) 型など、並列実行可能な複数の処理の指定を、静的に命令コード中に記述しておき、実行時に、複数の演算回路を用いて、指定された処理を並列実行する情報処理装置が多用されるようになってきている。このような情報処理装置における従来の動作について、以下に簡単に説明する。

10

【0003】

図7は、従来のL I W型情報処理装置の構成の一例を示すブロック図である。同図に示される情報処理装置は、割り込み制御部1、命令メモリ2、命令解読部3、レジスタ部4、演算回路A5、演算回路B6を備える。

割り込み制御部1は、割り込み信号入力線100を通じて送られる外部からの割り込み信号を受け付けて情報処理装置に対する割り込み制御を行う。

20

【0004】

命令解読部3は、命令メモリ2に格納されている命令コード(以下「L I W命令」と呼ぶ)を解読し、解読した結果に従って演算回路A5、演算回路B6の制御及びレジスタ部4のリード・ライトの制御を行う。

レジスタ部4は、複数のレジスタから構成され、命令解読部3に従い、データデータバス103を通じて演算回路A5及び演算回路B6にデータを伝える。

【0005】

演算回路A5及び演算回路B6は、データバス103から送られてきたデータに基づいて、演算を実行する。演算結果は、データバス105を通じてレジスタ部4に書き戻される。

30

演算回路A5と、演算回路B6の入力側には、レジスタ部4から読み出されたデータをラッチするパイプラインラッチ201、202がそれぞれ備えられており、また、演算回路A5と、演算回路B6との間には、演算回路A5での演算結果を用いて演算回路B6が演算を実行できるように、演算結果をバイパスして伝える信号線104が備えられている。パイプラインラッチ202に、レジスタ部4からのデータと、演算回路A5の演算結果とのどちらがラッチされるかは、セレクタ203にて制御される。セレクタ203の選択は、命令解読部3の解読結果に基づいて制御されるように構成されている。

【0006】

以上のように構成された情報処理装置について、以下その動作を説明する。

図8は、演算回路A5、演算回路B6で実行されるL I W命令の一例を示す。このL I W命令は上から順番に実行され、横一列の命令は前記二つの演算回路で並列して実行される。

40

add, sub, mul, nopはそれぞれの演算回路で実行される命令の演算種類である。なお、nopは演算回路において何も実行されないことを示す。

【0007】

%g0~%g7はレジスタ部4に備えられているレジスタ名を示す。また、%pは演算回路A5の演算結果が信号線104を介してパイプラインラッチ202に供給されることを示している。即ち、このL I W命令において、例えば演算回路A5にて実行される"add %g0,%g1,%p"という記述は、レジスタ%g0の値と、レジスタ%g1の値とを加算し、演算結果をバイパスしてパイプラインラッチ202に供給する処理を表す。ここで、前記記述における第1の

50

記述子であるaddは、処理の種類を示すコード（以下「オペコード」と呼ぶ）であり、第2、第3の記述子である%g0及び%g1は、演算のソースレジスタを示し、第4の記述子%pは演算の結果を格納するディスティネーションレジスタを示している。この記述子の並びによる意味付けは他の命令においても同様であるものとする。

【0008】

なお、以下の説明のために、前記第1～第4の記述子からなる記述を「命令」と称することとし、addから始まる命令をadd命令、subから始まる命令をsub命令、mulから始まる命令をmul命令、nopをnop命令と呼ぶこととする。ただし、nop命令は演算が行われないことを示す命令であるので、ソースレジスタもディスティネーションレジスタも存在しない。

【0009】

図9は、図8に示されるLIW命令を実行する際に各々のパイプラインサイクルで実行される処理を示すタイムチャートである。

同図のサイクル1では、命令解読部3において、add命令、nop命令が解読される。このサイクルにおいて、add命令はレジスタ部4より%g0,%g1のレジスタのデータを読み出す。またnop命令はレジスタの読み出しを行わない。

【0010】

サイクル2では、サイクル1でデータバス103を通じて伝えられたデータをパイプラインラッチ201、202にラッチし演算回路A5、及び演算回路B6において演算を行う。この例においては、演算回路A5においてはadd命令が実行されるが、演算回路B6では実行すべき演算が存在しない。

また、サイクル2においては、次の命令であるsub命令、mul命令の解読も行われる。図8に示されるようにmul命令のソースレジスタは%pであるので、セレクタ203の制御によりバイパス用の信号線104を通じて供給された演算回路A5の演算結果がパイプラインラッチ202にラッチされる。

【0011】

サイクル3では、sub命令、mul命令が演算回路A5及び演算回路B6で実行される。サイクル4は、sub命令の演算結果をレジスタ部4のレジスタ%g7に実際に書き戻す。

以上のようなLIW命令の実行中に、割り込みが発生した場合の処理について以下に説明する。

【0012】

割り込み発生時には、割り込みとともに通常のプログラムの実行を一旦停止させ、割り込みの種類に対応した所定の割り込みルーチンの実行を行う。この際、割り込み終了時に、割り込みが発生した時点からの実行再開を可能とするために、割り込みが発生した時点のプロセッサの状態（以下「コンテキスト」と呼ぶ）を退避する必要がある。一般的には、PCやプロセッサの状態を示すプロセッサステータスレジスタ（以下「PSR」と略称する）を割り込み処理により更新されない格納場所に退避し、割り込み処理終了後にこれらを元の状態に戻すという処理が必要となる。

【0013】

さらに、割り込み処理においてレジスタを用いた演算を行う場合には、割り込み処理において使用されるレジスタについても退避を行う必要が生じる。

ここで、図9のようなパイプライン処理において、例えばサイクル1において割り込みが発生したとする。前述のとおり、サイクル1においては、add命令、nop命令が命令解読部3において解読されている段階であり、演算回路上では、両命令はまだ実行されていない状態にある。従って、これらの命令は割り込みルーチンの終了後に再度命令解読部3にて解読され、演算回路A5及び演算回路B6において実行されることになる。

【0014】

一方、サイクル2において割り込みが発生したとすると、sub命令、mul命令については、割り込みルーチン終了後再度命令解読部3により解読を行い、演算回路A5及び演算回路B6にて演算処理を行えばよいが、サイクル1にて解読の行われたadd命令については、割り込みルーチン終了後に再度演算処理は行われないため、命令の演算結果を退避してお

10

20

30

40

50

く必要が生じる。これは、add命令の演算結果を退避しておかないと、割り込みルーチン終了後にmul命令を実行するときにソースレジスタの値が消失してしまうからである。このような場合に対処するため、図7の情報処理装置においてはパイプラインラッチ202を二重化し、割り込み発生時に切り替えて使用できるように構成してある。

【0015】

また、割り込み発生時の退避処理のオーバーヘッドを削減し、かつ退避に必要な資源の増大を抑制するため、特に演算装置が一つしかない情報処理装置において、割り込みマスクを使用する方法が用いられている。この方法では、命令メモリ2に格納されるLIW命令の中に、割り込みマスクの設定及び解除を行う命令を記述しておくことにより、資源の退避が不要な状況でのみ割り込みを受け付けるように制御する。このような方法を用いた、LIW型情報処理装置の構成の一例を図10に示す。

10

【0016】

同図の情報処理装置の構成は図7に示したものとほとんど同一であるが、パイプラインラッチ202が二重化されていない点、データバス103から信号線106を介して、割り込み制御部1に備えられた制御レジスタ11に割り込み制御信号が送られている点が異なっている。

即ち、命令解読部3において、割り込みマスクの設定命令が解読されると、割り込み制御部1に備えられている制御レジスタ11に割り込みマスクを設定する旨の指示がなされ、制御レジスタ11のマスクビットがオンとなる。その後、命令解読部3において割り込みマスク解除の命令が解読されると前記制御レジスタ11のマスクビットがオフとなり、割り込みマスクが解除される。

20

【0017】

以上のような制御を行うことにより、PSR及びパイプラインラッチの内容等の退避に必要な資源の増大を伴うことなく、割り込みに対処することが可能である。

【0018】

【発明が解決しようとする課題】

しかしながら、上記従来の技術において、割り込み発生時に必要な情報を退避する方法を使用すると、前述の如く、並列実行可能な演算回路が増加するに従って、切り換えを行うためのパイプラインラッチも増加させる必要があり、パイプラインラッチ等の情報の退避に必要な資源の量が膨大になるという問題点が生じる。一方、資源の増大を防止するために割り込みマスクを利用する方法は、LIW型やVLIW型の情報処理装置においてパイプライン処理のサイクル単位で割り込みマスクの制御を行うとすると、頻繁に割り込みマスクの設定命令、解除命令を実行しなければならず、命令量が増大するため命令メモリ2のサイズを大きくしなければならなくなる他、割り込みマスクの制御命令実行のためのオーバーヘッドも無視できず、演算処理の実行速度に悪影響を与える場合があるという問題点を有していた。

30

【0019】

本発明は上記の問題点に鑑み、資源の増加を伴うことなく、また、実行速度に影響を与えず、サイクル単位の割り込みマスク制御を行うことが可能な情報処理装置を提供することを目的とする。

40

【0020】

【課題を解決するための手段】

上記課題を解決するために、本発明は判断手段と生成手段とからなる第一の情報処理装置における命令列生成方法であって、前記判断手段は、命令列を実行する第二の情報処理装置の処理内容に基づいて、割り込みマスクを要するか判断し、前記生成手段は、割り込みマスクを要する命令が所定期間以上に連続する場合に、所定期間以内の割り込みマスクを要する命令列と、割り込みマスクを要しない命令からなる命令列を生成することを特徴とする。

【0021】

【発明の実施の形態】

50

以下、本発明の実施の形態について図面を参照しながら説明する。

(実施の形態1)

図1は、本実施の形態の情報処理装置の構成を示すブロック図である。同図の情報処理装置は、割り込み制御部1、命令メモリ2、命令解読部3、レジスタ部4、演算回路A5、演算回路B6、AND回路7を備える。演算回路A5、演算回路B6には、それぞれパイプラインラッチ201、202が接続されており、パイプラインラッチ202にはセレクタ203が接続されている。

【0022】

また、図中の100は、外部からの割り込み信号が入力される割り込み信号入力線、101は、命令解読部3が出力するマスク信号を伝える信号線、102は命令解読部3の解読結果をレジスタ部4に送る信号線、103、105はデータバス、104は、演算回路A5の演算結果を演算回路B6に接続されているパイプラインラッチ202に送るための信号線である。

【0023】

割り込み制御部1は、AND回路7の出力に基づいて情報処理装置に対する割り込み制御を行う。具体的には、AND回路7の出力信号がオンの時に情報処理装置に対する割り込み信号が発生したと検知する。即ち、割り込み信号入力線100を通じて送られる割り込み信号がオンとなっても、信号線101を通じて送られる命令解読部3からのマスク信号がオンとなっていれば情報処理装置に対する割り込み要求を受け付けないことになる。

【0024】

命令解読部3は、命令メモリ2に格納されているLIW命令を解読し、解読した結果を信号線102を通じてレジスタ部4に送るほか、解読された命令の内容に基づいて、割り込みマスクを行う旨を指示するマスク信号を、信号線101を通じてAND回路7に送る。同図の命令解読部3は、割り込みマスクを行う場合にマスク信号をオンとするように構成されている。

【0025】

レジスタ部4は、複数のレジスタから構成され、信号線102を通じて送られてきた命令解読情報に従い、データバス103を通じて、演算回路A5及び演算回路B6にデータを伝える。

演算回路A5及び演算回路B6は、データバス103、信号線104を通じて送られてきたデータに基づいて、演算を実行し、演算結果をデータバス105を通じてレジスタ部4に書き戻す。演算回路A5と、演算回路B6の入力側には、レジスタ部4から読み出されたデータをラッチするパイプラインラッチ201、202がそれぞれ備えられている。また、演算回路A5、演算回路B6との間には、演算回路A5での演算結果を用いて演算回路B6が演算を実行できるように、演算結果をバイパスして伝える信号線104が備えられている。パイプラインラッチ202に、レジスタ部4からのデータと、演算回路A5の演算結果とのどちらがラッチされるかは、セレクタ203にて制御されるように構成されている。セレクタ203の選択は、命令解読部3の解読結果に基づいて行われる。

【0026】

以上のように構成された情報処理装置について、以下その動作を説明する。

図8に示すようなLIW命令を実行する場合に、図2に示すようにLIW命令に割り込みマスクを行うか否かを示す1ビットの指示ビットを加えておく。例えば、LIW命令ごとの指示ビットとして、当該命令の実行時に割り込みマスクを行う必要がある場合には、指示ビットを「1」としておき、割り込みを許容する命令であれば、指示ビットを「0」としておいて、命令アセンブラにより指示ビットを含む機械語プログラムに変換する。

【0027】

そして、実行時に命令解読部3において命令の解読を行う際、即ち、各々のLIW命令のDECODEフェーズにおいて、前記指示ビットが「1」であれば、信号線101に出力するマスク信号をオンとし、指示ビットが「0」であれば、前記マスク信号をオフとする。

ここで、指示ビットの設定についてより具体的に説明すると、例えば、演算回路A5の演

10

20

30

40

50

算結果を演算回路 B 6 で使用するためにバイパスを行う場合、即ち命令シーケンスにおいてディスティネーションレジスタとして%pが指定されている場合に指示ビットを「1」とし、以後、バイパスされたデータを用いた演算回路 B 6 における演算が終了するまで、制御ビットを「1」としておき、演算回路 B 6 における当該演算が終了すると指示ビットを「0」とするようにプログラミングの段階で考慮して L I W 命令を作成する。指示ビットの設定は任意の位置に行うことが可能であり、バイパスによる演算の実行時以外に割り込みマスクを行うこともできる。

【0028】

以上のような処理を行うことにより、例えば無制限に割り込みを認める場合において、演算回路の増加に伴いバイパス用パイプラインラッチを増加させることによる情報退避用資源の増大を抑制することができるとともに、割り込み制御命令を L I W 命令中に記述することによる命令メモリ 2 のサイズの膨張を防ぐことができ、かつ、パイプラインサイクルごとの細かい処理単位における割り込み制御が可能となる。

(実施の形態 2)

図 3 は、本発明の第 2 の実施の形態における情報処理装置の構成を示すブロック図である。

【0029】

同図の情報処理装置の構成は、実施の形態 1 で説明したものとほぼ同一であるが、命令解読部 3 に中に、判定部 3 1 が備えられているところが異なっている。以下、異なっている部分を中心にして説明を行う。

実施の形態 1 においては、L I W 命令の中に指示ビットを記述したが、本実施の形態では指示ビットは設けない。代わりに判定部 3 1 において、例えば、信号線 1 0 4 を用いたバイパス処理を行うか否かを判定し、判定結果に基づいて、割り込みマスクを行うか否かを指示するマスク信号を信号線 1 0 1 に出力する。

【0030】

例えば図 8 に示すような L I W 命令であれば、ディスティネーションレジスタとして、%p が指定されたことが判定部 3 1 において検出された場合に、信号線 1 0 1 に出力するマスク信号をオンとし、その後、バイパスされたデータを用いた演算の終了まで割り込みマスクを行う。

なお、判定部 3 1 による判定の基準としては、上記のようにディスティネーションレジスタの指定を参照して、バイパス処理を行うか否かにより判定を行う他にも、オペコードの種類により判定しても良いし、また、オペコードとオペランドとを複合して判定に用いることも可能である。

【0031】

以上のような構成をとることにより、命令ごとに指示ビットの設定を行うことなく、パイプラインサイクルごとに割り込み制御を行うことが可能となる。

(実施の形態 3)

図 4 は、本発明の第 3 の実施の形態における情報処理装置の構成を示すブロック図である。

【0032】

同図の情報処理装置の構成は、実施の形態 2 で説明したものとほぼ同一であるが、制御レジスタ 8 及び A N D 回路 9 が設けられている点と、データバス 1 0 3 から制御レジスタ 8 に制御信号を出力する信号線 1 0 6 が備えられているところが異なっている。以下、異なっている部分を中心にして説明を行う。

実施の形態 2 において、判定部 3 1 による判定の結果に基づいて制御信号を出力する方法を用いたが、処理の内容によっては、同種の処理であっても、割り込みマスクを行うべき場合と、行わなくてもよい場合とが混在するものが有り得る。例えば、バイパスを用いた演算であっても必ずしも割り込みマスクを行う必要がない場合も考えられることから、本実施の形態の情報処理装置では、そのような場合に割り込みマスクを行わない旨の指定を行う命令の使用を可能としている。即ち、制御レジスタ 8 を設置し、命令解読部 3 におい

10

20

30

40

50

て、判定部 3 1 の出力するマスク信号を無効とする旨の指示を行う命令が検出された場合は、前記制御レジスタ 8 に含まれる制御ビット 8 a に「0」を設定する。そして AND 回路 9 の出力を AND 回路 7 への入力とすることにより、判定部 3 1 の判定に関係なく割り込みマスクを禁止することが可能となる。以後、マスク信号の無効を解除する命令が検出され、前記制御ビット 8 a に「1」が設定されると、再び判定部 3 1 の判定により割り込みマスクの制御が行われるようになる。

【0033】

以上のような処理を行うことにより、例えば、通常の状態であれば割り込みマスクを行うべき命令であるが、処理内容の全体から判断した場合に割り込みマスクを行う必要がないというような場合にも対処することが可能となる。

10

(実施の形態 4)

本実施の形態の情報処理装置の処理内容は、実施の形態 1 ~ 実施の形態 3 において既に説明した情報処理装置の構成の何れにおいても適用可能な内容である。即ち、本実施の形態の情報処理装置においては、情報処理装置に備えられた命令アセンブラにより、割り込みマスクが連続して所定の期間に渡って行われるであろうことが検知された場合に、割り込みを許容するための命令を自動的に挿入することにより、LIW 命令から生成される機械語プログラムに修正を加える。

【0034】

以下、本実施の形態の情報処理装置に備えられる命令アセンブラの処理内容について説明する。

20

図 5 は、本実施の形態の情報処理装置に備えられる命令アセンブラの処理内容を示すフローチャートである。

まず、命令アセンブラは割り込みマスクが行われる期間を計測するためのカウンタをリセットし (S501)、LIW 命令を読む (S502)。ここで、全ての LIW 命令について処理を終了していれば命令アセンブラの処理を終了する (S503: Yes)。終了していなければ命令アセンブラは、読み取った LIW 命令が、割り込みマスクを必要とする命令か否かを判定し (S504)、割り込みマスクを必要としない命令であればステップ S501 へと戻る。割り込みマスクが必要な命令であれば、カウンタの値に 1 を加算する (S505)。割り込みマスクが必要であるか否かの判定は、機械語プログラムへの変換後、情報処理装置において処理を実行する際の命令解読回路 3 の処理内容に基づいて行う

30

【0035】

ステップ S505 でカウンタの値の加算を行った後、カウンタの値が所定の値を超えたか否かを判定し (S506)、所定の値を超えていない場合は、次の命令を読むべくステップ S502 へと戻るが、所定の値を超えている場合は、割り込みマスクを許容する命令を挿入する (S507)。具体的には割り込みマスクが行われないような形で nop 命令を挿入する。

【0036】

以上のような処理を行う命令アセンブラについて、以下、その動作を具体例を用いて説明する。

40

図 6 (a) のような LIW 命令を本実施の形態の命令アセンブラを用いて機械語プログラムに変換する場合に、以下のような条件で変換を行うものとする。即ち、LIW 命令に含まれる中の少なくとも一つの処理で、演算結果のバイパスを行う処理 (ディスティネーションレジスタとして %p が指定されている場合) に、割り込みマスクが必要な命令であると判定してカウンタの加算を行い、カウンタの値が 3 を超えると nop 命令を挿入するものとする。

【0037】

この場合、図 6 (a) の LIW 命令から出力される機械語プログラムの処理内容は図 6 (b) に示すようなものとなる。即ち、行 (d) の LIW 命令を読み取った際に、カウンタの値が 3 を超えるので、図 6 (b) の行 (d') と行 (d'') とに示されるような形で no

50

p命令の挿入が行われる。

以上のような処理を行うことにより、例えば、機器の制御のための命令を実行する場合等、どうしても割り込みを行う必要があるような処理が、長時間の割り込みマスクのために実行できないという事態の発生を回避することができる。

【0038】

なお、本実施の形態の説明では、演算回路が二つであるL I W型の情報処理装置への適用例について説明したが、演算回路がさらに増加したV L I W型の装置においても同様の適用が可能である。

また、本実施の形態では二つのA N D回路を用いて割り込みマスクの制御を実現したが、割り込みマスク制御の方法はこれに限定されるものではない。

10

【0039】

【発明の効果】

以上の説明から明らかなように、本発明は判断手段と生成手段とからなる第一の情報処理装置における命令列生成方法であって、前記判断手段は、命令列を実行する第二の情報処理装置の処理内容に基いて、割り込みマスクを要するか判断し、前記生成手段は、割り込みマスクを要する命令が所定期間以上に連続する場合に、所定期間以内の割り込みマスクを要する命令列と、割り込みマスクを要しない命令からなる命令列を生成することを特徴とする。

【0040】

これにより、長いサイクルに渡って割り込みマスクが行われないようにするという効果が得られる。

20

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る情報処理装置の構成を示すブロック図である。

【図2】本発明の第1の実施の形態で用いられるL I W命令の一例を示す図である。

【図3】本発明の第2の実施の形態に係る情報処理装置の構成を示すブロック図である。

【図4】本発明の第3の実施の形態に係る情報処理装置の構成を示すブロック図である。

【図5】本発明の第4の実施の形態に係る情報処理装置に備えられる命令アセンブラの処理内容を示すフロ-チャ-トである。

【図6】(a) 本発明の第4の実施の形態で用いられる命令アセンブラに入力されるL I W命令の一例を示す図である。

30

(b) 図6(a)に示されるL I W命令を、第4の実施の形態の命令アセンブラにより処理した場合に出力される機械語プログラムの処理内容の一例を示す図である。

【図7】従来の情報処理装置において、パイプラインラッチを二重化した場合の構成を示すブロック図である。

【図8】L I W命令の一例を示す図である。

【図9】図8に示されるL I W命令を実行した場合に、それぞれのパイプラインサイクルで実行される命令を示すタイムチャートである。

【図10】従来の情報処理装置において、制御レジスタを使用する場合の構成を示すブロック図である。

【符号の説明】

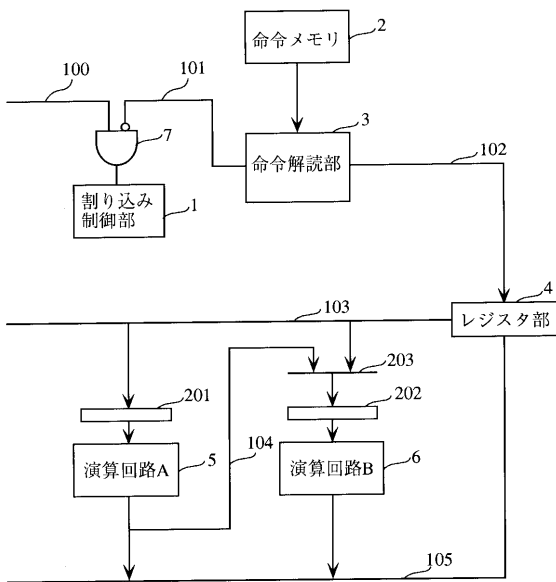
40

- 1 割り込み制御部
- 2 命令メモリ
- 3 命令解読部
- 3 1 判定部
- 4 レジスタ部
- 5 演算回路A
- 6 演算回路B
- 7 A N D回路
- 8 制御レジスタ
- 8 a 制御ビット

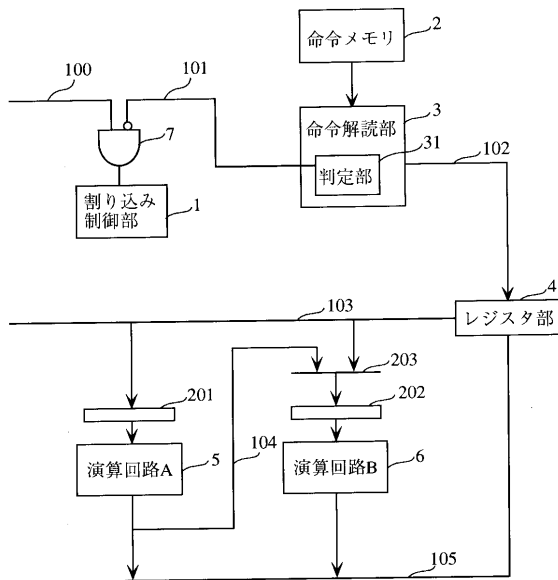
50

- 9 AND回路
- 100 割り込み信号入力線
- 101 ~ 102 信号線
- 103、105 データバス
- 104、106 信号線
- 201 ~ 202 パイプラインラッチ
- 203 セレクタ

【図1】



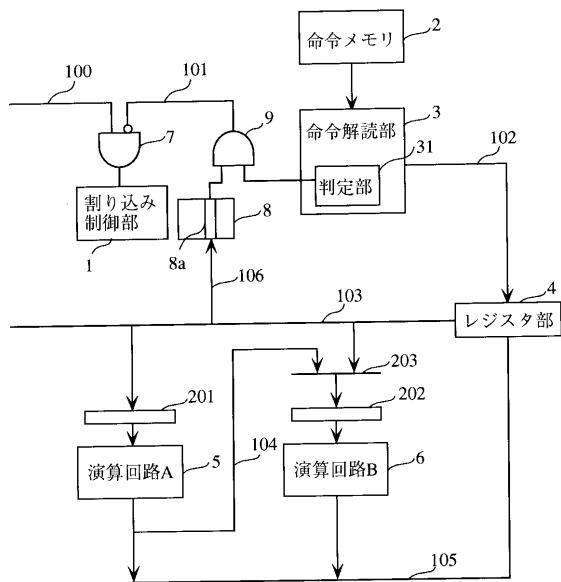
【図3】



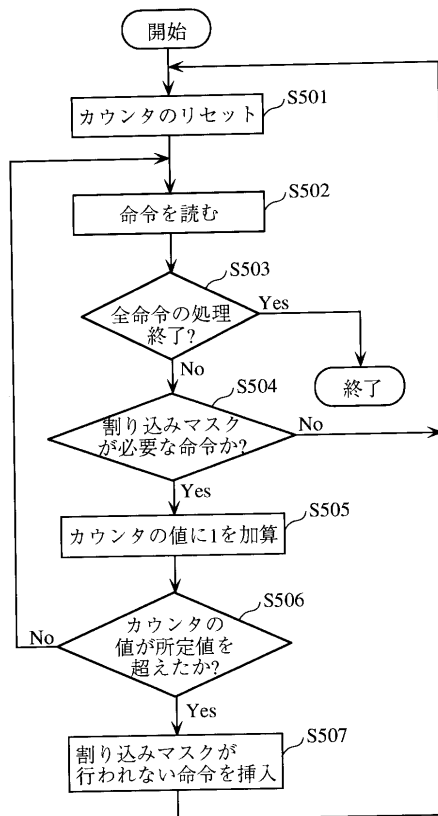
【図2】

演算回路A	演算回路B	指示ビット
add %g0,%g1,%p	nop	1
sub %g0,%g1,%g2	mul %p,%g6,%g7	1
add %g2,%g7,%g6	nop	0

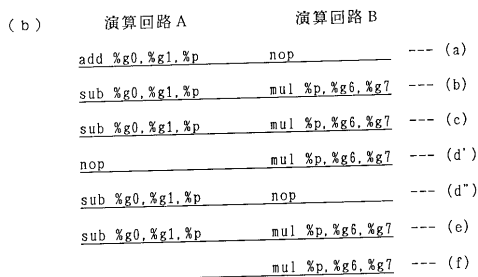
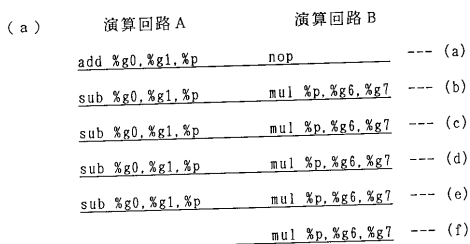
【 図 4 】



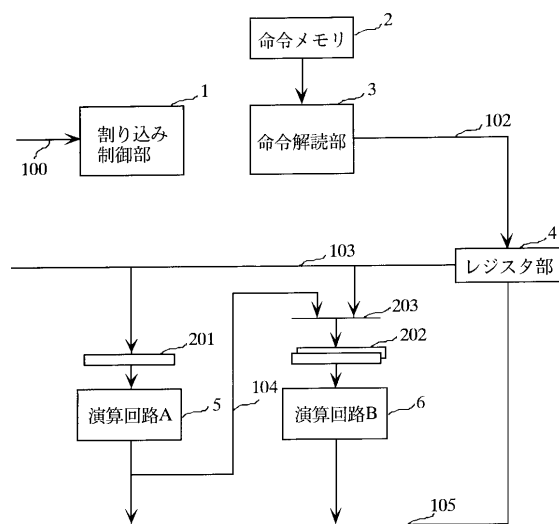
【 図 5 】



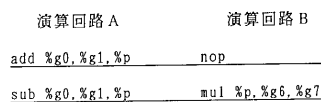
【 図 6 】



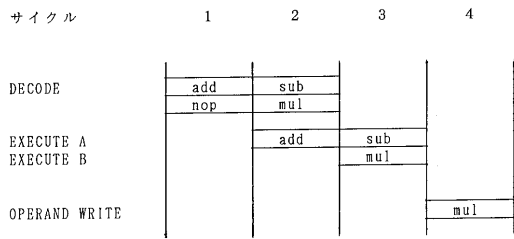
【 図 7 】



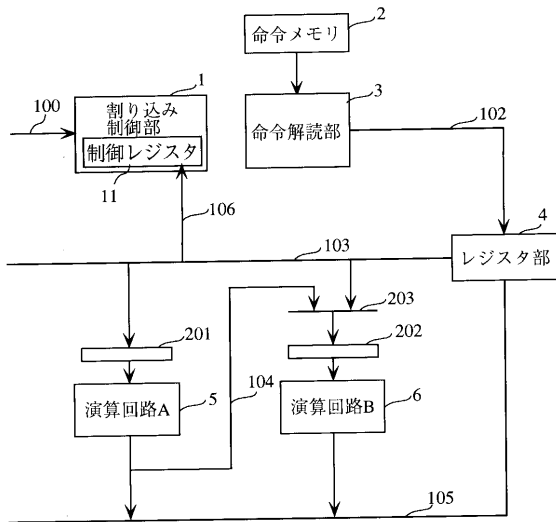
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

審査官 羽立章二

(56)参考文献 特開平02-310629(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 9/46- 9/54

G06F 9/44- 9/44,322

G06F 9/38