(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G05B 19/048

(45) 공고일자 1998년12월01일
(11) 등록번호 특0146623
(24) 등록일자 1998년05월12일

(21) 출원번호 특1994-037382
(22) 출원일자 1994년12월27일
(65) 공개번호 특1995-020209
(43) 공개일자 1995년07월24일
(30) 우선권주장 93-338340 1993년12월28일 일본(JP)

(73) 특허권자 미쓰비시덴키가부시키가이샤 기타오카 다카시
일본국 도쿄토 지요다쿠 마루노우치 2초메 2-3
(72) 발명자 오타순
일본국 아이치켄 나고야시 히가시구 야디미나미 5초메 1-4 미쓰비시덴키가부시키가이샤 나고야세이사쿠쇼나이
(74) 대리인 정우훈, 박태경

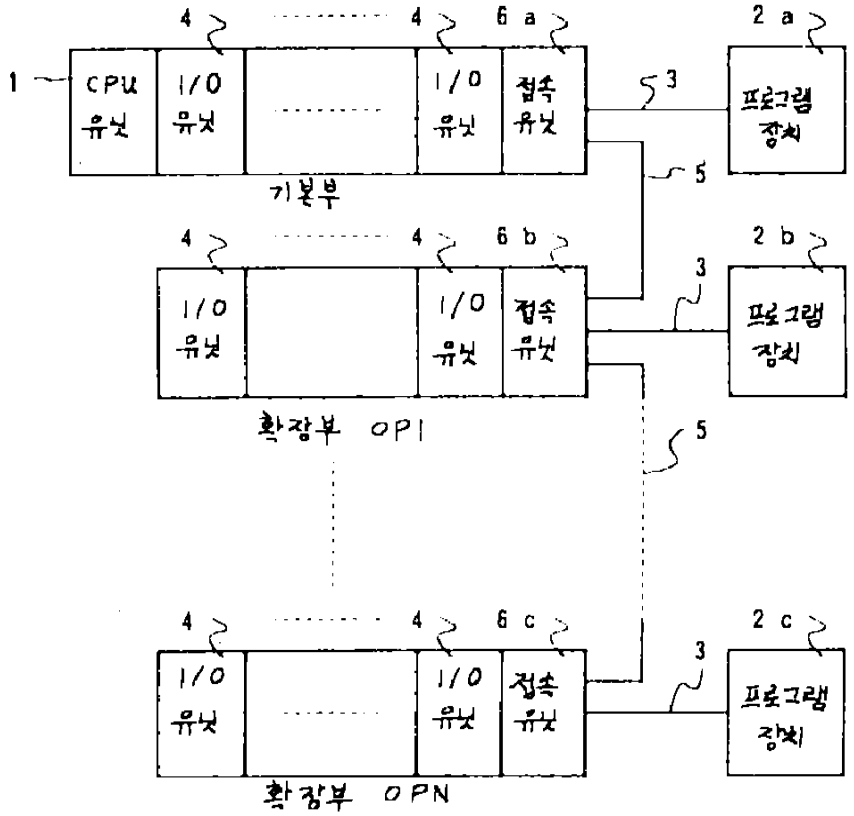
심사관 : 박정학

(54) 프로그래머블콘트롤러 및 그 배타제어교신방법

요약

이 발명에 의한 프로그래머블 콘트롤러(programmable controller)와 그 배타제어교신방법에 있어서, 프로그램장치는 확장케이블(extension cable)과 확장 I/F유닛에 의해 각각의 버스확장부와 분산부에 접속하며, 다수의 접속프로그램장치는 배타제어신호발생회로에서 출력된 배타제어신호에 따라 서로 배타제어하는 CPU유닛과 교신한다.

대표도



명세서

[발명의 명칭]

프로그래머블 콘트롤러(Programmable Controller) 및 그 배타제어교신 방법

[도면의 간단한 설명]

제1도는 이 발명에 의한 프로그래머블 콘트롤러의 일반시스템 구조를 나타낸 블록도.

제2도는 이 발명에 의한 프로그램유닛, 확장 I/F 유닛 및 CPU유닛사이의 접속을 나타낸 블록도.

제3도는 제2도에 나타낸 배타제어신호발생회로의 일반적 구성을 나타낸 회로도.

제4도는 이 발명에 의한 프로그램장치의 교신타이밍을 나타낸 타이밍 챠트.

제5도는 이 발명에 의한 프로그래머블 콘트롤러의 배타제어교신동작을 나타낸 흐름도.

제6도는 종래 타입의 프로그래머블 콘트롤러의 시스템구성을 나타낸 블록도.

제7도는 종래타입의 프로그램장치와 CPU유닛사이의 접속을 나타낸 블록도.

제8도는 종래타입의 프로그램장치의 교신타이밍을 나타낸 타이밍챠트.

제9도는 종래타입의 프로그램장치의 교신동작을 나타낸 흐름도.

제10도는 종래타입의 CPU유닛의 전원 ON동작을 나타낸 흐름도.

제11도는 종래타입의 CPU유닛에서 교신처리동작을 나타낸 흐름도.

* 도면의 주요부분에 대한 부호의 설명

1 : CPU유닛(Unit)　　1a : 미분구동기/수신기

2, 2a～2c : 프로그램장치　　3 : 교신케이블

4 : I/O유닛 또는 특정기능유닛　　5 : 확장케이블(extension cable)

6, 6a～6c : 인터페이스유닛(interface unit)(또는 확장 I/F유닛)

7a～7c : 배타제어신호발생회로

30 : 풀-다운레즈스터(pull-down resister)

31, 32 : AND게이트　　33 : OR게이트

DTR : 데이터단말준비신호라인(data terminal ready signal line)

DSR : 데이터설정준비신호라인(data set ready signal line)

TXD : 전송데이터신호라인(transmitted data signal line)

RXD : 수신데이터신호라인(received data signal line)

34, 35, 36 : NOT게이트(인버터)

37 : 풀-업 레지스터(pull-up resister)

[발명의 상세한 설명]

이 발명은 프로그래머블 콘트롤러(programmable controller)에 관한 것이다.

특히, 이 발명은 프로그래머블 콘트롤러의 CPU유닛과 다수의 프로그램장치사이에서의 배타제어교신방법에 관한 것이다.

프로그래머블 콘트롤러는 초기단계에서 릴레이의 단순한 대치로부터 프로그램화가능성과 유연성이 높은 고성능의 단순한 컴퓨터시스템으로까지 발전되었다.

현재, 릴레이제어는 접점과 코일만이 아니라 미분, 적분, 리버젼(reversion) 및 애널로그제어 등 각종의 기능에 대해서도 제공되었다.

이 제어로, 기계의 위치결정등이 시행되었다.

주로 위치설정등의 애널로그제어는 특정기능유닛에 의해 실행되었으며, 릴레이제어는 CPU유닛에 의해 주로 실행되었다.

위에서 설명한 기능과 관련하여 CPU유닛에 있어서는 대규모제어의 필요성을 충족시키기 위하여 프로그램을 기억하는 메모리, 즉 대형프로그램메모리를 필요로 하였다.

또, 분산생산라인등 제어되어야할 대상을 고속에서 제어하고, 코스트가 저렴한 시스템을 구성하며 또 관련프로그램을 단순화하기 위하여 확장된 I/O유닛 또는 특정기능유닛의 제어는 네트워크를 사용하지 않고 버스(bus)를 확장시킴으로써 직접 실행할 수 있다.

그러나, 그 확장버스구성에 있어서 네트워크를 사용함이 없이 버스를 확장시키는 위치에서 프로그램모니터 또는 프로그램업로딩/다운로딩(up loading/down loading)를 하는 수단이 없다.

또, 프로그램장치는 CPU유닛본체에 접속시킬 필요가 있다.

다음으로 CPU유닛과 프로그램장치사이의 교신 방법에 대하여 아래에 설명한다.

제6도는 종래기술에 의한 프로그래머블 콘트롤러(programmable controller)의 일반시스템구조를 나타낸 블록도이다.

이 도면에서, 부호 1은 프로그래머블 콘트롤러전체를 제어하는 CPU유닛이며, 부호 2는 CPU유닛(1)에 대향

하여 프로그램을 업로드/다운로드하는 프로그램장치 및/또는 프로그램모니터를 하는 프로그램장치이다.

부호 3은 CPU유닛(1)과 프로그램장치(2)사이를 접속하는 교신케이블이다.

부호 4는 I/O유닛 또는 특정기능유닛이고, 부호 5는 CPU유닛(1)과 I/O유닛 또는 특정기능유닛(4)으로 구성되는 기본부(basic section)와, I/O유닛 또는 특정기능유닛(4)으로 구성되는 확장부 OPI 사이 또는 동일한 구조를 각각 가진 확장부사이의 확장케이블(extension cable)이다.

부호 6은 확장케이블(5)을 접속하는 인터페이스유닛(interface unit)이다.

제7도는 CPU유닛과 프로그램장치(2)사이의 접속을 나타낸 블록도이다.

이 도면에서, 확정버스는 미분형 구동기/수신기(1a)를 구성한다.

프로그램장치(2)에서, DTR은 데이터단말준비신호라인(data terminal ready signal line)의 약자이며, DSR은 데이터설정준비신호라인(data set ready signal line)의 약자이고, TXD는 전송데이터신호라인(transmitted data signal line)의 약자이며, RXD는 수신데이터신호라인(received data signal line)의 약자이다.

또, CPU유닛(1)의 DTR, DSR, TXD, RXD신호라인은 교신케이블(3)을 통하여 프로그램유닛(2)의 DSR, DTR, RXD 및 TXD신호라인에 각각 접속되어 있다.

다음으로, 프로그램장치(2)가 CPU유닛에서 데이터를 입력할 때까지 데이터를 CPU유닛(1)으로 보내는 시간에서의 시스템동작을설명한다.

CPU유닛(1)이 교신가능한 상태에 있을 때 CPU유닛(1)의 DTR은 ON으로 되어 프로그램장치(2)로부터의 입력을 가능(enable)하게 한다.

프로그램장치(2)의 DSR이 ON으로 될 때, 프로그램장치(2)는 CPU장치(1)와의 교신을 실행하도록 프로그램장치(2)에서 DTR을 ON한다.

프로그램장치(2)의 DSR이 ON으로 될 경우, 프로그램장치(2)는 교신케이블(3)을 통하여 CPU유닛(1)으로 데이터(명령) TXD를 보낸다.

그 다음, CPU유닛(1)은 그 교신케이블(3)을 통하여 프로그램장치(2)로 입력된 데이터(명령)TXD에 대응하는 데이터 RXD를 출력한다.

데이터 RXD를 입력한 프로그램장치(2)는 DTR OFF로 하여 데이터입력 또는 데이터출력의 동작을 종료한다.

프로그램장치(2)의 DSR이 프로그램장치(2)에서 DTR이 ON로 된 후 OFF로 될 때 프로그램장치(2)는 또다른 프로그램장치가 교신되어 프로그램장치(2)에서 DTR이 OFF로 되어 교신동작을 완료하는 것을 판정한다.

제8도는 프로그램장치(2)와 CPU유닛(1)사이의 교신타이밍을 나타낸 타이밍챠트이다.

이 도면에서 DTR, DSR, TXD 및 RXD는 프로그램장치(2)측에 나타낸 신호이다.

이 도면에서 나타낸 바와 같이, 프로그램유닛(2)은 DSR이 ON(t_1)으로 되는 것을 체크한 후 DTR ON(t_2)으로 되고, 또, 프로그램장치(2)는 DSR이 ON(t_3)으로 되는 것을 체크한 후 데이터를 입력 또는 출력하며, 최종적으로 DTR OFF(t_4)로 되어 교신처리를 종료한다.

제9도 내지 제11도는 위에서 설명한 동작을 개략적으로 각각 설명하는 흐름도이다.

제9도는 그 프로그램장치(2)가 CPU장치(1)와 교신할 때 그 프로그램장치(2)의 동작을 설명하는 흐름도이고, 제10도는 프로그램장치(2)가 CPU유닛(1)의 전원을 ON으로 할 때 그 프로그램장치(2)의 동작을 설명하는 흐름도이다.

제10도는 프로그램장치(2)가 CPU유닛(1)의 전원을 ON으로 할 때 그 프로그램장치(2)의 동작을 설명하는 흐름도이다.

제11도는 제9도에 나타낸 프로그램장치(2)의 교신처리에 대응하는 교신처리에서 CPU장치(1)의 동작을 설명하는 흐름도이다.

제9도에 나타낸 바와 같이, 프로그램장치(2)는 DSR이 ON으로 되는가의 여부를 판정하고(S11), DSR이 OFF으로 되는 것으로 판정되면 어떤 처리도 실행함이 없이 동작을 종료하며 DSR이 ON으로 판정되면 DTR ON으로 한다(S12).

그 다음, 그 프로그램장치(2)는 DSR이 ON으로 되는지의 여부를 판정하여(S13), DSR이 OFF로 판정되면 DTR OFF로 하여(S15)교신처리를 종료한다.

DSR이 ON으로 판정되면 프로그램장치(2)는 CPU유닛(1)로부터의 데이터를 입출력한다(S14).

데이터가 입출력된 후 교신처리를 종료하도록 DTR OFF로 한다(S15).

또, 제10도에 나타낸 바와 같이, 전원을 ON으로 할 때 그 CPU유닛(1)은 초기처리를 행하며(S16), 그 다음 DTR ON으로 한다(S17).

CPU유닛(1)이 DTR ON으로 될 때 CPU유닛(1)의 DTR에 접속된 프로그램장치(2)의 DSR은 ON으로 된 다음 위 프로그램장치(2)에 의한 교신처리를 가능하게 한다(enabled).

또, 제11도에 나타낸 바와 같이, CPU유닛(1)는 프로그램장치(2)로부터 데이터(명령)을 입력하는 처리를 행하고(S18), 그 다음 프로그램장치(2)로 데이터를 출력하는 처리를 행하여(S19), 그 교신처리를 종료한다.

이 발명과 관련된 종래문헌으로는 일본국 공개특허공번 1991-57053의 교신프로세서(conmunication processors)의 다운로드 제어방법(download control method), 일본국 공개특허공번 1992-207539의 교신수단, 일본국 특허공번 1992-23539의 전송장치의 집중상태 제어시스템(tranfer device centralized state control system), 일본국 공개특허공번 1992-111642의 선택식 방송교신 시스템(selection broadcost communication system), 일본국 공개특허공번 1992-7938의 배타제어타입교신기능을 가진 전자장치와 그 장치를 사용한 교신시스템, 일본국 공개특허공번 1991-57053의 교신프로세서의 다운로드 제어시스템, 일본국 공개특허공번 1986-161844의 교신프로세서의 제어시스템, 일본국 공개특허공번 1990-208704의 프로그래머블 콘트롤러의 I/O버스확장장치, 일본국 특허공번 1990-224049의 프로그래머블 콘트롤러의 I/O버스확장장치, 일본국 공개특허공번 1990-196315의 시퀀서의 I/O버퍼(I/O buffer of sequencer) 및 일본국 공개특허공번 1990-196306의 시퀀서(Sequencer)가 있다.

종래기술에 의한 프로그래머블 콘트롤러에 있어서, 기본부와 확장부 사이 또는 확장부사이의 거리는 약 50m이므로, 프로그램장치의 하나의 유닛만을 CPU유닛의 기본부에 접속시킬 수 있으며, 또 그 유닛에만 교신이 가능하다.

따라서, 버스확장에 따른 확장부 주위영역에서 하나 또는 그 이상의 프로그램장치의 효과적인 접속과 그 장치와의 교신은 어렵다.

또, 분산된 확장부(distributed extended sections)에서 데버깅(debugging) 또는 유지보수작업을 실시할 때마다, 유지보수된(maintenance person)는 항상 CPU유닛이 설치된 기본부로 갈 필요가 있어, 작업효율이 낮아진다.

이 발명의 목적은 프로그래머블 콘트롤러(programmable controller)와, 프로그램의 데버깅(debugging) 또는 유지보수의 효율을 향상시키며, CPU유닛에서 프로그램장치를 개방함이 없이 현장(site)에서 분산된 확장부(distributed extended sections)에서의 데버깅 또는 유지보수를 할 수 있도록 함으로써 일반작업효율을 실제로 향상시키는 배타제어교신방법을 제공하는데 있다.

이와 같이, 그 CPU유닛과의 교신이 데버깅 또는 유지활동중에 필요에 따라 이용될 수 있다.

이 발명에 의한 프로그래머블 콘트롤러는 프로그래머블 콘트롤러전체와 I/O유닛 또는 특정기능유닛을 제어하는 CPU유닛을 구성하는 기본부와 다수의 확장부를 구성한다.

확장부 각각은 그 CPU유닛에 프로그램을 다운로드/업로드를 행하거나 모니터링하는 프로그램장치와, 버스를 각각 기본부에 접속한 특정기능유닛 또는 I/O유닛으로 구성되어 있다.

프로그래머블 콘트롤러는 역시 프로그램장치를 상기 기본부와 확장부에 접속하는 버스확장수단과, 상기 확장수단내에 설치되어 배타신호제어를 행하는 스위칭 수단을 가진다.

또, 이 발명에 의한 프로그래머블 콘트롤러의 배타제어교신방법에 있어서도, 상기 스위칭수단은 상기 프로그램장치 각각에 있어서 데이터설정준비신호가 ON으로 되는지의 여부에 대하여 판정하며, 데이터설정준비신호가 ON으로 판정될 경우 상기 프로그램장치의 데이터단말준비신호를 ON으로 한 다음, 위의 데이터설정준비신호가 ON으로 되는지의 여부를 다시 판정하며, 데이터설정준비호가 ON이 아닌 것으로 판정되면, 또 재시행(retry)이 n회 시행되었는가의 여부를 판정하며, n회 재시행(retry)이 시행된 것으로 판정하면 스위칭수단은 입력 또는 출력데이터없이 상기한 데이터단말준비신호를 OFF로 한다.

이 발명에 의한 프로그래머블 콘트롤러 및 그 배타제어교신방법에 있어서, 프로그램장치는 버스-확장부 및 분산부 각각에 접속시키며, 다수의 접속프로그램유닛은 하나의 CPU유닛과 교신하여 그 CPU유닛에 대하여 배타제어한다.

이 발명의 다른 특징과 목적은 첨부 도면에 따르는 다음 설명에서 알 수 있다.

그 관련도면에 따라 이 발명에 의한 프로그래머블 콘트롤러 및 배타제어 교신방법의 실시예에 대하여 아래에 설명한다.

제1도는 이 발명에 의한 프로그래머블 콘트롤러의 일반시스템 구조를 나타낸 블록도이다.

이 도면에서, 부호 1은 프로그래머블 콘트롤러전체를 제어하는 CPU유닛이며, 부호 2a~2c는 각각 CPU유닛(1)에 프로그램을 다운로드/업로드하거나 프로그램을 모니터하는 프로그램장치이다.

부호3은 확장인터페이스(확장 I/F라함) 유닛(6a~6c)과 프로그램장치(2a~2c)사이를 각각 접속하는 교신케이블이다.

또, 부호 4는 I/O유닛 또는 특정기능유닛이며, 부호 5는 CPU유닛(1)과 I/O유닛 또는 특정기능유닛(4)을 구성하는 기본부와 I/O유닛 또는 특정기능유닛(4)을 구성하는 확장부 OPI사이 또는 확장인터페이스유닛(6a~6c)을 통하여 각각 동일한 구성을 가진 확장부사이를 접속하는 확장케이블이다.

각 확장 I/F유닛(6a~6c)은 기본부와 확장부사이 또는 확장부사이를 접속하며, 또 프로그램장치(2a~2c), 기본부 및 교신케이블(3)를 통하는 각 확장부사이를 접속한다.

제2도는 프로그램장치(2a~2c)가 교신케이블(3)를 통하여 확장 I/F유닛(6a~6c)와 또 CPU유닛(1)에 접속되는 시스템구조를 나타낸 블록도이다.

배타제어신호발생회로(7a~7c)는 프로그램장치(2a~2c)각각에 배타제어교신을 제공한다.

프로그램장치(2a~2c)각각의 DTR 및 DSR신호라인은 배타제어신호발생회로(7a~7c)를 통하여 CPU유닛(1)의 DSR 및 DTR신호라인에 접속된다.

프로그램장치(2a~2c)각각의 TXD 및 RXD 신호라인은 CPU유닛(1)의 RXD 및 TXD 신호라인에 접속된다.

제3도는 상기 배타제어신호발생회로(7a~7c)의 구성(contents)을 나타낸 블록도이다.

배타제어신호발생회로(7a～7c)에서, 부호 30은 풀-다운레지스터(pull-down resistor)이고, 부호 31, 32는 각각 AND게이트이며, 부호 33은 OR게이트이고, 부호 34, 35, 36은 각각 NOT게이트(인버터)이며 부호 37은 풀-업 레지스터(pull-up resistor)이다.

그 다음으로, 배타제어신호발생회로(7a～7c)의 동작에 대하여 설명한다.

풀-다운 레지스터(30)을 프로그램장치(2a～2c)측으로부터 DTR신호라인에 접속시키며, 프로그램장치(2a～2c)측으로부터의 DTR 및 DSR 신호를 AND게이트(31)에 입력한다.

AND게이트(31)로부터의 출력신호는 NOT게이트(36)에 입력되고, 풀-업 레지스터(37)를 출력선 CEN에 접속시켜 출력을 제공한다.

또, 위에서 설명한 AND게이트(31)의 출력신호는 NOT게이트(35)에 접속된다.

또, 상기 NOT게이트(36)로부터의 출력신호와 상기 AND게이트(31)로부터의 출력신호는 OR게이트(33)에 입력된다.

OR게이트(33)로부터의 출력신호와 프로그래머블 콘트롤러로부터의 DTR신호는 AND게이트(32)에 입력된다.

AND게이트(32)로부터의 출력신호는 프로그램장치(2a～2c)의 DSR라인에 접속된다.

프로그램장치(2a～2c)측 DTR신호는 AND게이트(31)의 또다른 요소로서 입력되고 AND게이트(31)와 NOT게이트(36)를 통하는 신호는 출력 CEN으로서 제공된다.

AND게이트(31)로부터의 출력신호는 프로그래머블 콘트롤러측 DSR라인에 접속된다.

NOT게이트(34)로부터의 출력신호는 프로그램장치측 TXD신호의 제어신호로서 그리고, 프로그래머블 콘트롤러측 RXD신호의 제어신호로서 접속된다.

프로그래머블 콘트롤러측의 DTR신호는 배타제어신호 발생회로(7a～7c)에 입력되고 프로그래머블 콘트롤러측의 TXD신호는 프로그램장치(2a～2c)측 RXD신호라인에 접속된다.

그 다음으로 일반적인 동작을 아래에 설명한다.

확장 I/F유닛(6a)에 접속된 프로그램장치(2a)가 CPU유닛(1)과 교신하는 경우는 다음에 설명한다.

이 경우, 프로그램장치(2a)는 DSR이 ON으로 되는지의 여부를 체크한다.

DSR이 ON일 경우, 프로그램장치(2a)는 DTR ON으로 한다.

또, DSR이 ON일 경우, 프로그램장치(2a)는 데이터를 출력 또는 입력하는 동작을 행한다.

입력 또는 출력동작이 종료될 때 프로그램장치(2a)는 DTR OFF하여 교신을 종료한다.

프로그램장치(2a～2c)의 동작은 종래기술에 의한 것과 실제로 동일하나, DTR 및 DSR이 배타제어신호발생회로(7a～7c)에 의해 배타제어신호로서 발생된다.

즉, CPU유닛(1)의 DTR신호와 CEN신호(배타제어신호)는 배타제어신호발생회로(7a～7c)에 의해 형성된 AND회로에 입력되어, CPU유닛(1)이 DTR신호와 CEN신호가 모두 ON으로 될 때 확장 I/F유닛(6a～6c)의 DSR이 ON으로 된다.

CEN신호는 확장 I/F유닛(6a～6c)각각에서 배타제어신호발생회로(7a～7c)의 와이어 OR(wired OR)형상으로 접속되고, 그 회로(7a～7c)각각은 프로그램장치(2a～2c)의 DTR신호라인에 접속되어 있다.

따라서, 예로서 프로그램장치(2a)가 DTR ON으로 될 때 CEN는 OFF로 되고, 동시에 CPU유닛(1)의 DTR이 ON일 경우 프로그램장치(2a)의 DSR은 ON한다.

또, CEN라인신호가 OFF로 될 때 프로그래장치(2b, 2c)의 DSR라인은 OFF로 되어, 배타제어를 시행할 수 있다.

이 스텝에서, 프로그램장치(2b, 2c)는 DTR이 OFF되고, DSR이 ON인가를 사전에 판정한다.

또, 배타제어신호발생회로(7a～7c)에서 프로그램장치(2b, 2c)의 CEN라인과 DTR라인사이의 OR게이트(33)가 OFF로 된다.

최종적으로, 프로그램장치(2a)는 DTR신호라인이 OFF로 되어 CEN라인은 ON으로 되고 프로그램장치(2a～2c)의 DTR제어가 가능하게 된다(enabled).

제4도는 위에서 설명한 프로그램장치(2a)의 타이밍챠트이다.

DTR, DSR, TXD 및 RXD는 프로그램장치(2a)의 신호이다.

즉, DSR이 ON(t_5)일 때 DTR이 ON으로 되면(t_6), CEN은 OFF로 되고(t_7), 또 DSR은 ON상태에서 유지된다(t_8).

이 상태에서, 프로그램장치(2a)와 CPU유닛(1)이 데이터교신을 행한다.

그 데이터교신이 완료된 후 DTR이 OFF로 될 때(t_9), DSR은 일단 OFF로 되나(t_{10}), CEN이 ON으로 될 때(t_{11}) DSR은 다시 ON으로 된다(t_{12}).

따라서, 교신은 가능하게 된다.

제5도는 위에서 설명은 동작을 개략적으로 나타낸 플로챠트이다.

즉, 제5도는 프로그램장치(2a)가 CPU유닛(1)과 교신할 때 프로그램장치(2a)의 동작을 나타낸 플로챠트이

다.

CPU유닛(1)의 전원이 ON일 때 처리와 또 프로그램장치(2)의 교신상태에 대응하는 CPU유닛(1)에 의한 교신처리를 하는 동안의 처리는 종래기술에 의한 경우를 각각 설명하는 제10도와 제11도에 나타낸 처리와 동일하다.

제5도에 나타낸 바와 같이, 프로그램장치(2a)는 DSR이 ON인가의 여부를 판정하여(S1), DSR이 OFF로 판정되면 어떤 처리라도 실행함이 없이 교신처리를 종료하며, DSR이 ON으로 판정되면 DTR ON으로 한다(S2).

그 다음 프로그램장치(2a)가 또 DSR이 ON으로 되는가의 여부를 판정하여(S3), DSR이 OFF로 판정되면 재시행(retry)이 n회 시행되었는지 여부를 판정하며(S6), 재시행이 n회 실행되지 않는 것으로 판정되면 스텝 S3으로 복귀하고, 재시행이 n회 실행된 것으로 판정되면 DTR OFF로 하고(S5) 교신처리를 종료한다.

또, 위 스텝 S3에서 프로그램장치(2a)가 DSR이 ON인 것으로 판정하면 CPU유닛(1)에서 데이터를 입력하거나 또는 데이터를 출력하며(S4), 데이터를 입력 또는 출력하는 동작이 완료될 때 프로그램장치(2a)는 DTR OFF로 하고(S5) 교신처리를 종료한다.

위 실시예 각각에서, 이 발명을 사용하여 데이터를 입력 또는 출력하는 동작에 대해서 설명하였으나 핸드-세이크제어명령(hand-shake control commands)의 사용에만 적용되었다.

N 프로그램장치가 하나의 CPU유닛에 접속되고, 그 프로그램장치의 하나만이 CPU유닛과 교신하는 경우, 이 발명은 어느 타입의 교신에도 적용할 수 있다.

위에서 설명한 바와 같이, 이 발명에 의한 프로그래머블 콘트롤러와 배타제어교신방법으로, 프로그램장치는 다수의 버스-확장 및 분산부 각각에 각각 접속되어, 위에서 설명한 바와 같이 접속된 다수의 프로그램장치는 배타제어를 행하는 하나의 CPU유닛과 교신하며, 동시에 버스-확장된 분산부의 데버깅(debugging) 또는 유지보수를 프로그램장치를 개방함이 없이 현장(site)에서 실시할 수 있으며, 또 프로그램장치는 각각 분산부와 확장부에 접속시켜 필요에 따라 CPU유닛과 교신을 할 수 있다.

따라서, 프로그램 데버깅 또는 유지보수의 효율을 상승시키며, 또 일반작업효율을 실제로 향상시킬 수 있다.

이 발명은 제한 범위의 실시예에 대하여 설명하였으나 첨부된 청구범위는 여기에 한정되어 있는 것은 아니다.

이 발명의 요지에서 벗어남이 없이 여러 가지로 변형시킬 수 있다.

(57) 청구의 범위

청구항 1

CPU유닛(unit)과, 프로그래머블 콘트롤러(programmable controller)를 제어하는 적어도 하나의 I/O유닛 또는 특정기능유닛(specific function unit)을 구성하는 기본부(basic section)과; 상기 CPU유닛에서 프로그램의 모니터와 다운로드/업로드(download/upload)를 행하여 프로그램장치 중 적어도 하나가 상기 기본부에 접속하는 다수의 프로그램장치와; I/O유닛 또는 특정기능유닛으로 구성하고 상기 다수의 프로그램장치 각각의 하나에 접속하는 적어도 하나의 제1확장부(first extended section)와; 상기 프로그램장치중 하나에 기본부 각각의 하나와 적어도 하나의 제1확장부에 접속되어 작동하는 각각의 버스확장수단으로 되는 다수의 버스 확장수단과; 상기 버스확장수단의 동작을 지시하는 복수의 버스확장수단에 배타제어신호를 발생출력하는 배타제어신호발생장치(exclusive control signal generator)로 구성함을 특징으로 하는 프로그래머블 콘트롤러.

청구항 2

제1항에 있어서, 상기 다수의 버스확장수단에 접속한 공통버스(common bus)를 더 구성함을 특징으로 하는 프로그래머블 콘트롤러.

청구항 3

제1항에 있어서, 상기 CPU와 상기 프로그램장치의 각각은 DTR라인수단, DSR라인수단, TXD라인수단 및 RXD라인수단을 구성하며, 상기 배타제어신호발생장치는 상기 신호에 입력 및 응답하도록 접속되어 상기 제어신호를 발생함을 특징으로 하는 프로그래머블 콘트롤러.

청구항 4

제1항에 있어서, 적어도 2개의 확장부를 구성하며 상기 확장부는 서로 상기 기본부와 교신하도록 작동함을 특징으로 하는 프로그래머블 콘트롤러.

청구항 5

제3항에 있어서, 상기 배타제어신호발생장치는 상기 프로그램장치 각각의 DSR신호가 ON으로 되는지의 여부를 1차로 판정하는 수단과, DSR신호가 ON일 때 상기 프로그램장치중 적어도 하나의 데이터단말준비신호(data terminal ready signal)를 ON으로 하는 수단과, DSR신호가 ON으로 되는지의 여부에 대하여 2차판정을 하며 데이터를 입력 또는 출력하거나 제2판정을 N회이하로 재시행하는 수단과, 재시행(retry)를 N회 행할 때 데이터교환(data transaction)을 행함이 없이 전송데이터신호인 TXD신호를 OFF로 하는 수단을 더 구성함을 특징으로 하는 프로그래머블 콘트롤러.

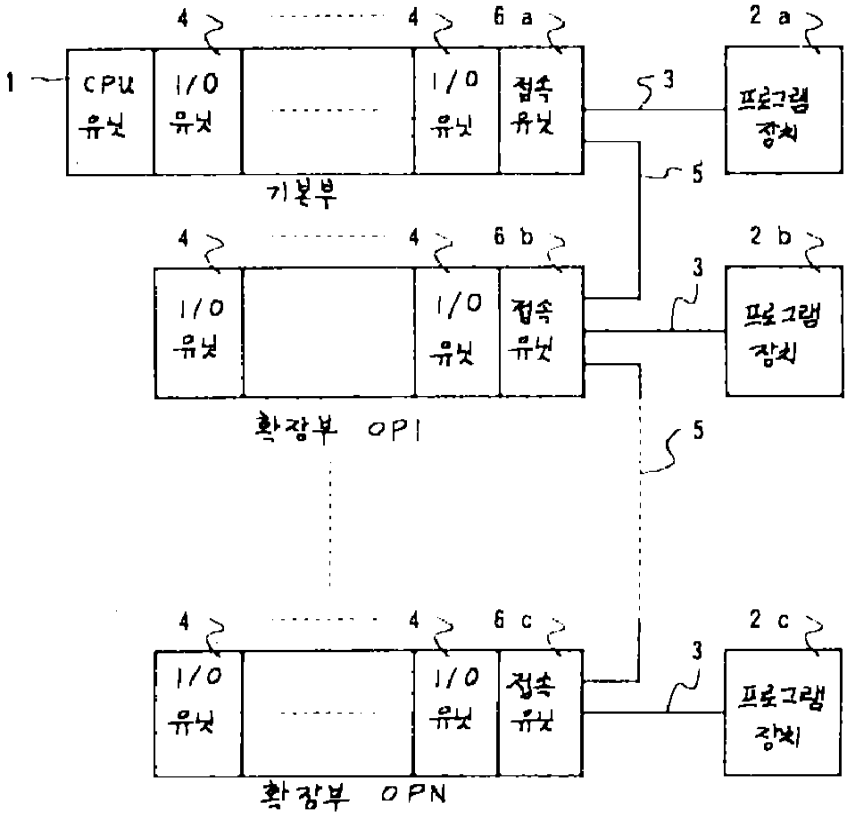
청구항 6

다수의 프로그램장치를 제어하는 프로그래머블 콘트롤러의 배타제어교신방법에 있어서, 프로그램장치 각

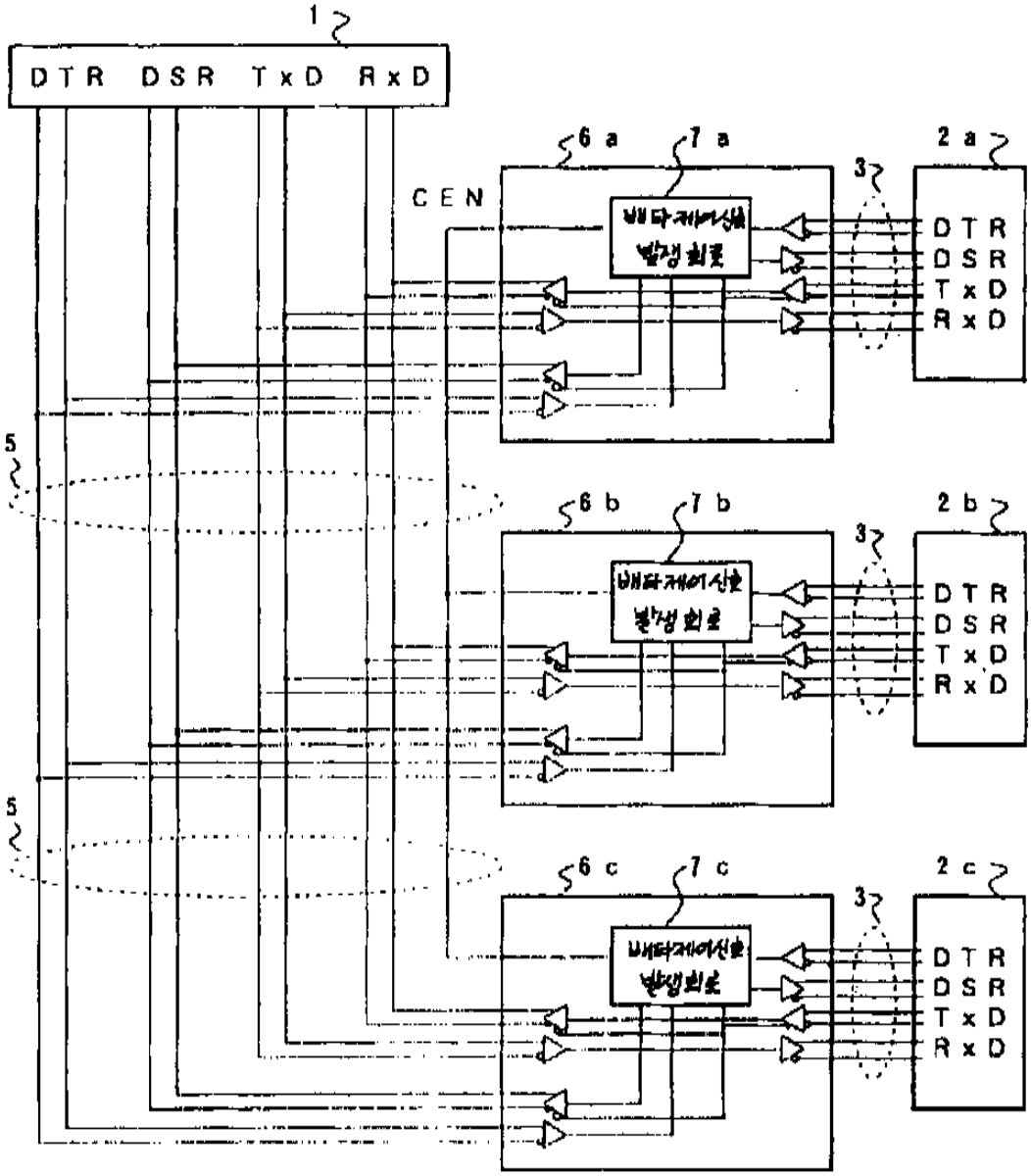
각의 데이터설정준비신호(data set ready signal)가 ON으로 되는지의 여부에 대하여 1차 판정을 하는 스텝과, 각각의 데이터설정준비신호가 ON으로 될 때 적어도 하나의 프로그램장치의 데이터 단말준비신호를 ON으로 하는 스텝과, 데이터설정준비신호가 ON인지의 여부에 대하여 2차 판정을 하는 스텝과, 그 데이터설정준비신호가 ON인 것으로 2차 판정을 할 경우 데이터를 출력 또는 입력하는 스텝과, 데이터설정준비신호가 ON으로 됨이 없이 재시행(retry)를 n회 실행하는지에 대하여 판정하는 스텝과, 데이터설정준비 신호가 ON이 아닌 것으로 2차 판정을 한 경우 제2 판정의 재시행을 하는 스텝과, 재시행을 n회 실행할 때 데이터교환(data transaction)을 행함이 없이 상기 단말준비신호를 OFF로 하는 스텝으로 구성함을 특징으로 하는 배타제어교신방법.

도면

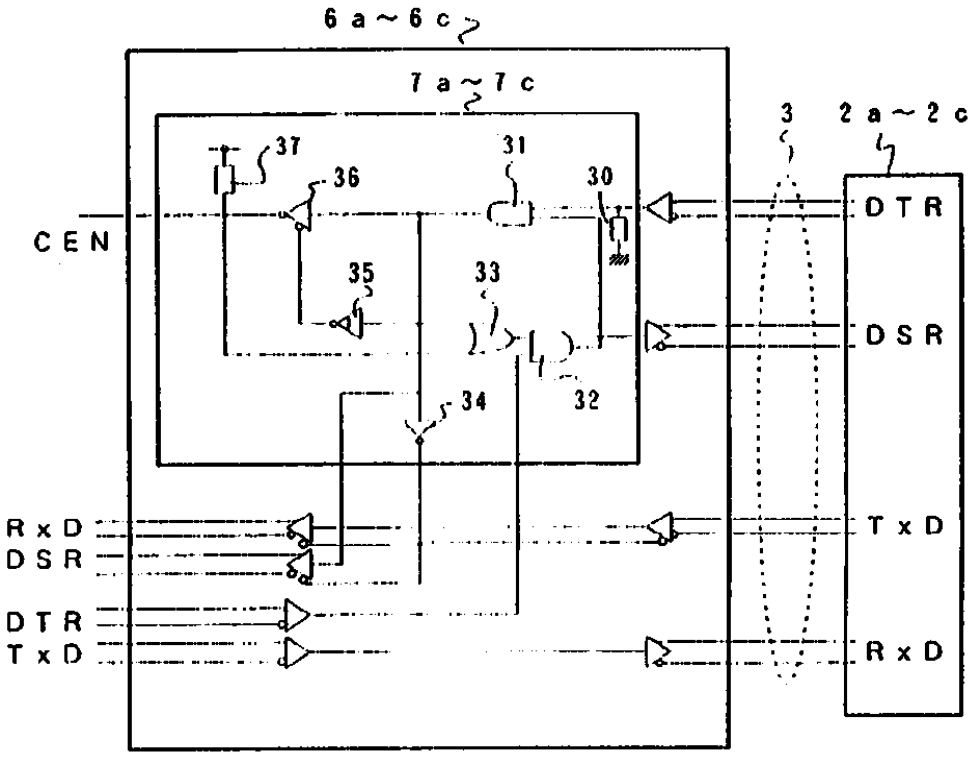
도면1



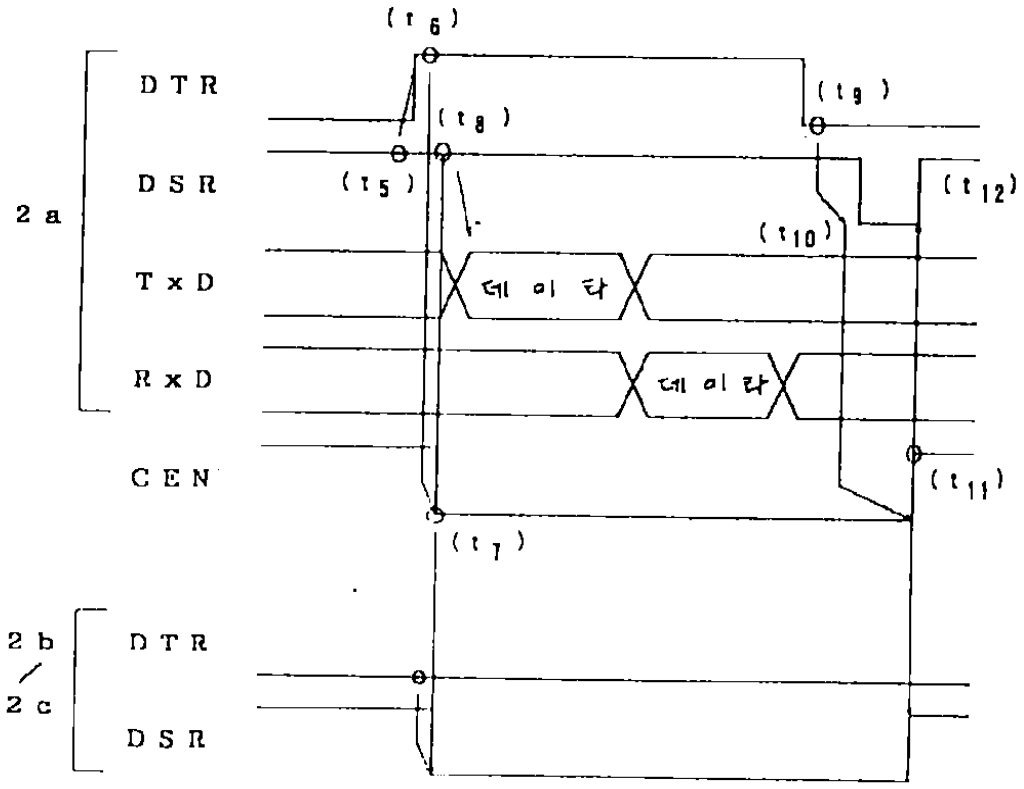
도면2


1
DTR DSR TxD RxD
CEN
6a
7a
2a
3
DTR
DSR
TxD
RxD
5
6b
7b
2b
3
DTR
DSR
TxD
RxD
5
6c
7c
2c
3
DTR
DSR
TxD
RxD

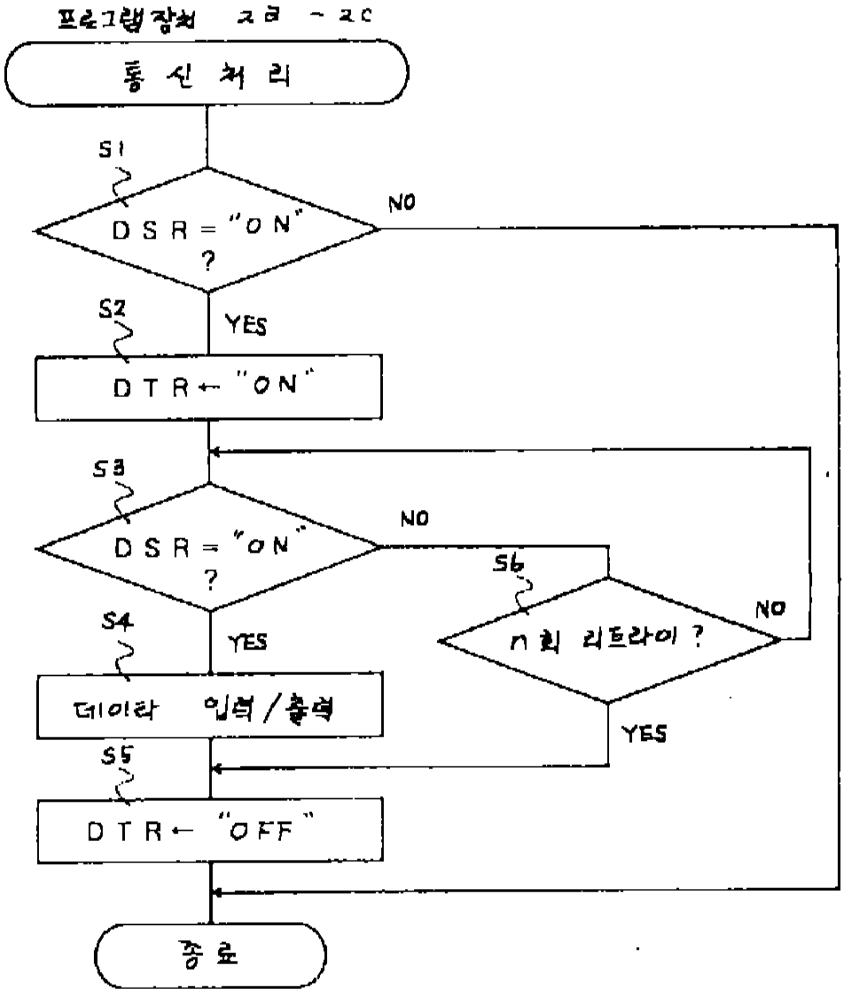
도면3


6a~6c
7a~7c
37
36
31
30
3
2a~2c
CEN
35
33
DTR
DSR
34
32
RxD
DSR
DTR
TxD
TxD
RxD

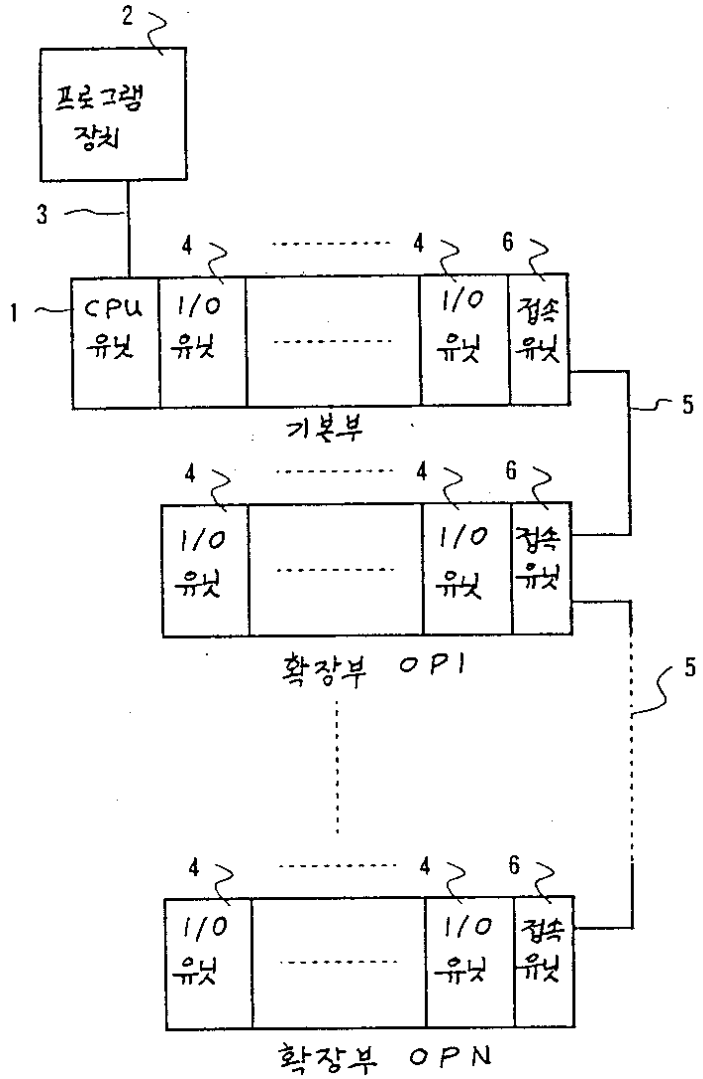
도면4


(t6)
(t8)
(t9)
(t5)
(t12)
(t10)
2a
DTR
DSR
TxD
RxD
CEN
(t11)
(t7)
2b
2c
DTR
DSR

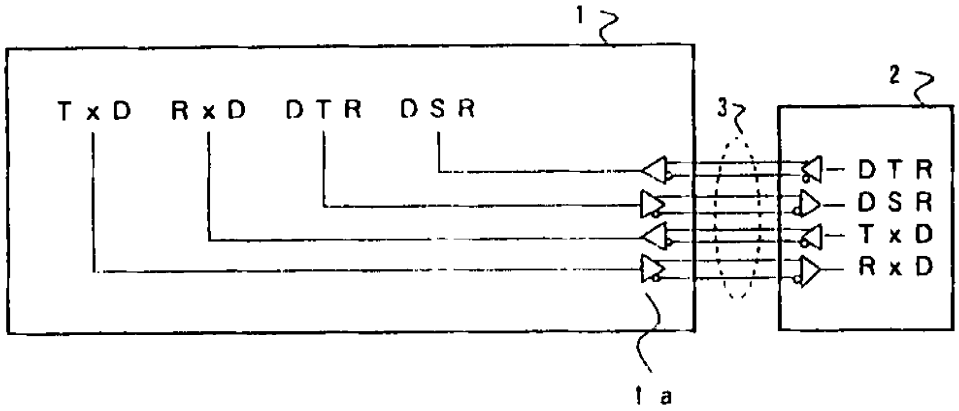
도면5


프로그램장치 22 ~ 2C
통 신 처 리
S1
D S R = "O N" ?
NO
S2
YES
D T R ← "O N"
S3
D S R = "O N" ?
NO
S6
n 회 리트라이 ?
NO
S4
YES
데이타 입력 / 출력
YES
S5
D T R ← "O F F"
종 료

도면6

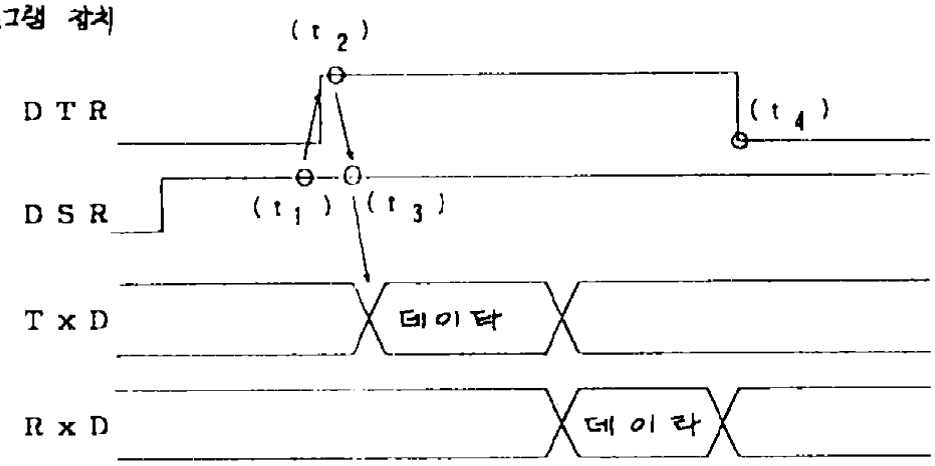

2
프로그램 장치
3
4
4
6
1
CPU 유닛
I/O 유닛
I/O 유닛
접속 유닛
5
기본부
확장부 OP1
확장부 OPN

도면7

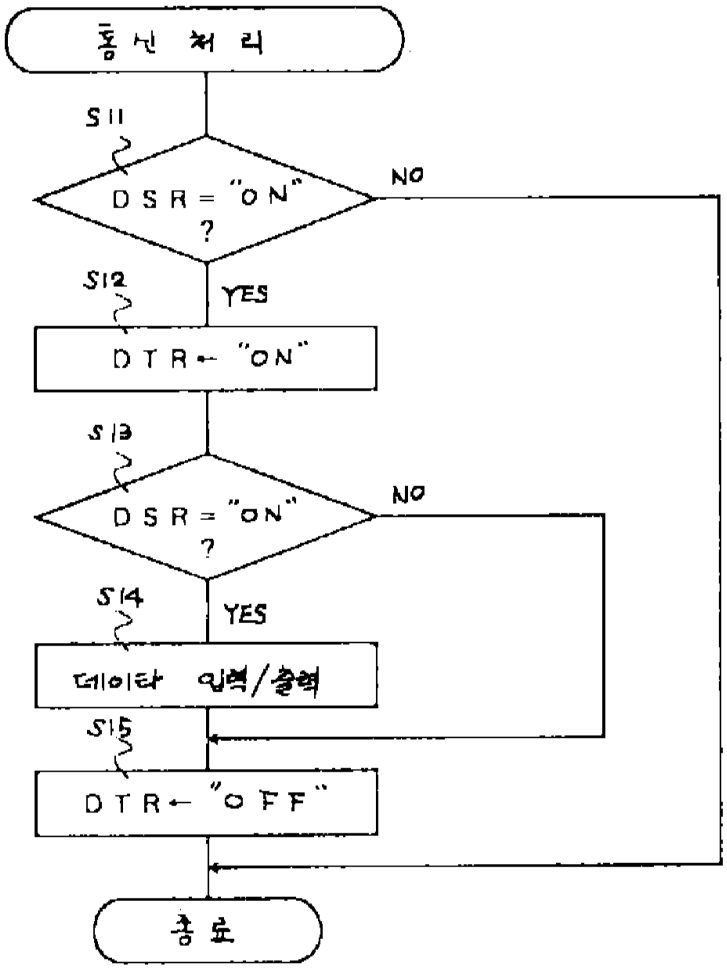

1
2
3
TxD
RxD
DTR
DSR
DTR
DSR
TxD
RxD
1a

도면8

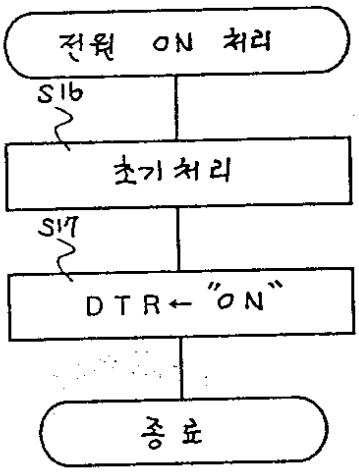
프로그램 장치



도면9



도면10



도면11

