

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4094370号
(P4094370)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月14日(2008.3.14)

(51) Int.Cl. F I
G06F 13/16 (2006.01) G O 6 F 13/16 5 1 O A
G06F 12/00 (2006.01) G O 6 F 12/00 5 5 O K

請求項の数 27 (全 31 頁)

(21) 出願番号	特願2002-222771 (P2002-222771)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成14年7月31日(2002.7.31)	(74) 代理人	100080816 弁理士 加藤 朝道
(65) 公開番号	特開2004-62725 (P2004-62725A)	(72) 発明者	船場 誠司 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
(43) 公開日	平成16年2月26日(2004.2.26)	(72) 発明者	西尾 洋二 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
審査請求日	平成16年4月19日(2004.4.19)	(72) 発明者	柴田 佳世子 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 メモリモジュール及びメモリシステム

(57) 【特許請求の範囲】

【請求項1】

表面及び裏面に、バスラインを共有する複数のメモリデバイスを有する基板を備え、前記バスラインは、第1のモジュール端子から、前記基板表面上を、前記第1のモジュール端子から離間して位置するピアホールまで延在され、前記ピアホールを介して第1のストリップラインの一端に接続され、

前記基板表面に搭載されたメモリデバイスの端子はピアホールを介して前記第1のストリップラインに接続され、

前記第1のストリップラインは一の方向に延在され、前記一端と反対側の他端が、折返し用のピアホールを介して、第2のストリップラインの一端に接続され、

前記第2のストリップラインは前記一の方向と逆の方向に延在されており、

前記基板裏面に搭載されたメモリデバイスの端子はピアホールを介して前記第2のストリップラインに接続され、

第2のモジュール端子に近接して基板裏面上に配設されている終端回路を備え、

前記終端回路はピアホールを介して、折り返された前記第2のストリップラインの他端に接続されている、ことを特徴とするメモリモジュール。

【請求項2】

前記バスラインの折り返し点付近に、前記バスラインを構成する前記ストリップラインを間に挟む電源とグランド層をパスコンで接続し、及び/又は、共通の電源層間又はグランド層間を短絡してなる、ことを特徴とする請求項1記載のメモリモジュール。

10

20

【請求項3】

表面及び裏面にバスラインを共有する複数のメモリデバイスを有する基板を備え、
前記バスラインは、第1のモジュール端子から、前記基板表面上を、前記第1のモジュール端子から離間して位置するビアホールまで延在され、第1のストリップラインの一端にビアホールを介して接続され、

前記第1のストリップラインは一の方向に延在され、前記一端と反対側の他端は、折返し用のビアホールを介して、第2のストリップラインの一端に接続され、

前記第2のストリップラインは前記一の方向と逆の方向に延在されており、

第2のモジュール端子に近接して基板裏面上に配設されている終端回路を備え、

前記終端回路は前記第2のストリップラインの他端にビアホールを介して接続されており、

10

表面及び裏面に互いに対応して実装されている2つのメモリデバイスのそれぞれに対して、第1のストリップライン又は第2のストリップラインの一点から、基板表面及び基板裏面側にそれぞれ延在されたビアホールを介して、前記2つのメモリデバイスの端子に接続されている、ことを特徴とするメモリモジュール。

【請求項4】

基板面上に配設されている複数の前記メモリデバイスに対して、前記第1のストリップラインと前記第2のストリップラインから交互に基板表面及び基板裏面側にそれぞれ延在されているビアホールを介して前記メモリデバイスの端子に接続されている、ことを特徴とする請求項3記載のメモリモジュール。

20

【請求項5】

表面及び裏面にバスラインを共有する複数のメモリデバイスを有する基板を備え、

前記バスラインは、第1のモジュール端子から、前記基板表面上を、前記第1のモジュール端子から離間して位置するビアホールまで延在され、前記ビアホールを介して第1のストリップラインの一端に接続され、前記第1のストリップラインの他端はビアホールを介して、基板表面の信号変換用のレジスタの入力端子に接続され、信号変換用のレジスタの出力端子は、ビアホールを介して、第2のストリップラインの一端に接続され、前記第2のストリップラインの他端は、折返し用の第3のビアホールを介して、第3のストリップラインの一端に接続され、

前記第3のストリップラインは前記第2のストリップラインと逆の方向に延在されており、

30

第2のモジュール端子に近接して基板裏面上に配設されている終端回路を備え、

前記終端回路はビアホールを介して前記第3のストリップラインの他端に接続されている、ことを特徴とするメモリモジュール。

【請求項6】

表面及び裏面に、バスラインを共有する複数のメモリデバイスを有するメモリモジュールの基板を、少なくとも2つの基板に分割して構成し、前記基板間が基板間接続手段で、相互に接続されており、

前記2つの基板のうち第1の基板は、マザーボードにコネクタを介して接続され、前記第1の基板において、前記バスラインはビアホールを介して第1のストリップラインの一端に接続され、前記第1の基板表面に搭載されたメモリデバイスの端子はビアホールを介して前記第1のストリップラインに接続され、前記第1のストリップラインの他端は、ビアホール、及び、前記基板間接続手段を介して、前記第2の基板に接続され、

40

前記第2の基板において、前記バスラインはビアホールを介して第2のストリップラインの一端に接続され、前記第2の基板表面に搭載されたメモリデバイスの端子はビアホールを介して前記第2のストリップラインに接続され、

前記第2のストリップラインの他端は、折返し用のビアホールを介して、第3のストリップラインの一端に接続され、前記第2の基板裏面に搭載されたメモリデバイスの端子はビアホールを介して前記第3のストリップラインに接続され、

前記第3のストリップラインの他端は、ビアホール、及び、前記基板間接続手段を介し

50

て前記第 1 の基板に接続され、

前記第 1 の基板において、前記バスラインはビアホールを介して第 4 のストリップラインの一端に接続され、前記第 1 の基板裏面に搭載されたメモリデバイスの端子はビアホールを介して前記第 4 のストリップラインに接続され、前記第 4 のストリップラインの他端はビアホールを介して基板上の終端回路に接続されている、ことを特徴とするメモリモジュール。

【請求項 7】

基板表面及び／又は裏面に複数のメモリデバイスを有し、

少なくとも 1 部が、前記基板内の電源層とグランド層間に埋設されるストリップラインを用いて配線されており、末端が、前記基板上に設けられた終端回路で終端されてなるバスラインを有するメモリモジュールを有し、

10

前記メモリモジュールに対して、コマンド／アドレス信号及びデータ信号の受け渡しを行うメモリコントローラを有するマザーボード上に、コネクタを介して、前記メモリモジュールが装着されており、

前記メモリモジュールは、1 本のデータ信号について、複数の前記メモリデバイスのデータ端子間を、前記ストリップラインを用いて、スタブレスに接続し、前記バスラインの実効的特性インピーダンスが、前記マザーボードの配線の特性インピーダンスと整合されてなる、メモリシステムであって、

複数のモジュール端子が設けられている前記基板の一侧から、前記基板の前記一侧と反対の他側に延在されるバスラインが、前記基板の一侧から他側にストリップラインで延在され、ストリップラインの前記他側の端部が、ビアホールを介して折り返されて終端装置に接続され、前記終端装置は、終端端子をなすモジュール端子に近接して配設されている、ことを特徴とするメモリシステム。

20

【請求項 8】

請求項 1 乃至 6 のいずれか一に記載の前記メモリモジュールを有し、

前記メモリモジュールの前記バスラインがデータ信号のバスラインを含み、

前記メモリモジュールの前記メモリデバイスに、コマンド／アドレス信号を与え、前記メモリデバイスとの間でデータ信号の転送を行うメモリコントローラと、

を備え、

前記メモリコントローラとスロット間のデータ配線をポイント・ツー・ポイント (Point to Point) 接続してなる、ことを特徴とするメモリシステム。

30

【請求項 9】

前記データ配線の前記メモリコントローラとスロット間の少なくとも 1 部を、ストリップラインで接続してなる、ことを特徴とする請求項 8 記載のメモリシステム。

【請求項 10】

前記データ配線間にシールドを有する、ことを特徴とする請求項 8 記載のメモリシステム。

【請求項 11】

前記メモリコントローラと 2 つのスロット間を、T 分岐 (T-branch) 接続してなる、少なくとも 1 つの信号配線を含む、ことを特徴とする請求項 8 記載のメモリシステム。

40

【請求項 12】

前記信号配線が、コマンド／アドレス信号である、ことを特徴とする請求項 8 記載のメモリシステム。

【請求項 13】

前記データ配線が、前記メモリコントローラ側と、前記メモリモジュール側の両側で終端されてなる、ことを特徴とする請求項 8 記載のメモリシステム。

【請求項 14】

1 つのチャンネルを複数のスロットに分割してなる、ことを特徴とする請求項 8 記載のメモリシステム。

【請求項 15】

50

前記メモリモジュールが、基板上に終端回路を内蔵するメモリデバイスを備え、前記基板表面と前記基板裏面に、前記基板を間に挟んで、相対して配置される2つのメモリデバイスが前記バスラインに共通に接続され、前記2つのデバイスのうち、アクセスもしくはドライブされない方のメモリデバイスで前記バスラインを終端する、ことを特徴とする請求項8記載のメモリシステム。

【請求項16】

基準電圧(V_{ref})を、前記メモリコントローラと、終端しているメモリデバイスを用いて生成する構成とされている、ことを特徴とする請求項8記載のメモリシステム。

【請求項17】

前記メモリモジュールが、前記メモリコントローラが取り付けられたマザーボードに、前記コネクタを介して接続され、

10

前記コネクタが、前記メモリモジュールを、前記マザーボード表面に平行な方向で挿入する構成のバタフライ型コネクタよりなる、ことを特徴とする請求項8記載のメモリシステム。

【請求項18】

前記メモリモジュールが、前記メモリコントローラが取り付けられたマザーボードに前記コネクタを介して接続され、

前記メモリモジュール及び/又は前記コネクタが、冷却手段を備えている、ことを特徴とする請求項8記載のメモリシステム。

【請求項19】

20

前記メモリコントローラが、基準電圧を生成する論理閾値電圧出力回路を備え、

前記論理閾値電圧出力回路から出力される前記基準電圧は、基準電圧配線にて、前記メモリモジュールに接続され、

前記メモリモジュールにおいて、前記バスライン末端の終端回路を内蔵するメモリデバイスのオンチップターミネータが前記基準電圧配線に接続されており、

前記バスラインに接続されているメモリデバイスの基準電圧端子は前記基準電圧配線に接続されており、

前記論理閾値電圧出力回路は、出力回路のプッシュプル型ドライバ回路と同一構成のプッシュプル型ドライバ回路を有し、前記プッシュプル型ドライバ回路の入力端子と出力端子を接続してなる、ことを特徴とする請求項8記載のメモリシステム。

30

【請求項20】

前記メモリコントローラが、基準電圧を生成する論理閾値電圧出力回路を備え、

前記論理閾値電圧出力回路から出力される前記基準電圧は、基準電圧配線にて、前記メモリモジュールに接続され、

前記メモリモジュールにおいて、前記バスライン末端の終端回路を内蔵するメモリデバイスのオンチップターミネータが前記基準電圧配線に接続されており、

前記バスラインに接続されているメモリデバイスの基準電圧端子は前記基準電圧配線に接続されており、

前記メモリコントローラが、オープンドレイン型のドライバを備えた出力回路を有し、

前記オープンドレイン型のドライバのゲート端子は、内部信号を受け取りレベル変換を行うレベル変換回路の出力端子に接続され、

40

前記論理閾値電圧出力回路は、前記出力回路と同一構成とされ、入力端子と出力端子を接続した前記レベル変換回路を備え、

前記レベル変換回路の出力が、前記基準電圧出力用のオープンドレイン型のドライバのゲート端子に接続されている、ことを特徴とする請求項8記載のメモリシステム。

【請求項21】

マザーボード上に、前記バスラインに接続され、信号変換を行うレジスタを備えている、ことを特徴とする請求項8記載のメモリシステム。

【請求項22】

前記メモリデバイス、及び/又は、前記メモリモジュールに搭載され前記バスラインに

50

接続されるレジスタが、前記バスラインの少なくとも一つの双方向信号に対して双方向の入出力端子を有するかわりに、入力端子と出力端子とを有し、

前記バスラインには、前記メモリデバイス及び又は前記レジスタの前記入力端子と前記出力端子とにそれぞれ接続される一方向性入力信号配線と出力信号配線とが設けられ、

マザーボード上の前記メモリコントローラが、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子の信号に対応して、出力端子と入力端子を有し、

前記メモリコントローラの前記出力端子と前記入力端子と、前記メモリデバイス、及び/又は前記レジスタの前記入力端子と前記出力端子とが、それぞれ、一方向性の配線で、ポイント・ツー・ポイント(Point to Point)接続されている、ことを特徴とする請求項 8 記載のメモリシステム。

10

【請求項 2 3】

前記メモリデバイス、及び/又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも一つの双方向信号に対して1つの入出力端子を設ける構成をとらず、入力端子と出力端子とを別々に有し、

前記バスラインには、前記メモリデバイス及び又は前記レジスタの前記入力端子と前記出力端子とにそれぞれ接続される一方向性入力信号配線と出力信号配線とが設けられ、

マザーボード上の前記メモリコントローラが、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子の信号に対応して、出力端子と入力端子を有し、

前記メモリコントローラと、複数の前記メモリモジュールの-slot間で、一方向性入力信号配線と出力信号配線とにより、デジチェーン接続されている、ことを特徴とする請求項 8 記載のメモリシステム。

20

【請求項 2 4】

前記メモリデバイス、及び/又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも一つの双方向信号に対して1つの入出力端子を設ける構成をとらず、入力端子と出力端子とを別々に有し、

前記バスラインには、前記メモリデバイス及び又は前記レジスタの前記入力端子と前記出力端子とにそれぞれ接続される一方向性入力信号配線と出力信号配線とが設けられ、

マザーボード上の前記メモリコントローラが、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子の信号に対応して、出力端子と入力端子を有し、

前記メモリコントローラの前記出力端子又は前記入力端子と、始端の前記メモリモジュールに搭載されたメモリデバイス及び/又は前記レジスタの前記入力端子又は前記出力端子とが、それぞれ、一方向性の配線で接続され、

30

前記メモリモジュール間では、一の-slotの前記メモリデバイス及び/又は前記レジスタの出力端子及び入力端子がコネクタと一方向性の配線で、隣りの-slotの前記メモリデバイス及び/又は前記レジスタの入力端子及び出力端子とにそれぞれ接続され、

末端の-slotの前記メモリデバイス及び/又は前記レジスタの出力端子又は入力端子は、前記マザーボードの一方向性の配線を介して前記メモリコントローラの前記入力端子又は前記出力端子に接続される、ことを特徴とする請求項 8 記載のメモリシステム。

【請求項 2 5】

前記メモリデバイス、及び/又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、コネクタを介して接続されるマザーボード上の前記メモリコントローラとの間で、前記バスラインの少なくとも1つ信号の伝送を、差動で行う、ことを特徴とする請求項 8 記載のメモリシステム。

40

【請求項 2 6】

前記バスラインにおいて、前記信号を差動で伝送する複数の配線対のうち、少なくとも1組の配線対が、前記メモリコントローラから前記コネクタまでは、互いに相補の第1、第2の配線の順で配設されており、

前記コネクタから前記メモリモジュール内では、前記配線対の第1、第2の配線の配置が交換され、前記第2、第1の配線の順で、配設されている、ことを特徴とする請求項 2 5 記載のメモリシステム。

50

【請求項 27】

複数組の配線対について、前記メモリコントローラと前記コネクタ間と、前記コネクタから前記メモリモジュール内とで、相補信号対の相互の配置が交換されている第1の配線対と、

前記メモリコントローラと前記コネクタ間と、前記コネクタから前記メモリモジュール内とで、相補信号対の相互の配置が交換されていない第2の配線対とが、交互に配置されている、ことを特徴とする請求項25記載のメモリシステム。

【発明の詳細な説明】

【0001】

【従来の技術】

本発明は、メモリシステム及びメモリモジュールに関する。

【0002】

【従来の技術】

図14(a)乃至図14(c)は、従来の高速メモリインタフェースの典型的な構成を示す図である。

【0003】

(1) Point to Point (ポイント・ツー・ポイント)型

図14(a)に示すように、メモリコントローラ1402と、メモリ1401(終端内蔵型DRAM)間を介して、ポイント・ツー・ポイント(Point to Point)接続したものである。モジュール基板1410において、DRAM(Dynamic Random Access Memory)1401は、基板1410の両面に配設され、基板1410表面のDRAM1401のDQ端子は、スルーホールで、裏面のDRAM1401のDQ端子に接続されている。DQ信号は、配線の末端の終端内蔵型DRAM1401の終端回路で終端される。

【0004】

この構成は、高速信号伝送が可能である反面、メモリの配置場所が1点だけ(バス端)に制限されるので、メモリ容量が大きくできない、という問題点がある。

【0005】

(2) 従来型スタブレス型

図14(b)に示すように、メモリコントローラ1402とメモリ(DRAM)1401間を、コネクタ1404を介してスタブレス(stubless)(信号伝送上、分布定数線路とみなせる長い配線による分岐がない)接続したものである。

【0006】

図14(b)の構成には、マザーボード1406上に、コネクタ1404があるため、メモリの増設が可能である。図14(b)では、3スロット設けられており、配線は、マザーボード1406上の終端抵抗1405で終端される。

【0007】

図14(b)に示す構成では、信号がコネクタ1404を通過する回数が、スロット数の2倍となり、信号悪化が増大する。したがって、大容量メモリを搭載するために、スロット数を増やすと、信号波形の悪化が大きくなる、という問題がある。

【0008】

(3) 直付けスタブレス型

図14(c)に示すように、メモリ1401をマザーボード1407上に直付けし、メモリコントローラ1402とメモリ1401間をコネクタを介さずにスタブレス接続したものである。

【0009】

図14(c)に示す構成では、高速信号伝送、大容量メモリの搭載が可能である。メモリ1401がマザーボード1407に直付けされているので、メモリ増設(メモリ容量の変更)ができないという問題がある。

【0010】

【発明が解決しようとする課題】

10

20

30

40

50

したがって、本発明は、上記問題点に鑑みて創案されたものであって、その主たる目的は、信号のコネクタ通過を最小限に抑え、メモリ増設等メモリ容量の変更を可能とし、高速信号伝送、大容量メモリ搭載を可能とするメモリモジュール及びメモリシステムを提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成する本発明に係るメモリモジュールは、バスラインを共有する複数のメモリデバイスを備え、前記バスラインは、複数のメモリデバイスの端子をスタブレス構造、すなわち一筆書き構造にて接続し、前記バスラインの端部が終端されてなるものである。

【0012】

本発明に係るメモリモジュールにおいて、前記バスラインの少なくとも一部が、ストリップラインで構成されている。

【0013】

本発明に係るメモリモジュールにおいて、前記バスラインは、マザーボードの特性インピーダンスに整合される。

【0014】

本発明に係るメモリモジュールにおいて、複数の前記メモリデバイスの少なくとも一つが、終端回路を内蔵したメモリデバイスよりなり、前記終端回路を内蔵したメモリデバイスが、前記バスライン端部の終端を行う構成とされる。

【0015】

本発明に係るメモリモジュールにおいて、モジュール基板表面及び裏面のメモリデバイスが、交互に前記ストリップラインにビアホール接続されている。

【0016】

本発明に係るメモリモジュールにおいて、前記バスラインの折り返し点付近に、前記バスラインを構成する前記ストリップラインを間に挟む電源 - グランド層間をバスコンで接続するか、もしくは、共通の電源 / グランド層間を短絡されている。

【0017】

本発明に係るメモリモジュールにおいて、スタブレスで接続される、前記複数メモリデバイスの信号端子は、バス上の1点で接続されている。

【0018】

本発明に係るメモリモジュールにおいて、前記バスラインに接続され、信号変換を行うレジスタを基板上に備えている。

【0019】

本発明に係るメモリモジュールにおいて、前記メモリデバイスが、パッケージ基板のピンと、メモリチップの間の配線として、ストリップラインを有する。

【0020】

本発明に係るメモリモジュールにおいて、前記メモリモジュールをマルチチップモジュールとして形成されている。

【0021】

本発明に係るメモリシステムにおいては、前記したメモリモジュールのバスラインがデータ信号のバスラインよりなり、前記メモリモジュールのメモリデバイスに、コマンド / アドレス信号を与え、メモリデバイスとの間でデータ信号の転送を行うメモリコントローラと、を備え、前記メモリコントローラとスロット間のデータ配線が、ポイント・ツー・ポイント (Point to Point) 接続されている。

【0022】

本発明に係るメモリシステムにおいては、前記データ配線のメモリコントローラとスロット間の少なくとも1部が、ストリップラインで接続されている。

【0023】

本発明に係るメモリシステムにおいては、前記データ配線間にシールドを有する。

【0024】

10

20

30

40

50

本発明に係るメモリシステムにおいては、前記メモリコントローラと、2つのスロット間の、コマンドアドレス信号配線が、T分岐(T-branch)接続されている。

【0025】

本発明に係るメモリシステムにおいては、前記データ配線が、前記メモリコントローラ側と、前記メモリモジュールの両側で終端されている。

【0026】

本発明に係るメモリシステムにおいては、1つのチャンネル(1つのDQ信号)が複数のスロットに分割されている。

【0027】

本発明に係るメモリシステムにおいては、前記メモリモジュールが、基板上に終端回路を内蔵するメモリデバイスを備え、2Rank(表裏デバイスでバスを共有)で集中負荷にしたものであり(メモリコントローラと前記メモリデバイス間が、ポイント・ツー・ポイント(Point to Point)型バスと等しくなる)、アクセスもしくはドライブされない方のメモリデバイスで終端する。

【0028】

本発明に係るメモリシステムにおいては、基準電圧(Vref)を前記メモリコントローラと、終端しているメモリデバイスで生成する構成とされている。

【0029】

本発明に係るメモリモジュールにおいては、前記メモリモジュール基板を、複数の基板に分割して構成し、複数の基板間同士をそれぞれ、例えばフレキシブルフィルム等の基板間接続手段で相互に接続する構成としてもよい。

【0030】

本発明に係るメモリモジュールにおいては、前記メモリデバイス、及び/又は前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、バスラインの少なくとも一つの双方向信号に対して双方向性の入出力端子を有する構成をとらず、入力端子と出力端子とを別々に有し、バスラインには、双方向性信号配線のかわりに、入力端子と出力端子とに接続される一方向性の入力信号配線と、出力信号配線がそれぞれ別々に設けられている。

【0031】

本発明に係るメモリシステムにおいては、前記メモリデバイス、及び/又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記コネクタを介して接続される前記マザーボード上の前記メモリコントローラとの間で、前記バスラインの少なくとも1つ信号の伝送を差動で行うようにしてもよい。

【0032】

【発明の実施の形態】

本発明の実施の形態について説明する。まず、本発明の原理を説明し、つづいて本発明の実施例について詳細に説明する。

【0033】

本発明者らは、1.2Gbps級高速メモリインタフェースのバス構成を鋭意検討し、本発明者らは、メモリモジュール上に直付けスタプレスを構築することによって、信号のコネクタ通過を最小限に抑え、メモリ増設(容量変更)、高速信号伝送、大容量メモリ搭載を可能とする全く新規な構成を創案した。

【0034】

本発明に係るバス構成においては、終端を持つ基板直付けのスタプレスメモリバスを、ストリップラインを用いて、メモリモジュール(図4の1)上に構築し、該メモリモジュール(1)を、メモリコントローラ(図4の2)を有するマザーボード(図4の3)上に、コネクタ(図4の4)を介して装着している。つまり、メモリモジュール(1)は、1本のデータ信号において、複数のメモリ(115)の端子間を、ストリップラインを用いて、スタプレス(一筆書き)接続し、末端を、メモリモジュール(1)上で終端する構成としたバスラインを有し、該バスラインの実効的特性インピーダンスを、マザーボード(3

10

20

30

40

50

)の配線の特性インピーダンスと整合させている。

【0035】

さらに、本発明に係るバス構成においては、基板の一辺に、モジュール端子群(111)を持ち、基板の別の辺の方向に延在されているバスラインが、リターン電流が分断されないように、折り返され、終端回路(120)が、モジュール端子(VTT)に近接して配設されている。

【0036】

すなわち、本発明の一実施の形態に係るメモリモジュール(1)は、モジュール基板の表面及び裏面に、バスラインを共有する複数のメモリデバイス(図1の115)を有し、バスラインは、第1のモジュール端子(図1の111)から、基板表面上を、第1のモジュール端子から離間して位置するピアホール(図1の113)まで延在されピアホールを介して第1のストリップライン(図1の112)の一端に接続され、基板表面に搭載されたメモリデバイス(図1の115)の端子はピアホールを介して第1のストリップライン(図1の112)に接続され、第1のストリップラインの他端が、折返し用のピアホール(図1の119)を介して、第2のストリップライン(112)の一端に接続され、第2のストリップライン(112)は一の方向と逆の方向に延在されており、基板裏面に搭載されたメモリデバイスの端子はピアホールを介してストリップラインに接続され、終端電圧端子(VTT)に近接して配設されている終端抵抗(図1の120)を備え、終端抵抗はピアホールを介して、折り返されたストリップラインの他端に接続されている。

【0037】

本発明に係るメモリモジュール折り返しのない構成も含む。すなわち、本発明の一実施の形態に係るメモリモジュール(1)は、表面及び裏面の少なくとも一方に、バスラインを共有する複数のメモリデバイスを有する基板を備え、前記基板において、バスラインはピアホール(113)を介してストリップライン(112)の一端に接続され、前記基板上の複数のメモリデバイスの端子は、それぞれピアホールを介して前記ストリップラインに接続され、前記ストリップラインの他端は、ピアホールを介して、基板表面又は基板裏面に設けられている、終端回路、又は終端回路を内蔵したメモリデバイス(図6の115)の端子に接続され、終端されている。

【0038】

また本発明においては、メモリコントローラ-コネクタ間のデータ信号配線を、ストリップラインによってポイント・ツー・ポイント(Point to Point)で接続し、コネクタには、メモリモジュールが装着されている。

【0039】

本発明において、メモリモジュールには、DDR(Double Data Rate)メモリが搭載され、さらに1チャンネル(64or72bit)が、複数スロットに分配されている。

【0040】

本発明において、メモリデバイス(又はレジスタ)が、バスラインの少なくとも一つの双方向信号に対して1つの入出力端子を設ける構成をとらず、入力端子と出力端子とを別々に有し(QDR(Quad Data Rate)メモリ等)、前記バスラインには、前記メモリデバイス(又はレジスタ)の入力端子と出力端子とにそれぞれ接続される一方向性の入力信号配線(図24の112A)と出力信号配線(図24の112B)とが設けられ、前記マザーボード(3)上のメモリコントローラ(2)が、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子とに対応して、入力端子と出力端子を有する構成としてもよい。この実施の形態では、メモリコントローラ(2)の出力端子と入力端子と、メモリデバイス(115)の入力端子と出力端子とが、それぞれ、例えば、一方向性の配線でポイント・ツー・ポイント(Point to Point)接続される。

【0041】

本発明の一実施の形態においては、メモリデバイス、及び/又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記コネクタを介して接続される前記マザーボード上の前記メモリコントローラとの間で、前記バスラインの少なくとも一つ

10

20

30

40

50

信号の伝送を差動で行うようにしてもよい（図 28 参照）。

【0042】

本発明の一実施の形態のメモリシステムにおいては、前記信号を差動で伝送する複数の配線対のうち、少なくとも 1 組の配線対が、前記メモリコントローラから前記コネクタまでは、互いに相補の第 1、第 2 の配線の順で配設されており、前記コネクタから前記メモリモジュール内では、配置が交換され、前記第 2、第 1 の配線の順で配設されており、相補信号対の配置が交換する組と、交換しない組とが交互に配置される構成としてもよい（図 29 参照）。以下、本発明の各実施例について、図面を参照して詳細に説明する。

【0043】

【実施例】

図 1 は、本発明の第 1 の実施例のメモリモジュールの構成の一例を示す図である。図 1 (A) は断面図、図 1 (B) は、上面図であり、1 本の DQ バスラインを示している。図 1 を参照すると、本実施例のメモリモジュールは、モジュール基板の表面及び裏面に、バスラインを共有する複数の DRAM 115 を有し、バスラインは、第 1 のモジュール端子 (DQ) 111 から、基板表面上を、第 1 のモジュール端子から離間して位置するビアホール 113 まで延在され該ビアホール 113 を介して第 1 のストリップライン 112 の一端に接続され、基板表面に搭載された DRAM 115 の信号端子はビアホールを介して第 1 のストリップライン 112 に接続され、第 1 のストリップラインは一方向に延在され、前記一端に反対側の他端が、折返し用のビアホール 119 を介して、裏面側の第 2 のストリップライン 112 の一端に接続され、第 2 のストリップライン 112 は一方向と逆の方向に延在されており、基板裏面に搭載された DRAM 115 の端子はビアホールを介して第 2 のストリップラインに接続され、終端電圧端子 (VTT) に近接して配設されている終端抵抗を基板裏面に備え、終端抵抗 120 はビアホールを介して、折り返された第 2 のストリップラインの他端に接続されている。

【0044】

1 本の配線は、メモリモジュール端子 111 からプリント基板 100 の表面に搭載された 4 つの DRAM 115 にスタブレス接続され、折曲部をなすビアホール 119 を介して折り返されて、さらに裏面に搭載された 4 つの DRAM 115 にスタブレス接続され、終端抵抗 120 を介して、終端電源 VTT に接続される。

【0045】

ここで、配線は、誘電体に埋設され、電源 VDD 又は GND 層に挟まれた、いわゆるストリップライン 112 で形成されており、DRAM 115 のピン 114 とはビアホール 113 を介して接続されている。

【0046】

この時、DQ バスラインの実効的特性インピーダンスを、マザーボード（図 4 の 3）の配線の特性インピーダンスと整合している。

【0047】

特性インピーダンスと整合は、2 つの DRAM 115 の間の配線の距離 E_p (電気的ピッチ) を、次式

$$E_p = Z_{MB}^2 C_{I/O} / (L_0 - Z_{MB}^2 C_0) \quad \dots (1)$$

で規定される値とすることで実現できる。

【0048】

上式 (1) において、

Z_{MB} はマザーボード配線の特性インピーダンス、

$C_{I/O}$ は DRAM の I/O 負荷容量 (n 個の DRAM の端子がバス上の 1 点で接続されている場合は n 倍する)、

L_0 は、メモリモジュール配線の単位長さ当たりのインダクタンス、

C_0 は、メモリモジュール配線の単位長さ当たりのキャパシタンス、

である。

【0049】

10

20

30

40

50

なお、ピアホール 113 は、一般的に十分小さく、スタブとはみなさない。

【0050】

図 2 は、本発明の第 1 の実施例のメモリモジュールの構成例を示す図である。メモリモジュールは、4bitI/OのDRAM、図示されないチップセットからDRAMへ供給されるコマンド/アドレス(Command Address)信号をラッチするコマンド/アドレスレジスタ(CAレジスタ)121、終端抵抗120、DQ信号、CA(Command Address)信号、クロック信号(CLK)信号から構成されている。DQ信号、及びクロック信号CLK、CLKBは、メモリモジュール端子から複数のDRAMの端子をスタブレスで接続されており、末端のDRAMのオンチップ・ターミネーション(内蔵終端抵抗)で終端されている。CLK、CLKB信号は、差動クロック信号である。

10

【0051】

CA信号(Command Address)は、メモリモジュール端子から、複数のCAレジスタ端子をスタブレスで接続されており、末端は、終端抵抗120で終端されている。

【0052】

そしてCAレジスタ121からDRAM115に対しても、スタブレスで接続され、末端の終端抵抗120で終端されている。またバスラインの折り返し点付近で、電源/GND層を流れるリターン電流が分断されないように、GND層を短絡し、電源-GND層間はパソコンで接続されている。

【0053】

図 3 (A) は、本発明の第 1 の実施例のメモリモジュールの外観を示す上面図であり図 3 (B) は、裏面の一部を示す図である。この例において、メモリモジュールの端子 111 からDRAM115に接続される配線は、端子111から延在されてピアホール113に至り、ピアホール113を経由して、メモリモジュールの基板内層に入り、DQ信号、CLK信号は、ストリップラインとして、配線される。

20

【0054】

図 4 は、本発明の第 1 の実施例のメモリシステムにおける、DQ信号及びCA信号の配線を示す図である。図 4 には、64bit DQ(1チャンネル)のシステムの例が示されており、2スロットで構成されている。DQ信号は、メモリコントローラ2から、両スロットまでは、各々32bitがコネクタ4を介して、ポイント・ツー・ポイント(Point to Point)接続されている。各スロットには、図 1 のメモリモジュール 1 が装着されている。

30

【0055】

この実施例では、マザーボード3において、メモリコントローラ2から、スロットまでは、メモリモジュール1の内層と同様、ストリップラインによる配線が用いられている。

【0056】

メモリコントローラ2は、オンチップターミネータを備え、メモリモジュール1上の終端120とともに、両側終端バスを形成している。

【0057】

なお、CA信号(Command/Address)は、メモリコントローラ2から両スロットへ共通した信号が接続される。図 4 (B) に示すように、CA配線は、メモリコントローラ2からコネクタ4付近まで特性インピーダンスZ0(例えば30)で配線され、両スロットへ、2xZ0(60)の配線で分岐する、いわゆる、T-branch構造で接続されている。このときメモリモジュール2のCA配線の実効的な特性インピーダンスも、2xZ0(60)となっており整合されている。

40

【0058】

図 5 は、図 4 に示した本発明によるメモリシステムの実施例における1スロット分のデータラッチの仕方を示す図である。

【0059】

まず、書きこみ(Write)時、メモリコントローラ2は、DQ信号及びクロック(CLK)信号をDRAM115に対して出力する。DQ信号は、ダブルデータレートで出力される。そして、DRAM115は、CLK信号に基づき、DQ信号をラッチする(DQ@W

50

rite : CLKでラッチ)。

【0060】

メモリコントローラ2が出力するCLK信号の位相は、DQ信号の位相から1/4周期遅らせている(center aligned)。センター・アラインド(center aligned)タイミング発生回路2Aでは、DQ信号はCLK信号よりも90度位相が進んでいる。センター・アラインド(center aligned)タイミング発生回路2Aは、等間隔位相(90度)が離間している信号を出力する電圧制御発振器(VCO)又はPLL回路よりなり、CLK信号はDQ信号のタイミングよりも90度遅れている。

【0061】

Read(読み出し)時、DRAM115は、DQ信号及びDQストロブ信号(DQS)をメモリコントローラ2に対して出力する。

10

【0062】

メモリコントローラ2は、DRAM115からのDQストロブ信号に基づき、DQ信号をラッチする(DQ@Read:DQSでラッチ)。DRAM115が出力するDQストロブ信号の位相は、DQ信号の位相から1/4周期遅らせている(center aligned)。

【0063】

CA信号に関して、メモリコントローラ2が、CA信号及びCACLK信号を、シングルデータレートで、CAレジスタ121に出力する。CAレジスタ121は、CACLK信号に基づき、CA信号をラッチする(CA@レジスタ:CACLKでラッチ)。

【0064】

20

メモリコントローラ2が出力するCACLK信号の位相は、CA信号の位相から、1/4周期遅らせている(center aligned)。

【0065】

CAレジスタ121は、内部CAバス線を介して、DRAM115に、CA信号を、シングルデータレートで出力する。

【0066】

DRAM115は、CLK信号をサンプリングクロックとしてCA信号をラッチする(CA@DRAM:CLKでラッチ)。

【0067】

本実施例のメモリモジュール1によれば、1本のデータバスラインにおいて、メモリ(2つ以上)115の端子間を、スタブレス(一筆書き)接続しているため、信号の反射が低減されるとともに、多数のメモリを接続することができる。

30

【0068】

また、本実施例のメモリモジュール1においては、バスラインをストリップライン112を用いて形成しているため、遠端クロストークを低減できる。

【0069】

本実施例のメモリモジュール1においては、メモリモジュール1のデータバスラインの実効的な特性インピーダンスをマザーボードの配線の特性インピーダンスと整合させているため、マザーボードとメモリモジュールの繋ぎ目での信号反射を低減することができる。

【0070】

40

本実施例のメモリモジュール1においては、データバスラインを折り返し、終端(抵抗)を、メモリモジュール端子近く、つまりコネクタ4の近くに配置しているため(図4参照)、終端における電源のインピーダンスが低くなり、グラウンド(GND)バウンスを防止できる。また終端抵抗120で発生する熱が、コネクタ4(図4参照)の金属部を通じてマザーボード3に逃げやすくなり、メモリモジュール1の温度上昇を抑えることができる。

【0071】

本実施例のメモリモジュール1においては、データバスラインの折り返し点付近で、リターン電流の経路を確保しているため、データバスラインの特性インピーダンスの局所的変動を抑えて信号反射を防ぎ、信号ノイズを低減することができる。

【0072】

50

また本実施例のメモリシステムによれば、マザーボード上のスロットにメモリモジュールが装着される構成とされており、メモリモジュールを交換することができる。

【0073】

本実施例のメモリシステムにおいては、メモリコントローラ2とスロット間のデータ配線を、ポイント・ツー・ポイント(Point to Point)接続し、スロットには、メモリモジュール1が取り付けられている。

【0074】

このため、信号のコネクタ4の通過を、1回とすることができる。その結果、コネクタ通過による信号波形の劣化を最小限に抑えることができる。

【0075】

本実施例のメモリシステムにおいては、メモリコントローラ2とスロット間のデータ配線を、ストリップラインで構成しているため、クロストークによるノイズを低減できる。

【0076】

さらに、本実施例のメモリシステムにおいては、データ配線は、メモリコントローラ2側のオンチップターミネーションとメモリモジュール側の終端回路120の両側終端になっているため、信号反射の増大を抑えることができる。

【0077】

本実施例のメモリシステムにおいては、1チャンネル(64もしくは72bit)を、複数のスロットに分割しているため、消費電力や熱を分散させることができる。またメモリモジュール上のデータバス配線が少なくできる。

【0078】

本実施例のメモリシステムにおいては、メモリコントローラ-C Aレジスタ間C A信号配線を、T分岐(T-branch)接続しており、2スロットでもC A配線を2重に配置させることなく、また信号反射を起こすことなく、C Aバスラインを実現できる。

【0079】

以上説明したように、本実施例によれば、コネクタに取付け可能なメモリモジュール上に耐ノイズ性に優れたスタブレスメモリシステムを構築しており、大容量メモリモジュールが実現できる。さらにメモリコントローラ-メモリモジュール間を耐ノイズ性に優れた、ポイント・ツー・ポイント(Point to Point)接続しているため、データ信号のコネクタ通過をただ1回にでき、波形を悪化させることなく高速信号伝送ができ、メモリ増設も可能となる。また、1チャンネルを複数スロットに分散するので消費電力や熱を分散させることができ、メモリモジュールの温度上昇を抑え、性能低下を抑えることができる。

【0080】

メモリモジュールについては、以下の利点を有する。

【0081】

信号反射が低減されノイズを防止できるので、高速信号伝送が可能となる。また多数のメモリを接続できるのでメモリの大容量化が可能となる。

【0082】

遠端クロストークを低減できノイズを防止できるので、高速信号伝送が可能となる。

【0083】

マザーボードとメモリモジュールの繋ぎ目での信号反射を低減でき、ノイズを防止できるので、高速信号伝送が可能となる。

【0084】

本実施例のメモリシステムについては、以下の利点を有する。

【0085】

メモリモジュール1の交換ができるので、メモリ増設(メモリ容量の変更)が可能となる。

【0086】

コネクタの信号が通過することによる信号波形の劣化を、最小限に抑えることができるので、高速信号伝送が可能となる。

【0087】

10

20

30

40

50

クロストークによるノイズを低減できるので、高速信号伝送が可能となる。

【0088】

信号反射の増大を抑えることができノイズを低減できるので、高速信号伝送が可能となる。

【0089】

複数のスロット(メモリモジュール)で消費電力や熱を分散させることができるので、メモリモジュールの温度上昇を抑えることができ、メモリモジュール上のメモリデバイスの性能劣化を抑えることができる。またメモリモジュール上のデータバスが少なくなるので、配線が短く引ける。

【0090】

信号反射を起こすことなく、CAバスラインを実現できるので、CA信号の高速信号伝送が可能となる。

【0091】

本発明により高速信号伝送、メモリの大容量化、メモリの増設が可能となる。

【0092】

次に、本発明の他の実施例について説明する。

【0093】

図6は、本発明の第2の実施例のメモリモジュールの構成を示す図である。図6(A)に示すように、終端内蔵型メモリ115を用いてマルチチップモジュール61で形成してもよい。

【0094】

表面及び裏面にデータバスラインを共有する複数のメモリデバイス115が搭載されているMCM(マルチチップモジュール)基板61を有し、バスラインは、ビアホール113を介してストリップラインの一端に接続され、基板表面及び基板裏面にそれぞれ搭載された複数のDRAM115の端子はビアホールを介して交互にストリップライン112に接続され、ストリップライン112の他端がビアホールを介して、終端回路を内蔵したDRAM115に接続されて、終端されている。

【0095】

かかる構成により、メモリモジュールの小型化を図ることができる。また、表裏のメモリデバイス(チップ)115を交互に配線してもよい。かかる構成によって、電気ピッチ E_p を小さくすることができ、信号反射をさらに低減することができる。

【0096】

オンチップターミネータは、図6(B)に示すように、I/Oピンに一端が接続された抵抗 R_{term} の他端と終端電圧 V_{term} との間に接続されたトランスファゲート63を備えている。トランスファゲート63は、入力信号をゲートに inputsするNMOSトランジスタと、入力信号をインバータ62で反転した信号をゲートに inputsするPMOSトランジスタとからなり、インバータ62への入力信号がHIGHレベルのとき、トランスファゲート63がオンし、終端抵抗 R_{term} は終端電圧 V_{term} に接続され、インバータ62への入力信号がLOWレベルのとき、トランスファゲート63がオフし、終端抵抗 R_{term} は終端電圧 V_{term} に接続されない。あるいは、オンチップターミネータは、一端が、I/Oピンに接続された終端抵抗の他端と正側電源電圧(V_{DDQ})との間に接続された第1のトランスファゲートと、一端が、I/Oピンに接続された終端抵抗の他端と負側電源電圧(V_{SSQ} 又は $GN D$)との間に接続された第2のトランスファゲートと、を備え、前記第1及び第2のトランスファゲートをオンすることで、前記バスラインの終端を行う、センタタップ終端型のオンチップターミネータとしてもよい。

【0097】

次に本発明のメモリモジュールの第3の実施例について説明する。図7に示すように、複数のメモリをマルチチップパッケージ70A、70Bで形成してもよい。マルチチップパッケージ70A、70Bは、図6のメモリモジュールの構成を有する。プリント基板701に接続されるマルチチップパッケージ70Aは、絶縁基板710に搭載されたDRAM

10

20

30

40

50

115を備え、ピン711でプリント基板701と接続し、プリント基板701のスルーホール(ビアホール)702を介して、裏面側のマルチチップパッケージ70Bのピンと接続される。マルチチップパッケージ70Bにおいて、ストリップラインは、ピン711で基板のパタンと接続し終端抵抗704に接続される。かかる構成により、大容量メモリモジュールを小型化でき、システムサイズ、特に、高さを抑えることができ、薄型化に貢献する。

【0098】

本発明のメモリモジュールの実施例において、図2に示すように、4ビットI/O(DQ×4)のメモリ115を用いた場合について説明する。多bit(8、16、32bit)I/Oに対して、デバイス搭載数を増やすことができ、高速動作時におけるチップ内の同時スイッチングノイズや、tSH(入力データの取り込みタイミング精度：サンプルホールド時間)の点からも有利である。

10

【0099】

本発明のメモリモジュールの第4の実施例について説明する。図16に示すように、スタブレスで複数デバイス(n個)のデータ端子をバス上の1点で接続してもよい(集中負荷)。

【0100】

DQ(データ信号)、DQS(データストロブ信号)、CLK信号は、ストリップライン112でポイント・ツー・ポイントで接続する。高速信号伝送を可能とし、遠端クロストークを低減する。この時、電気伝導率Epの計算において、上式(1)のCI/Oは、n倍となる。

20

【0101】

次に、本発明のメモリモジュールの第4の実施例について説明する。図16(A)を参照すると、この実施例のメモリモジュールにおいては、モジュール端子111からビアホール113までバスラインはプリント基板表面上を延在され、ビアホール113を介してストリップライン112の一端に接続され、ストリップライン112の他端がビアホールを介して基板裏面の終端抵抗120に接続され、表面及び裏面に互いに対応して実装されている2つのDRAM115のそれぞれに対して、ストリップライン112の一点から、表面及び裏面側に接続するためのビアホールを介してDRAM115のDQ端子に接続されている。

30

【0102】

また図16(B)を参照すると、モジュール端子(DQ)111からビアホール113まで前記バスラインは基板表面上を延在され、ビアホール113を介して1つのストリップライン112の一端に接続され、該ストリップライン112の他端が、折返し用のビアホール119を介して、他のストリップライン112の一端に接続され、他のストリップラインは前記一方向と逆の方向に延在されており、モジュール端子(VTT)111に近接して基板裏面上に配設されている終端抵抗120を備え、終端抵抗120は第2のビアホールを介して他のストリップライン112の他端に接続されており、表面及び裏面に互いに対応して実装されている2つのDRAM115のそれぞれに対して、ストリップライン112の一点から、表面及び裏面側に設けられたビアホールを介して、前記2つのDRAMのDQ端子に接続されている。基板面上に配設されている複数のDRAM115に対して、1つのストリップラインと他のストリップラインから交互に表面及び裏面側に設けられたビアホールを介して、2つのDRAM115のDQ端子に接続されている。

40

【0103】

次に、本発明のメモリモジュールの第5の実施例について説明する。図17に示すように、メモリモジュール上に、DQレジスタ122を備えた構成としてもよい。図17を参照すると、表面及び裏面にバスラインを共有する複数のDRAM115を実装する基板を有し、モジュール端子(DQ)111から離間した所定の位置のビアホールを介して第1のストリップライン112の一端に接続され、第1のストリップライン112の他端がビアホールを介して、基板表面の信号変換用のDQレジスタ122の入力端子に接続され、信

50

号変換用のDQレジスタ122の出力端子がビアホールを介して第2のストリップライン112の一端に接続され、ストリップライン112の他端は、折り返し用のビアホール119を介して他の層のストリップライン112の一端に接続され、他の層のストリップライン112で折り返され、モジュール端子に近接して基板裏面上に配設されている終端抵抗120を備え、終端抵抗120はビアホールを介してストリップライン112の他端に接続されている。

【0104】

かかる構成により、メモリコントローラとDRAM115の信号電圧や論理の変換が可能になる。

【0105】

さらに、DQ端子と、DRAM115との間に特性インピーダンス整合用の直列抵抗を挿入してもよい。これにより、メモリモジュール配線の設計自由度が向上し、配線の冗長化や煩雑化を回避できる。

【0106】

またデータバスを差動形式(differential mode)にしてもよい。この場合、レシーバ回路等において論理閾値電圧基準Vrefが不要となりVrefばらつきによるタイミングばらつきがなくなり、タイミングバジェットに余裕が生まれ、さらなる高速信号伝送が可能となる。

【0107】

次に、本発明における配線の実施例について説明する。図11(A)のように、マザーボード配線のストリップラインで信号配線1102の間に、シールド配線1103を設ける。これにより、クロストークを低減できる。電源/GND層間の誘電体層1104に埋設されている隣接するストリップライン信号配線1102間にシールド配線1103が、ストリップライン信号配線1102に並行に設けられている。図11(B)は、DIMM(Dual In-line Memory Module)のストリップライン配線の一例を示す図である。

【0108】

次に、本発明のメモリシステムの第2の実施例について説明する。図8に示すように、コネクタの両側面に端子を持ち、メモリモジュール1を水平に挿入するタイプのコネクタであるバタフライ型コネクタ4Bを用いてもよい。これにより大容量メモリモジュールを用いてもメモリシステムの高さの増大を防ぐことができる。

【0109】

次に、本発明のメモリシステムにおけるデータラッチの実施例(ラーニングスキームによるDQ Read)について説明する。図9に示すように、メモリコントローラ2に、スロット毎に対応するリード(Read)データラッチタイミング学習兼発生回路22を備えている。この実施例では、リード(Read)データラッチタイミング学習兼発生回路22を備えたことにより、DQストロブを用いなくても、メモリモジュールの出力回路11から出力されるリード(Read)データをラッチすることができる。

【0110】

図10に示すように、本実施例のメモリシステムにおいては、1スロット構成であっても良い。

【0111】

次に、本発明のメモリシステムの第4の実施例について説明する。図15に示すように、集中負荷2Rank-2Slotの場合は、Point to Pointと同様の構成となる。この時、メモリモジュールの表裏にある2つのデバイス(DRAM)115のうち、アクセスもしくはドライブしない方のデバイス115Aで終端すると良い。また配線長が等しくなるように、スロットとスロットの中間から縁を引き出す構成としている。2RANK-2SLOT相当では、ポイント・ツー・ポイント(Point to Point)と同じである。

【0112】

次に、本発明のメモリシステムの第5の実施例について説明する。図18に示すように、マザーボード3上に、DQレジスタ191を搭載してもよい。これによってメモリコント

10

20

30

40

50

ローラ 2 とメモリ 1 1 5 の信号電圧や論理の変換が可能となる。

【 0 1 1 3 】

次に、本発明のメモリシステムの第 6 の実施例について説明する。図 1 9 に示すように、本発明のメモリモジュールをスター接続してもよい。D Q (データ信号)、D Q S (D Q ストローブ信号)、C L K (クロック信号) がスター接続される。この接続形態は、スタブレス接続ではないが、別の使用方法として適用される。スター接続では、どの線からみても、インピーダンスが整合している。

【 0 1 1 4 】

n 分岐のスター接続では、メモリモジュールの実効インピーダンスは、

$$Z_0 = n R_s / (n-1)$$

マザーボードのインピーダンスは、

$$Z_0 = (2n-1) R_s / n(n-1)$$

となる。

【 0 1 1 5 】

次に、本発明におけるメモリコントローラ 2 のドライバと、基準電圧 V r e f の生成について説明する。図 1 2 に示すように、メモリモジュール 1 上でバスライン末端の終端内蔵型メモリ 1 1 5 を用いて、Vref (論理閾値電圧基準) を発生させてもよい。この実施例では、メモリコントローラ 2 に、論理閾値電圧出力回路 2 3 を備えている。

【 0 1 1 6 】

この実施例では、ドライバ(出力回路) 2 1 は、プッシュプル回路であるため、論理閾値電圧出力回路 2 3 は、ドライバと同じ回路構成よりなり、入力端子と出力端子を短絡させた回路で実現可能である。メモリコントローラ 2 の論理閾値電圧出力回路 2 3 が Vref 配線に接続されている。なお、プッシュプル回路は、電源 / GND 間に接続され、ゲート同士が接続されて入力端子に接続され、ドレイン同士が接続されて出力端子 (D Q 端子) に接続される P M O S トランジスタ P M 1 と N M O S トランジスタ N M 1 からなる。

【 0 1 1 7 】

バスライン末端の終端内蔵型メモリ 1 1 5 A のオンチップターミネータが Vref 配線に接続されている。バスラインに接続されているメモリ 1 1 5 の Vref 端子は Vref 配線に接続されている。

【 0 1 1 8 】

この実施例において、ノイズの観点から、Vref 配線のチップ近くに、バスコン 1 1 6 を配置すると良い。かかる構成によって、デバイスの製造ばらつきによる論理閾値電圧に整合した Vref を供給でき、信号のラッチタイミングばらつきを小さくできる。

【 0 1 1 9 】

本発明の実施例におけるメモリコントローラ 2 のドライバの他の構成について説明する。図 1 3 (A) に示すように、メモリコントローラ 2 における D Q 信号の出力回路として、オープンドレイン型のドライバを用いてもよい。ドライバ最終段のトランジスタ 1 3 3 においては、ゲート電圧 V G を、0V から V D D Q まで変化させても、駆動電流 I D が流れるのは、ゲート電圧 V G が、図 1 3 (D) の V_{in for 'H'} 程度の電圧から V D D Q の間である。

【 0 1 2 0 】

信号出力時において、V G を 0 V ~ V D D Q の電圧レンジで制御すると、信号のデューティ比が等しくならなく ('H' 側の時間が長く、'L' の時間が短くなる) になってしまう。そこでドライバ最終段 1 3 3 と前段論理回路 1 3 1 の間に前段論理回路の出力電圧レンジを、V_{in for 'H'} から V D D Q の間に変換するレベル変換回路 1 3 2 が設けられている。これによってデューティ比の等しい信号が得られ、タイミングバジェットに余裕が生まれ、高速信号伝送が可能となる。レベル変換回路 1 3 2 は、電源 V D D にソースが接続された P M O S トランジスタ P M 1 1 と、ドレインが P M O S トランジスタ P M 1 1 のドレインに接続された N M O S トランジスタ N M 1 1 と、N M O S トランジスタ N M 1 1 のソースにドレインとゲートが接続され (ダイオード接続されている)、ソースが G N D に接続された

10

20

30

40

50

NMOSトランジスタNM12とを有し、PMOSトランジスタPM11とNMOSトランジスタNM11のゲート同士が接続されて前段論理回路131の出力端子に接続され、PMOSトランジスタPM11とNMOSトランジスタNM11のドレイン同士が接続されて、オープンドレインドライバ135のゲートに接続されている。

【0121】

なお、オープンドレインドライバ構成の論理閾値電圧出力回路23は、レベル変換回路134とドライバ最終段135において、レベル変換回路134の入出力を短絡した回路で得られる。レベル変換回路134は、レベル変換回路132と同一構成とされている。

【0122】

次に、本発明のメモリシステムの第7の実施例について説明する。図20に示すように、マザーボード3の配線において、バスラインの部分だけ部分的に、ストリップラインで配線するようにしてもよい。かかる構成により、少ない層数(図20では4層)でメモリシステムを構築できる。

10

【0123】

次に、本発明のメモリシステムの第7の実施例について説明する。図21(A)に示すように、熱対策としてメモリモジュール1にヒートスプレッダ123を取りつけても良い。またヒートパイプを具備したコネクタ4Aを用いてもよい。これによりメモリモジュール1の高温化を防止し、メモリシステムの性能低下を回避できる。コネクタ4Aは、図21(B)に示すように、コネクタ401の両サイドにヒートパイプ402を配設し冷却液で冷却するものである。

20

【0124】

次に、本発明のメモリシステムの第8の実施例について説明する。図22に示すように、メモリやメモリコントローラ等のパッケージにおいて、配線を、ストリップラインで形成する。これによりクロストークが低減できる。DRAMチップ(ペレット)2215のパッド2215は、裏面にピン2218(半田ボール)を有する基板2210の表面に接続され、パッド2214は、ビアホール2213を介してストリップライン2212に接続し、ストリップライン2212は対応するピン2218にビアホール接続されている。パッケージ配線をストリップラインで構成しており、(遠端)クロストークを防止することができる。

30

【0125】

次に、本発明のメモリモジュールの第6の実施例について説明する。図23を参照すると、本実施例のメモリモジュールにおいては、モジュール基板を100Aと100Bの2つに分割し、これらの基板間をフレキシブルフィルム130で接続している。本実施例のメモリモジュールにおいては、モジュール基板100A、100Bは、それぞれ表面及び裏面に、バスラインを共有するDRAM115を有し、バスラインは、第1のモジュール端子(例えばDQ)111から、基板表面上を、第1のモジュール端子111から離間して位置するビアホール113まで延在され該ビアホール113を介してストリップライン112Aの一端に接続され、基板表面に搭載されたDRAM115の信号端子はビアホールを介してストリップライン112Aに接続され、該ストリップライン112Aの端部がビアホールを介して基板表面のパッドからフレキシブルフィルム130に接続されている。モジュール基板100Aではビアホール113を介してストリップライン112Bの一端に接続され、基板表面に搭載されたDRAM115の信号端子はビアホールを介してストリップライン112Bに接続され、該ストリップライン112Bは一の方向に延在され、該一端に反対側の他端が、折返し用のビアホール119を介して、裏面側のストリップライン112Cの一端に接続され、基板裏面に搭載されたDRAM115の端子はビアホールを介してストリップラインCに接続され、該ストリップライン112Cの端部がビアホールを介して基板表面のパッドでフレキシブルフィルム130に接続されている。モジュール基板100Bでは、フレキシブルフィルム130にパッドが接続され、ビアホール113を介してストリップライン112Dの一端に接続され、基板裏面に搭載されたDRAM115の信号端子はビアホールを介してストリップライン112Dに接続され、該スト

40

50

リップライン 112D は一の方向に延在され、該一端に反対側の他端がビアホールを介して終端抵抗 120 の一端に接続され、終端抵抗の他端は、モジュール端子 (VTT) 111 に接続されている。

【0126】

かかる構成の本実施例によれば、図 1 の第 1 の実施例と比べて、メモリモジュールの高さを低減し、薄型化に貢献する。

【0127】

次に、本発明のメモリモジュールの第 7 の実施例について説明する。図 1 に示した前記第 1 の実施例のメモリモジュールでは、DRAM 115 は、信号入力と信号出力を 1 つの入出力端子 (例えば DQ 端子) で行っている。これに対して、本実施例のメモリモジュールにおいては、図 24 を参照すると、DRAM デバイス 115 において、DRAM コア 115-1 は、その入力端子と出力端子が独立とされており (I/O セパレート方式)、信号配線は双方向ではなく、一方向性の入力信号配線と出力信号配線に分離独立されている。すなわち、DRAM 115 の入力回路 115-3 は、入力端子が、ビアホール 113A、ストリップライン 112A を介してモジュール端子 111A に接続されており、出力端子が DRAM コア 115-1 の入力に接続される。DRAM コア 115-1 の出力回路 115-2 は、入力端子が、DRAM コア 115-1 の出力に接続され、出力端子が、ビアホール 113B、ストリップライン 112B を介してモジュール端子 111B に接続されている。DRAM コア 115-1 は、その入力端子と出力端子は、データ信号入力端子 (Din) とデータ信号出力端子 (Dout) とされる。前記した実施例のメモリモジュールでは、DRAM のデータ信号端子として双方向の入出力端子 (DQ 端子) が用いられており、データバスも双方向のバスが用いられている。これに対して、本実施例では、I/O 分離構成により、入力負荷容量が小さくなり、高速のデータ転送レートを実現可能としている。メモリモジュール 1 に搭載され、信号変換、論理変換を行うレジスタの入力回路と出力回路とモジュール端子間の配線に、かかる構成を適用してもよいことは勿論である。また、メモリモジュール上での DRAM とレジスタ (例えば DQ レジスタ 191) 間を、入力信号配線と出力信号配線に分離して信号伝送を行うようにしてもよいことは勿論である。

【0128】

次に、本発明のメモリシステムの第 10 の実施例について説明する。図 25 を参照すると、この実施例のメモリシステムは、メモリモジュール 1 として、図 24 を参照して説明した、本発明の第 6 の実施例に係る、I/O セパレート方式のメモリモジュールを備え、メモリコントローラ 2 と DRAM 115 間で、入力信号配線、出力信号配線がそれぞれ別々に、ポイント・ツー・ポイント (Point to Point) 接続されている。DRAM 115 が、バスラインのある信号に対して双方向性の入出力端子を有する構成をとらず、入力端子と出力端子とを別々に有し、バスラインには、DRAM 115 の入力端子と出力端子とに接続される一方向性の入力信号配線と出力信号配線がそれぞれ別々に設けられている。同様に、マザーボード 3 上のメモリコントローラ 2 も、DRAM 115 の入力端子と出力端子とに対応して、出力端子と入力端子とを有しており、メモリコントローラ 2 の出力端子と入力端子と、DRAM 115 の入力端子と出力端子とが、それぞれ、一方向性の配線で、ポイント・ツー・ポイント (Point to Point) 接続されている。メモリモジュール 1 に搭載されバスラインに接続される DQ レジスタ等についても同様な構成としてもよいことは勿論である。

【0129】

次に、本発明のメモリシステムの第 11 の実施例について説明する。図 26 を参照すると、この実施例のメモリシステムは、メモリモジュール 1 として、図 24 を参照して説明した、本発明の第 6 の実施例に係る、I/O セパレート方式のメモリモジュールを備え、いわゆるダイチェーン接続で、メモリコントローラとスロット間の信号伝送を行う構成とされ、実装可能なスロット数を増加させている。すなわち、メモリモジュール 1 に搭載される DRAM 115 は前記第 6 の実施例と同様、入力端子 (入力ポート) と出力端子 (

10

20

30

40

50

出力ポート)を有し、バスラインには、入力端子と出力端子とに接続される一方向性の入力信号配線と出力信号配線がそれぞれ別々に設けられるI/Oセパレート方式とされる。マザーボード3上のメモリコントローラ2も、入力端子と出力端子とを有する。メモリコントローラ2の出力端子(又は入力端子)と、始端のメモリモジュールに搭載されたDRAM115の入力端子(又は出力端子)とが、それぞれ、一方向性の配線で接続されている。メモリモジュール間では、コネクタ4を介して、前段のDRAM115の出力が、後段のDRAM115の入力に方向性の配線で接続し、末端のDRAMの出力端子(又は入力端子)は、マザーボード3の一方向性の配線を介してメモリコントローラ2の入力端子(又は出力端子)に接続されている。

【0130】

メモリコントローラ2からの信号は、第1のロットのDRAM115の入力回路に伝達され、当該DRAM115の出力回路からの出力が、マザーボードの配線を介して、第2のロットに伝達され、第2のロットのDRAM115の入力回路に入力され、このようにして、信号は隣りのロットに伝達され、最終段のロットの出力が、メモリコントローラ2の信号端子に接続されている。

【0131】

次に、本発明のメモリモジュールの第8の実施例について説明する。図27を参照すると、2Rank(表裏デバイスでバスを共有する)構成において、DRAM115の入力端子と出力端子を独立とし、モジュール端子111Aを信号入力端子とすると、モジュール端子111Bは信号出力端子とされ、入力信号配線と出力信号配線をなすストリップライン112A、112Bが別々に設けられており、ストリップライン112Aは、ビアホールを介して、表裏のデバイス(DRAM)115の入力端子(入力ポート)に接続され、ストリップライン112Bは、ビアホールを介して、表裏のデバイス(DRAM)115の出力端子(出力ポート)に接続されている。

【0132】

次に、本発明のメモリシステムの第12の実施例について説明する。図28を参照すると、この実施例のメモリシステムにおいては、メモリモジュール1に実装されるDRAM(図1等のDRAM115)又はレジスタ(CAレジスタ、DQレジスタ等)と、コネクタ4を介して接続されるメモリコントローラ2との間の配線を、差動配線で構成したものである。メモリコントローラ2の出力回路21Aは、信号を差動で出力する。信号伝送を差動で行うことで、レシーバ回路等において基準電圧が不要とされる。差動配線構成としたことで、例えば複数ビットの信号が同時に立ち上がり又は同時に立ち下るときに生じる同時スイッチングノイズの発生が回避され、ノイズ耐性が向上する。

【0133】

次に、本発明のメモリシステムの第13の実施例について説明する。図29を参照すると、この実施例のメモリシステムにおいては、メモリモジュール1に実装されるDRAM(図1等のDRAM115)又はレジスタ(CAレジスタ、DQレジスタ等)と、コネクタ4を介して接続されるメモリコントローラ2との間の配線を、差動配線で構成し、差動配線対の2組のうち1組について、相補信号の配線対の位置が、例えばマザーボード3からコネクタ4までの間と、コネクタ4からメモリモジュール1内とで交換されている(すなわち、ツイストさせている)。すなわち、コネクタ4において、マザーボード配線側のコネクタのピンP2、P3に対して、図29(B)に示すように、P3を配線(B)の延長線上に配置し、P2を配線(/B)の延長線上に配置し、(B、/B)から(/B、B)へと位置を交換させている。マザーボード3上の配線では、差動信号対の組は、(A、/A)、(B、/B)、(C、/C)、...(ただし、/Aは正転信号Aの反転信号(相補信号)を表し、A、/Aの相補信号対が差動信号対をなす)の配置で配線されているが、コネクタ4で(B、/B)が交換され、メモリモジュール1では、(A、/A)、(/B、B)、(C、/C)、...の組合せで配線されている。

【0134】

本実施例においては、かかるツイスト構成とすることで、マザーボード配線とメモリモジ

10

20

30

40

50

ジュール配線におけるクロストークノイズが逆位相となり、クロストークの影響（ノイズ）がキャンセルされ、ノイズの低減を図ることができる。

【0135】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、本願特許請求の範囲の請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0136】

【発明の効果】

以上説明したように、本発明は、下記記載の効果を奏する。

【0137】

本発明のメモリモジュールによれば、信号反射が低減されノイズを防止できる。このため、高速信号伝送が可能としている。また、多数のメモリを接続できる。このため、メモリの大容量化を可能としている。

【0138】

本発明のメモリモジュールによれば、遠端クロストークを低減できノイズを防止できる。このため、高速信号伝送を可能としている。

【0139】

本発明のメモリモジュールによれば、マザーボードとメモリモジュールの繋ぎ目（接続部）での信号反射を低減でき、ノイズを防止できる。このため、高速信号伝送が可能となる。

【0140】

本発明のメモリシステムによれば、メモリモジュールの交換が行え、メモリ増設（メモリ容量の変更）が可能となる。

【0141】

本発明のメモリシステムによれば、コネクタの信号が通過することによる信号波形の劣化を、最小限に抑えることができる。

【0142】

本発明のメモリシステムによれば、クロストークによるノイズを低減できる。このため、高速信号伝送を可能としている。

【0143】

本発明のメモリシステムによれば、信号反射の増大を抑えることができ、ノイズを低減できる。このため、高速信号伝送を可能としている。

【0144】

本発明のメモリシステムによれば、複数のスロット（メモリモジュール）で消費電力や熱を分散させることができる。このため、メモリモジュールの温度上昇を抑えることができるので、メモリモジュール上のメモリデバイスの性能劣化を抑えることができる。また、メモリモジュール上のデータバスが少なくなるため、配線長を短くすることができる。

【0145】

本発明のメモリシステムによれば、信号反射を起こす事なく、コマンド/アドレスバスラインを実現できる。このため、コマンド/アドレス（CA）信号の高速信号伝送が可能となる。

【0146】

また、本発明によればモジュール基板を複数に分割して構成したことで、高さを抑えることができ、薄型化に貢献する。

【0147】

また、本発明によれば、メモリモジュールに搭載されるデバイスの入出力を分離したことにより、入力容量負荷を低減し、さらなる高速動作を可能としている。

【0148】

さらに、本発明によれば、バスラインのうち所定の信号を差動で伝送することで、高速伝送、及びノイズ耐性の向上を図ることができる。

10

20

30

40

50

【 0 1 4 9 】

そして、本発明によれば、差動対配線の正転信号と反転信号の位置関係をマザーボード配線とメモリモジュール配線で交換する構成とした組と、交換しない組を隣接した配置することで、クロストークの影響を相殺しており、信号振幅の小さな高速信号伝送に適用して好適とされる。

【 0 1 5 0 】

以上の通り、本発明によれば、高速信号伝送、メモリの大容量化、メモリの増設が可能となる。

【図面の簡単な説明】

【図 1】(A)は、本発明のメモリモジュールの一実施例の構成を示す断面図、(B)は平面図である。 10

【図 2】本発明のメモリモジュールの一実施例の構成を示す図である。

【図 3】(A)は、本発明のメモリモジュールの一実施例の表面を示す図、(B)は裏面の一部を示す図である。

【図 4】(A)は、本発明のメモリシステムの一実施例の構成を示す図であり、(B)は T ブランチの部分拡大図である。

【図 5】本発明におけるメモリシステムの一実施例のデータラッチの構成(1 スロット分)を示す図である。

【図 6】本発明のメモリモジュールの第 2 の実施例の構成を示す図である。

【図 7】本発明のメモリモジュールの第 3 の実施例の構成を示す図である。 20

【図 8】(A)は、本発明のメモリシステムの第 2 の実施例の構成を示す図であり、(B)は、T ブランチの部分拡大図である。

【図 9】本発明におけるメモリシステムのデータラッチの第 2 の実施例の構成(ラーニングスキームによる DQ Read)を示す図である。

【図 10】本発明のメモリシステムの第 3 の実施例の構成を示す図である。

【図 11】本発明のメモリシステムにおける配線の構成を示す図である。

【図 12】本発明のメモリシステムにおけるドライバと基準電圧 V_{ref} 生成の構成の一実施例を示す図である。

【図 13】本発明のメモリシステムにおけるドライバの他の実施例の構成を示す図である。 30

【図 14】(a)は、ポイント・ツー・ポイント(Point to Point)接続、(b)は従来型スタブレス、(c)は直付けスタブレスの構成を示す図である。

【図 15】本発明のメモリシステムの第 4 の実施例の構成を示す図である。

【図 16】本発明のメモリモジュールの第 4 の実施例の構成を示す図である。

【図 17】本発明のメモリモジュールの第 5 の実施例の構成を示す図である。

【図 18】本発明のメモリシステムの第 5 の実施例の構成を示す図である。

【図 19】(A)は、本発明のメモリシステムの第 6 の実施例の構成を示す図であり、(B)は、n 分岐スター接続を説明する図である。

【図 20】本発明のメモリシステムの第 7 の実施例の構成を示す図である。

【図 21】本発明のメモリシステムの第 8 の実施例の構成を示す図である。 40

【図 22】本発明のメモリシステムの第 9 の実施例の構成を示す図であり、(A)は、D R A M パッケージ基板の構成を示す図であり、(B)は、メモリシステムの構成を示す図である。

【図 23】本発明のメモリモジュールの第 6 の実施例の構成を示す図である。

【図 24】本発明のメモリモジュールの第 7 の実施例の構成を示す図である。

【図 25】本発明のメモリシステムの第 10 の実施例の構成を示す図である。

【図 26】本発明のメモリシステムの第 11 の実施例の構成を示す図である。

【図 27】本発明のメモリモジュールの第 8 の実施例の構成を示す図である。

【図 28】本発明のメモリシステムの第 12 の実施例の構成を示す図である。

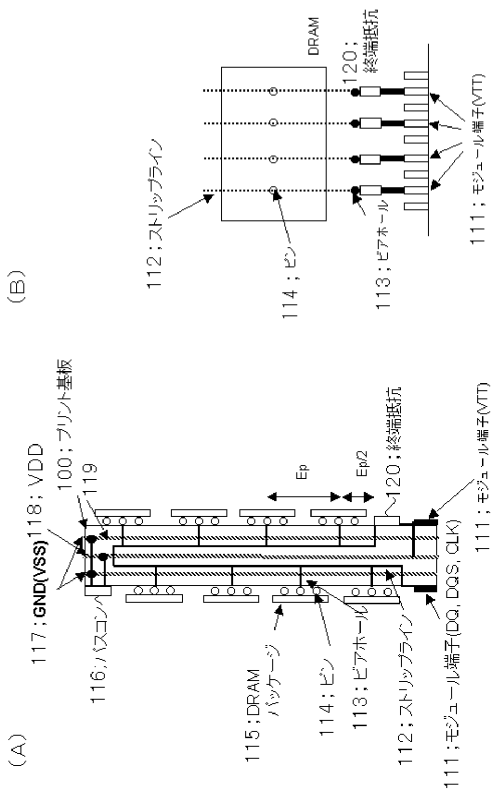
【図 29】本発明のメモリシステムの第 13 の実施例の構成を示す図である。 50

【符号の説明】

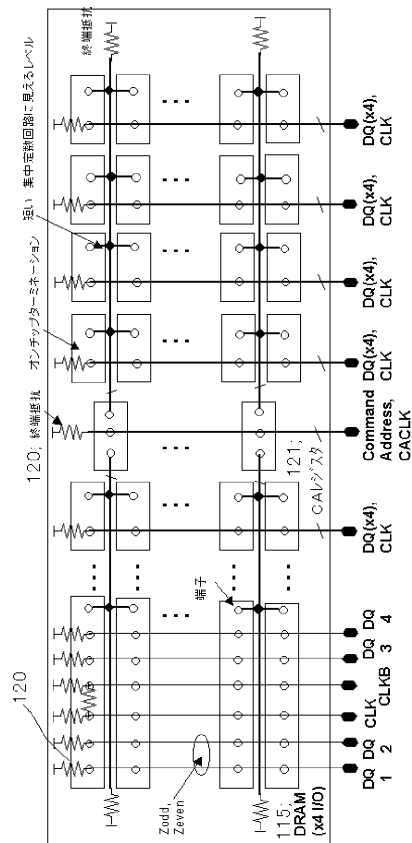
1	メモリモジュール	
2	メモリコントローラ	
3	マザーボード	
4	コネクタ	
1 1	出力回路	
2 1	入力回路	
2 2	タイミング学習発生回路	
2 3	論理閾値電圧出力回路	
6 1	M C M 基板	10
6 2	インバータ	
6 3	トランスファゲート	
7 0 A、7 0 B	マルチチップパッケージ	
1 0 0	プリント基板	
1 1 1	モジュール端子	
1 1 2	ストリップライン	
1 1 3	ビアホール	
1 1 4	ピン	
1 1 5	D R A M (パッケージ)	
1 1 5 - 1	D R A M コア	20
1 1 5 - 2	出力回路	
1 1 5 - 3	入力回路	
1 1 6	バスコン	
1 1 7	G N D	
1 1 8	V D D	
1 1 9	ビアホール (折り返し用)	
1 2 0	終端抵抗	
1 2 1	C A レジスタ	
1 2 2	D Q レジスタ	
1 2 3	ヒートスプレッド (放熱器 ; ヒートシンク)	30
1 3 0	フレキシブルフィルム	
1 3 1	前段論理回路	
1 3 2、1 3 4	レベル変換回路	
1 3 3、1 3 5	オープンドレインドライバ	
1 9 1	D Q レジスタ	
4 0 1	コネクタ	
4 0 2	ヒートパイプ	
7 0 1	プリント基板	
7 0 4	終端抵抗	
7 1 0	基板	40
7 1 1	ピン	
7 1 4	パッド	
7 1 5	D R A M チップ	
1 1 0 1	電源 / G N D	
1 1 0 2	D Q	
1 1 0 3	シールド	
1 4 0 1	D R A M	
1 4 0 2	メモリコントローラ	
1 4 0 3	コネクタ	
1 4 0 3	プリント基板	50

- 1 4 0 4 終端抵抗
- 1 4 0 6、1 4 0 7 マザーボード
- 2 2 1 0 基板
- 2 2 1 2 ストリップライン
- 2 2 1 3 ピアホール
- 2 2 1 4 パッド
- 2 2 1 5 DRAM
- 2 2 1 7 GND層
- 2 2 1 8 ピン(ボール)

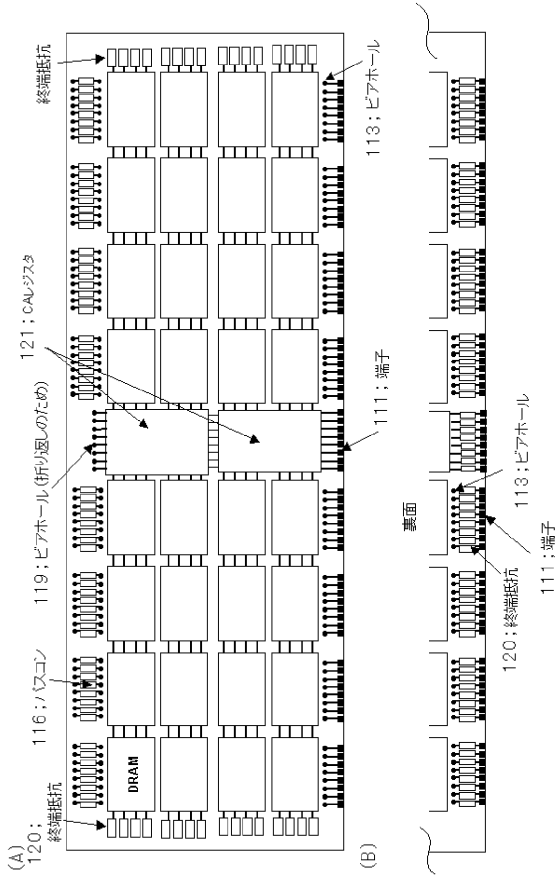
【図1】



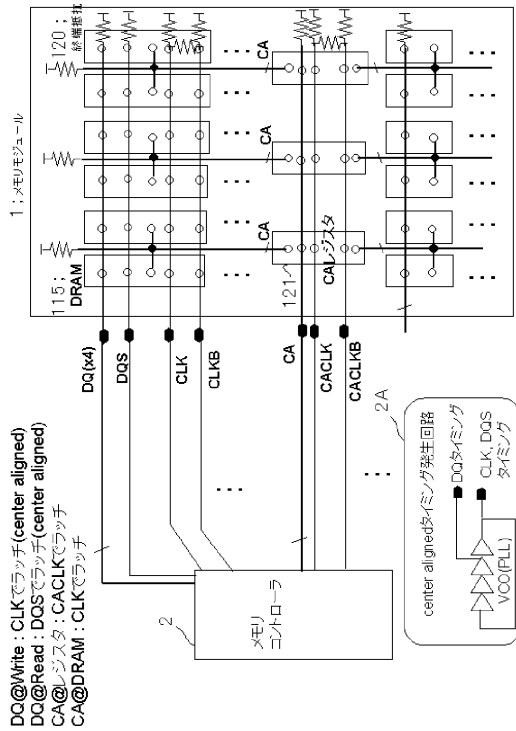
【図2】



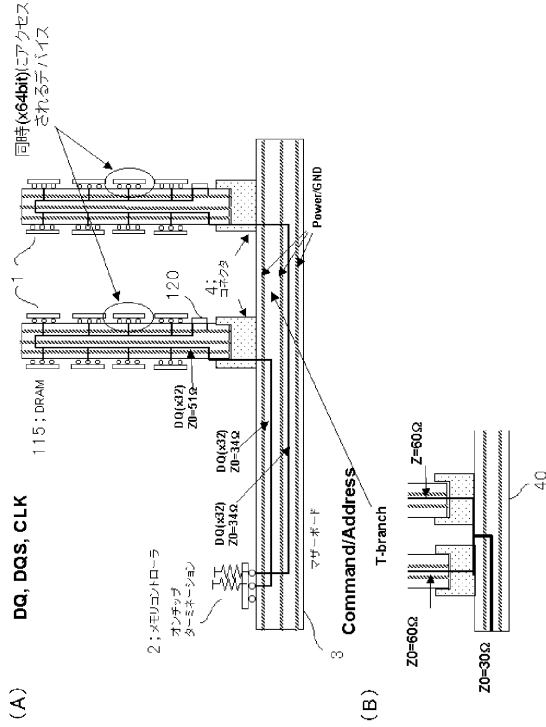
【図3】



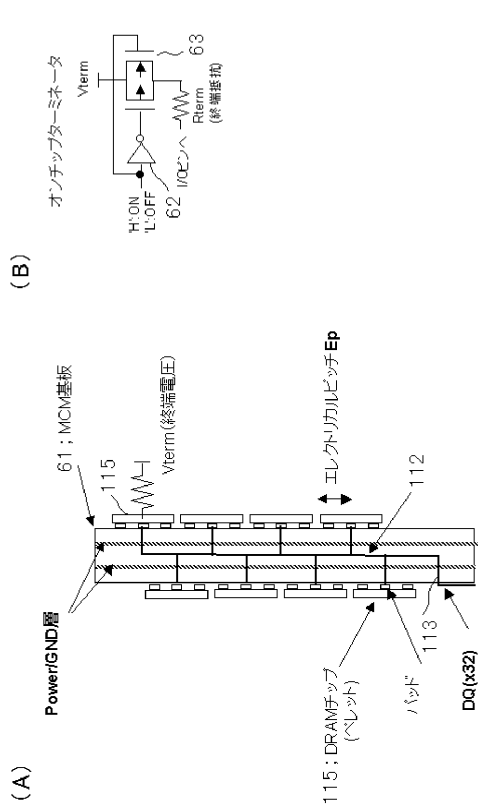
【図5】



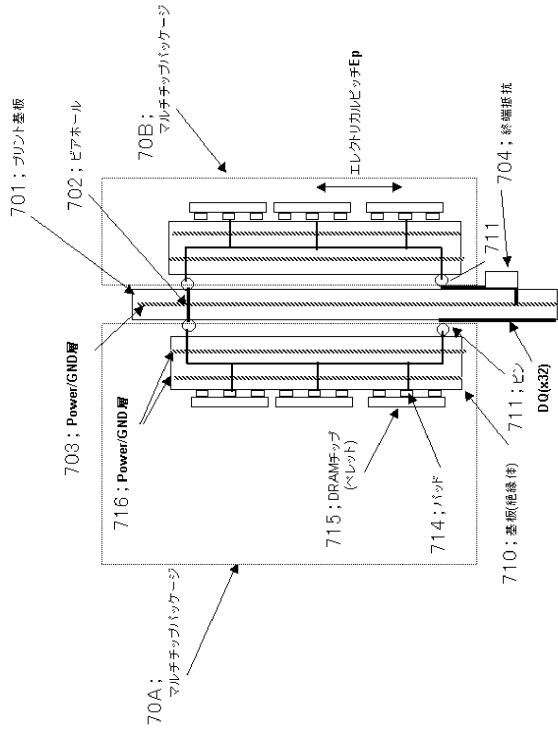
【図4】



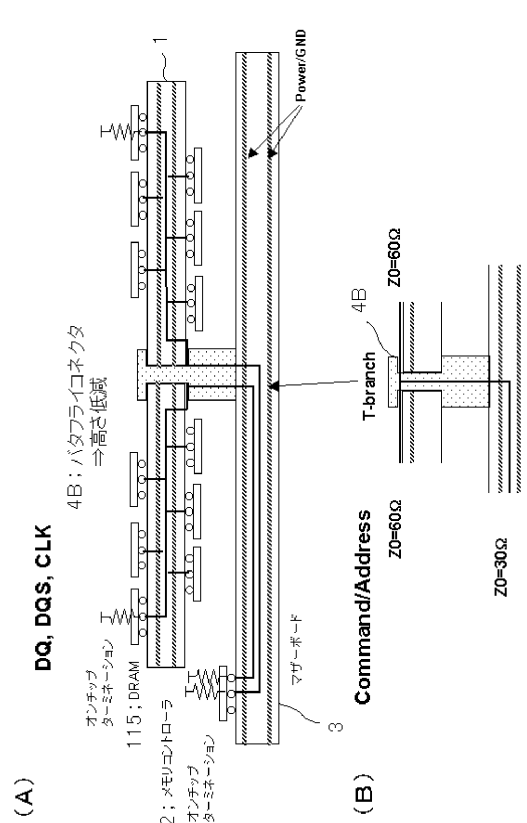
【図6】



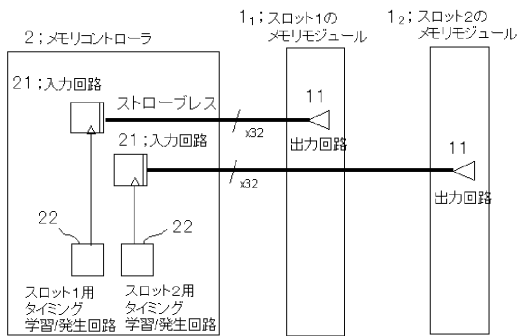
【図7】



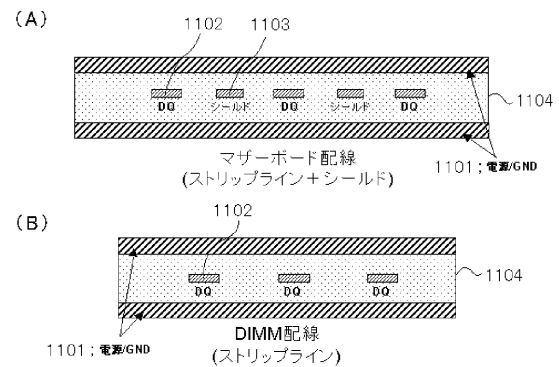
【図8】



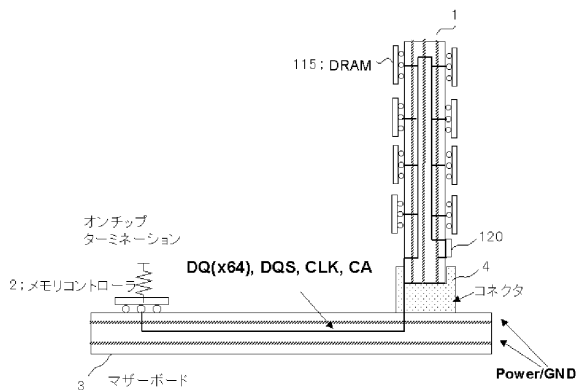
【図9】



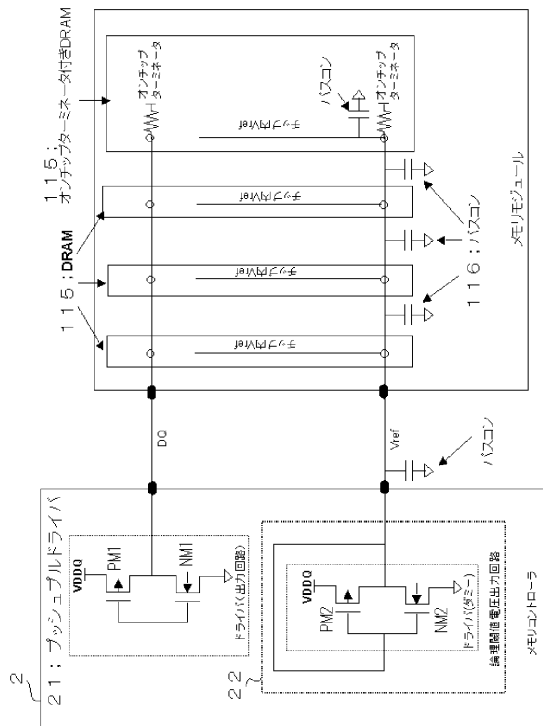
【図11】



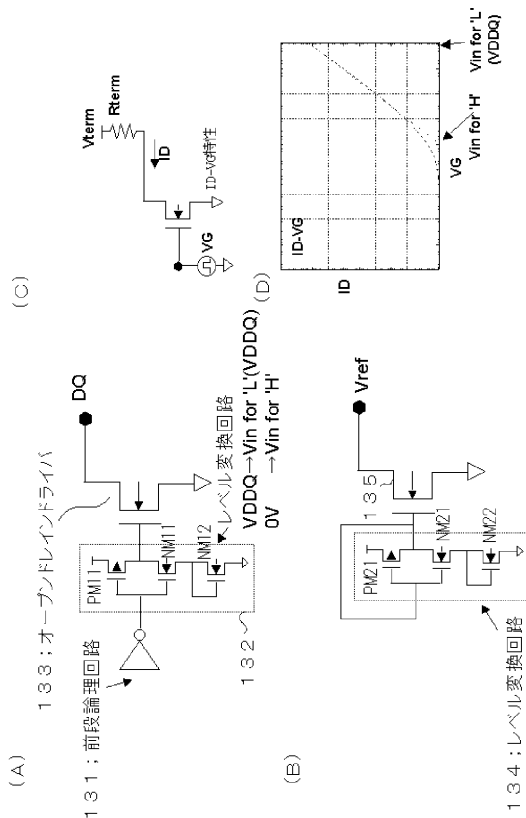
【図10】



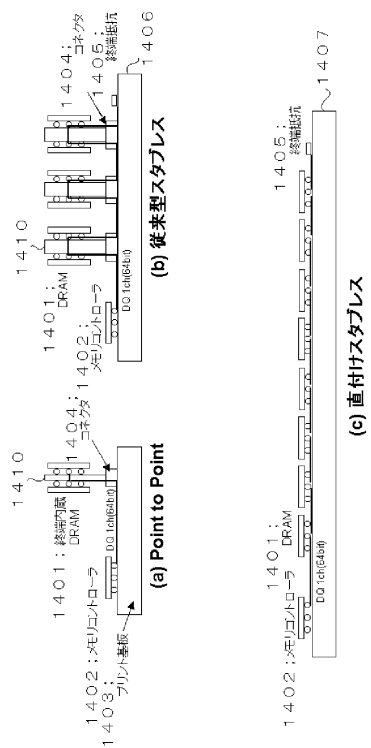
【 図 1 2 】



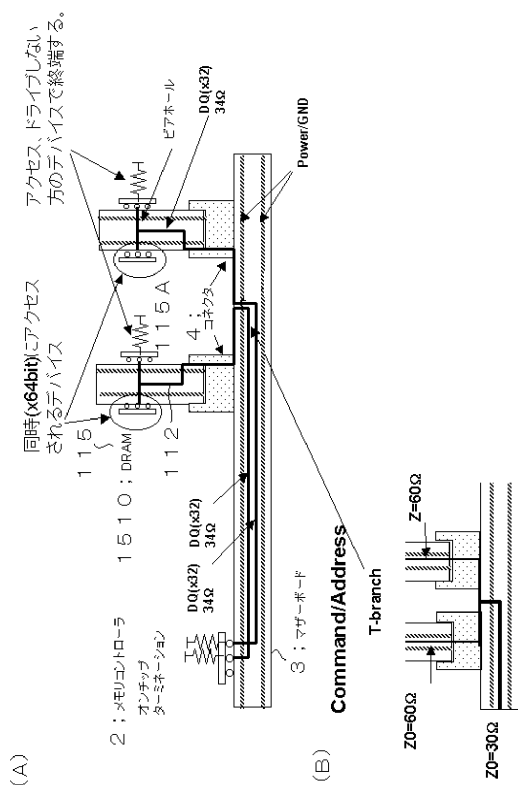
【 図 1 3 】



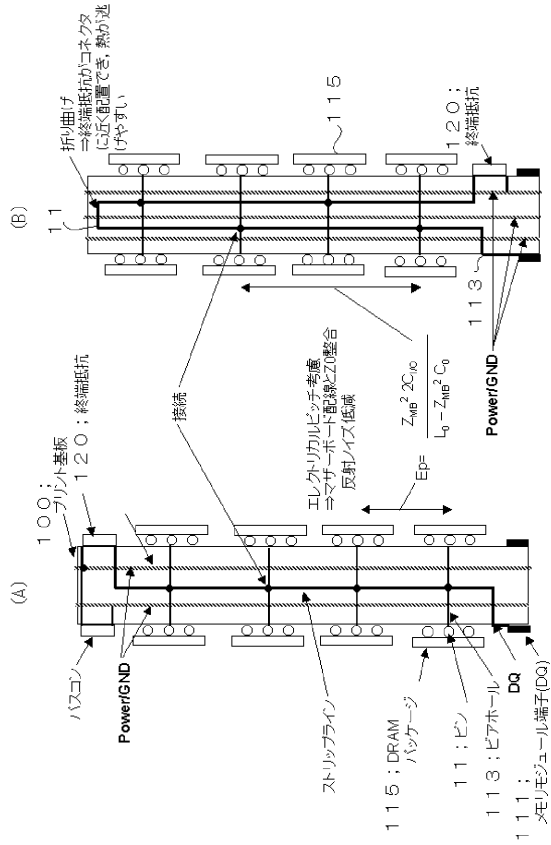
【 図 1 4 】



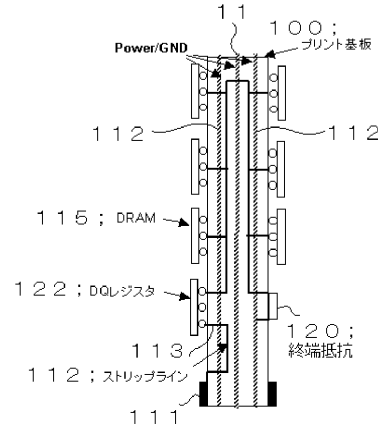
【 図 1 5 】



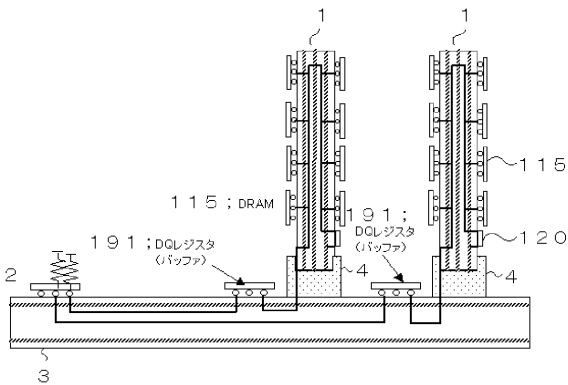
【図16】



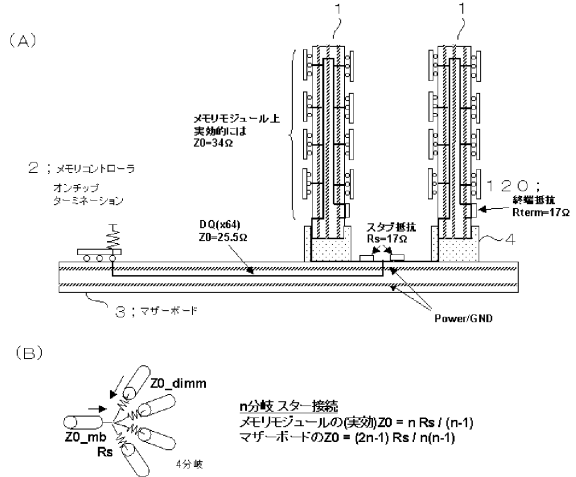
【図17】



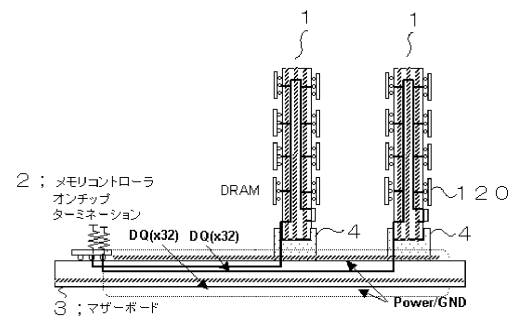
【図18】



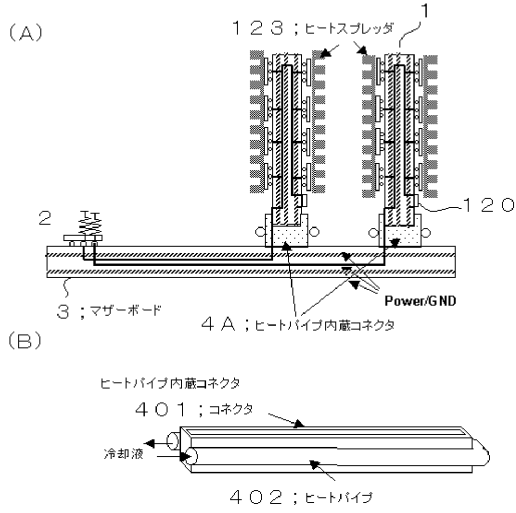
【図19】



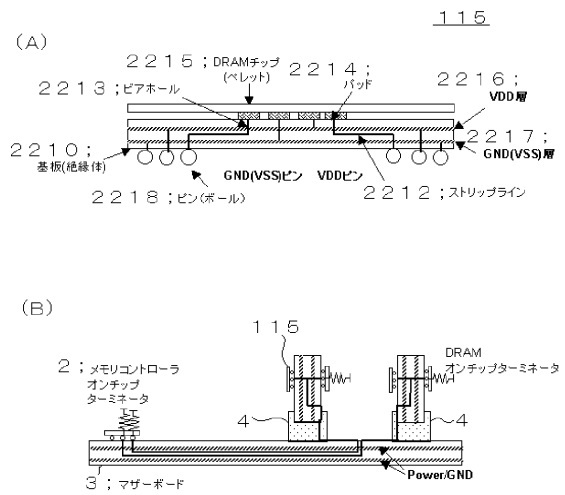
【図20】



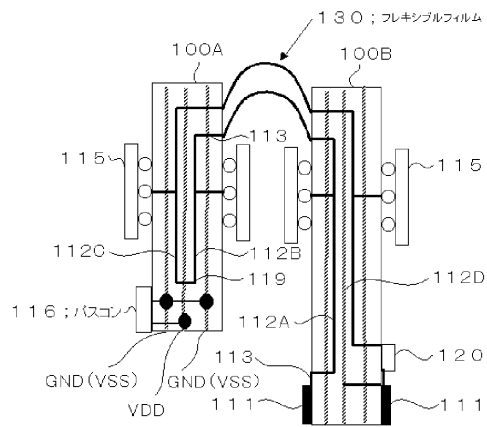
【図21】



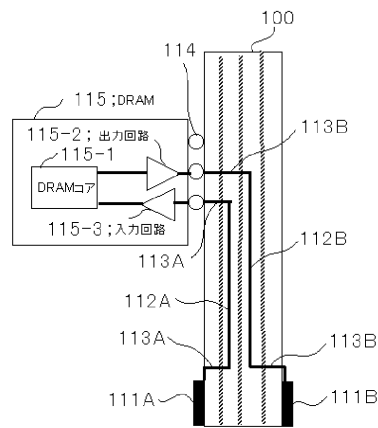
【図22】



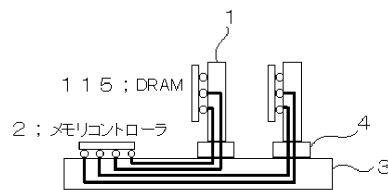
【図23】



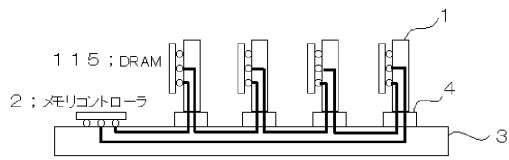
【図24】



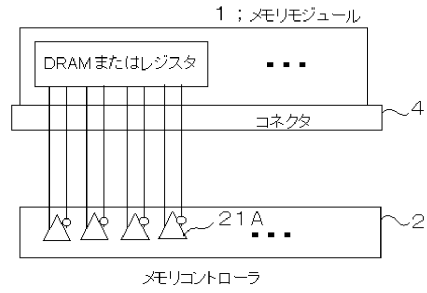
【図25】



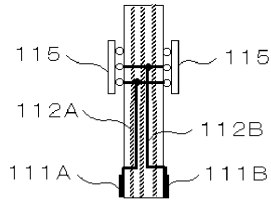
【図26】



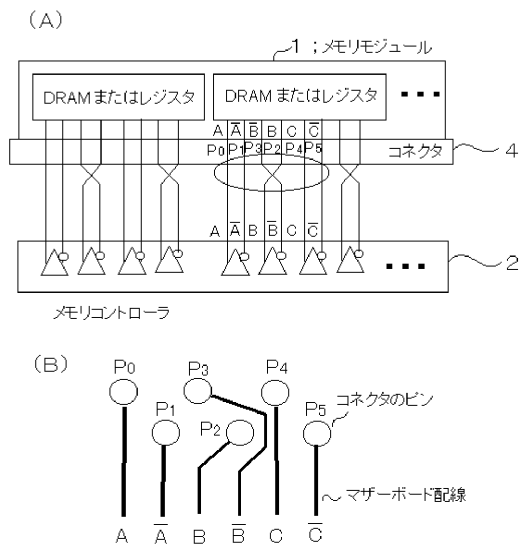
【図28】



【図27】



【図29】



フロントページの続き

審査官 田中 秀人

- (56)参考文献 国際公開第01/045107(WO, A1)
特開2002-023901(JP, A)
米国特許出願公開第2001/0040796(US, A1)
特開2001-256772(JP, A)
特開2001-244581(JP, A)
米国特許第06356106(US, B1)
特開2002-007201(JP, A)
特開平11-330394(JP, A)
特開2002-117000(JP, A)
特開2001-156621(JP, A)
直野典彦, ディレクトラムバス技術を使った高速メモリシステム的设计 第1回, インターフェース, 日本, CQ出版社, 1999年 4月 1日, 第25巻第4号, p. 183 - 193

- (58)調査した分野(Int.Cl., DB名)
G06F 12/00 - 12/06
G06F 13/16 - 13/18