

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4198770号  
(P4198770)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>11/407</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	<b>11/34 3 6 2 S</b>
<b>G 1 1 C</b>	<b>11/417</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	<b>11/34 3 0 5</b>
<b>G 1 1 C</b>	<b>11/4093</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	<b>11/34 3 5 4 P</b>

請求項の数 13 (全 15 頁)

(21) 出願番号	特願平9-333273	(73) 特許権者	390019839
(22) 出願日	平成9年12月3日(1997.12.3)		三星電子株式会社
(65) 公開番号	特開平10-214483		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成10年8月11日(1998.8.11)		C O . , L T D .
審査請求日	平成16年9月30日(2004.9.30)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	97-2885		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成9年1月30日(1997.1.30)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国(KR)		(KR)
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置のデータ入力回路及びデータ入力方法

(57) 【特許請求の範囲】

【請求項1】

半導体メモリ装置において、入力データと同一のタイミングで入力されるデータクロック信号に基づいて発生する反響クロック信号に同期して、前記入力データを前記半導体メモリ装置に入力するデータ入力回路であって、

前記反響クロック信号のパルス数をカウントして指定された数に到るまでパルスが発生する反響クロック発生器と、前記反響クロック発生器により発生されるパルスに同期して前記入力データを前記半導体メモリ装置に伝送する入力データ伝送手段と、を具備することを特徴とするデータ入力回路。

【請求項2】

前記反響クロック発生器は、前記データクロック信号の遷移にตอบสนองしてパルスが発生する反響パルス発生部と、前記反響パルス発生部で発生するパルス数が指定された数に一致する時に出力信号を遷移するバスタ長カウンタと、を具備することを特徴とする請求項1に記載のデータ入力回路。

【請求項3】

前記反響クロック発生器は、前記データクロック信号の最初の遷移によりラッチされ、前記バスタ長カウンタの出力信号の遷移によりラッチが解除され、前記反響パルス発生部の動作開始と停止を調節するパルスイネーブル信号を発生するラッチ部を更に具備することを特徴とする請求項2に記載のデータ入力回路。

【請求項4】

前記反響クロック発生器は、前記パルスイネーブル信号の遷移にตอบสนองしてリセットパルスを発生するリセットパルス発生部を更に具備することを特徴とする請求項3に記載のデータ入力回路。

【請求項5】

前記反響クロック発生器は、複数の基準電圧で前記データクロック信号をバッファリングする反響クロックバッファを更に具備することを特徴とする請求項1に記載のデータ入力回路。

【請求項6】

更に、外部の入力データをバッファリングして前記入力データ伝送手段に供給するデータ入力バッファを具備することを特徴とする請求項1に記載のデータ入力回路。

10

【請求項7】

前記反響パルス発生部は、入力信号を反転かつ遅延させるパルス反転遅延手段と、前記入力信号と前記パルス反転遅延手段の出力信号との論理積をとるパルス論理積手段と、前記入力信号と前記パルス反転遅延手段の出力信号との論理和を反転させるパルス論理和反転手段と、前記パルス論理積手段の出力信号と前記パルス論理和反転手段の出力信号との論理和をとるパルス論理和手段と、を具備することを特徴とする請求項2に記載のデータ入力回路。

【請求項8】

前記バスト長カウンタは、前記反響パルス発生部から発生する出力信号のパルス数を測定して該出力信号のカウンティング信号群を発生するカウンティング信号発生部と、前記カウンティング信号群にตอบสนองして、前記反響パルス発生部から発生する出力信号のパルス数が指定されたパルス数に一致する時に遷移される出力信号を発生するバスト信号発生部と、を具備することを特徴とする請求項2に記載のデータ入力回路。

20

【請求項9】

前記ラッチ部は、前記データクロック信号を用いて発生される信号を第1入力信号とする第1論理和反転手段と、前記バスト長カウンタの出力信号と前記第1論理和反転手段の出力信号を入力信号とする第2論理和反転手段と、を具備することを特徴とする請求項3に記載のデータ入力回路。

【請求項10】

前記リセットパルス発生部は、前記パルスイネーブル信号を反転遅延させるパルスイネーブル反転遅延手段と、前記パルスイネーブル信号と前記パルスイネーブル反転遅延手段の出力信号を入力信号とするパルスイネーブル論理和反転手段と、を具備することを特徴とする請求項4に記載のデータ入力回路。

30

【請求項11】

前記リセットパルス発生部は、パワーアップ時にパルスが発生するパワーアップ信号と前記パルスイネーブル論理和反転手段の出力を入力信号とするリセット論理和手段を更に具備することを特徴とする請求項10に記載のデータ入力回路。

【請求項12】

前記反響クロックバッファは、所定の下位基準電圧を基準として、前記データクロックの電圧をバッファリングする下位電流ミラーと、前記下位基準電圧より高い所定の上位基準電圧を基準として、前記データクロックの電圧をバッファリングする上位電流ミラーと、前記下位電流ミラーの出力信号を第1入力信号とし、前記上位電流ミラーの出力信号を第2入力信号とし、前記データクロック信号のレベルが前記下位基準電圧以下に下降する場合及び前記データクロック信号のレベルが前記上位基準電圧以上に上昇する場合に遷移される前記反響クロックバッファの出力信号を発生するラッチ手段と、を具備することを特徴とする請求項5に記載のデータ入力回路。

40

【請求項13】

半導体メモリ装置において、入力データと同一のタイミングで入力されるデータクロック信号に基づいて発生する反響クロック信号に同期して、前記入力データを前記半導体メモリ装置に入力するデータ入力方法であって、

50

前記反響クロック信号のパルス数をカウントして指定された数に到るまでパルスを発生する反響クロック発生工程と、前記反響クロック発生工程において発生されたパルスに同期して前記入力データを前記半導体メモリ装置に伝送する入力データ伝送工程と、を備えることを特徴とするデータ入力方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体メモリ装置のデータ入力回路及びデータ入力方法に係り、特に反響クロック発生器を具備してクロックサイクル周期を短縮する同期式半導体メモリ装置のデータ入力回路及びデータ入力方法に関する。

10

【従来の技術】

一般に、コンピュータシステムは与えられた作業に対する命令を行うための中央処理装置(CPU)と、CPUが要求するデータ、プログラムを格納するための主メモリとを有している。したがって、コンピュータシステムの性能向上のためには、CPUの動作速度を向上させることと、CPUが待機時間無しに動作して主メモリへのアクセス時間をできるだけ縮めることが要求される。このような要求によりシステムクロックの制御を受けて動作し、主メモリへのアクセス時間が著しく縮められた同期式DRAM(SDRAM)が出現するようになった。

【0002】

通常、SDRAMはシステムクロックの遷移により発生するパルス信号に応答して動作が制御されることを特徴とする。ところが、クロックに同期して動作する同期式半導体メモリ装置において、クロックサイクルタイム( $t_{CC}$ )は多様な要素により制限される。

20

【0003】

すなわち、 $t_{CC}$ (CLOCK CYCLE TIME)の限界はメモリとデータ制御部に入力されるクロックの所要時間の差(以下、 $t_{SW}$ という)、クロック同期からデータ出力までの所要時間(以下、 $t_{AC}$ という)、データがメモリから制御部まで伝達される時間(以下、 $t_{FL}$ という)、制御部でのデータセットアップ時間(以下、 $t_{SS}$ という)等の和により決定される。

【0004】

図1は従来の技術におけるデータ入出力回路のブロック図を示した図面であり、外部から入力されるデータは単に入力バッファ10を経てメモリ装置に入力されることがわかる。

30

【0005】

また図2は、従来の技術において $t_{CC}$ の限界を招く各種所要時間を示した図面である。ここで、 $CLK\_SYS$ はシステムクロックの波形を、 $CLK\_CNT$ は制御部に入力されるクロックの波形を、 $CLK\_DRAM$ はDRAMに入力されるクロックの波形を、 $DATA\_DRAM$ はDRAMから出力されるデータを、 $DATA\_CNT$ は制御部から発生するデータを各々示す。

【0006】

【発明が解決しようとする課題】

上記従来のSDRAMにおいては、図2を参照すると、システム上で $t_{CC}$ は、 $t_{SW}$ 、 $t_{AC}$ 、 $t_{FL}$ 及び $t_{SS}$ の和よりも大きくなければならないという限界を有することが分かる。従って、従来のデータ入出力回路では例えば300MHz以上の周波数を有するSDRAMを実現することは不可能であった。

40

本発明は前記の目的を達成するために案出されたものであり、クロックのサイクル時間を短縮可能な半導体メモリ装置のデータ入力回路及びデータ入力方法を提供することを目的とする。

【課題を解決するための手段】

前記目的を達成するために本発明の半導体メモリ装置のデータ入力回路は、半導体メモリ装置において、入力データと同一のタイミングで入力されるデータクロック信号に基づいて発生する反響クロック信号に同期して、前記入力データを前記半導体メモリ装置に入力

50

することを特徴とする。

例えば、前記データクロック信号のパルス数をカウントして指定された数に到るまでパルスを発生する反響クロック発生器と、前記反響クロック発生器により発生されるパルスに同期して前記入力データを前記半導体メモリ装置に伝送する入力データ伝送手段と、を具備することを特徴とする。

【発明の実施の形態】

以下、本発明に係る一実施形態について、添付した図面に基づき詳細に説明する。尚、各図面において同一の参照符号は同一の構成要素を表す。

【0007】

図3は、本実施形態の反響クロック発生器を有するデータ入力回路を示すブロック図である。同図によれば、本実施形態の半導体メモリ装置のデータ入出力回路は、データ入力バッファ301、反響クロック発生器303及び入力データ伝送部305から構成される。

10

【0008】

データ入力バッファ301は外部から入力される入力データDINをバッファリングする。また、反響クロック発生器303は外部データクロックDCLKの数が指定された数に到るまで、外部データクロックDCLKの遷移にตอบสนองしてパルスを発生する。また、入力データ伝送部305は反響クロック発生器303の出力信号XCONのパルスにตอบสนองしてデータ入力バッファ301の出力信号DIを伝送する。

【0009】

図4は、図3に示す入力データ伝送部305の詳細構成を示した図である。同図によれば、入力データ伝送部305は第1反転バッファ401、伝送ゲート403及び第2反転バッファ405等から構成される。第1反転バッファ401はデータ入力バッファ301の出力信号をバッファリングして反転させる。そして、伝送ゲート403の一端には反響クロック発生器303の出力信号XCONが入力され、他端には第3反転バッファ407を経て反転されたXCONが入力され、その入力パルスにตอบสนองして第1反転バッファ401の出力信号(N402)を伝送する。かつ、前記第2反転バッファ405は伝送ゲート403により伝送された第1反転バッファ401の出力信号(N402)をバッファリングして反転させる。

20

【0010】

従って、外部データクロックDCLKの遷移が発生する度に、反響クロック発生器303の出力信号であるXCONはパルスを発生するようになる。よって、入力データ伝送部305の伝送ゲート403が“ターンオン”されて、データ入力バッファ301の出力信号DIをメモリチップの内部に伝送する。ところで、前記反響クロック発生器303は外部データクロックDCLKの数が外部システムにより決定された所定数に至ると、パルスの発生を中止する。よって、入力データDINは外部システムで決定した所定数のみが、チップの内部に入力される。

30

【0011】

図5は、本実施形態のデータ入力回路における反響クロック発生器303の詳細構成を示した図である。同図によれば、反響クロック発生器303は反響クロックバッファ501、反響パルス発生部503、バースト長カウンタ505、ラッチ部507及びリセットパルス発生部509から構成される。

40

【0012】

反響クロックバッファ501は外部データクロック信号DCLKをバッファリングしてXPULを出力する。そして、反響パルス発生部503は所定のパルスイネーブル信号PULLENによりイネーブルされ、反響クロックバッファ501の出力信号XPULの遷移にตอบสนองして自身の出力信号XCONパルスを発生する。また、バースト長カウンタ505は所定のリセットパルスRESETにより先充電され、反響パルス発生部503から発生する出力信号XCONのパルス数が指定された数に一致する時に、自身の出力信号BLCNTが遷移される。

【0013】

50

尚、ラッチ部507はリセットパルスRESETにより先充電され、反響クロックバッファ501の出力信号XPULの最初の遷移によりラッチされ、バスト長カウンタ505の出力信号BLCNTの遷移によりラッチが解除されるパルスイネーブル信号PULENを発生する。以下、ラッチ部507の構成を更に具体的に説明する。

ラッチ部507は第1論理和反転部511及び第2論理和反転部513を具備する。前記第1論理和反転部511は、前記DCLKに応答する信号XPULと第2論理和反転部513の出力VPREを入力信号とする。そして、第2論理和反転部513はバスト長カウンタ505の出力信号BLCNTと第1論理和反転部513の出力信号(N512)を入力信号とする。

以下、ラッチ部507の動作を説明する。ラッチ部507の動作初期においては、バスト長カウンタ505の出力信号BLCNTは“ロー”状態である。すると、反響クロックバッファ501の出力信号XPULが“ハイ”に遷移されると、第1論理和反転部511の出力(N512)は“ロー”状態になり、第2論理和反転部513の出力信号VPREは“ハイ”状態にラッチされる。従って、後に反響クロックバッファ501の出力信号XPULが引き続き遷移されても、ラッチ部507の出力信号PULENの論理状態は遷移されなくなる。

#### 【0014】

そして、反響パルス発生部503で指定された数のパルス、すなわちデータバスト長分のパルスが発生すると、バスト長カウンタ505の出力信号BLCNTが“ハイ”に遷移される。すると、反響クロックバッファ501の出力信号XPULが“ロー”になり、ラッチ部507の出力信号PULENが“ロー”になり、反響パルス発生部503の出力信号XCONはパルスを発生しなくなる。

そして、リセットパルス発生部509はパルスイネーブル信号PULENの遷移に応答してリセットパルスRESETを発生する。ここで、本実施形態のラッチ部507はラッチ解除部515を具備する。ラッチ解除部515はパワーアップ(POWER-UP)やリセット(RESET)パルスが発生する際に、第2論理和反転部513の出力信号VPREのラッチを解除する。

#### 【0015】

図6は、図5に示した反響クロックバッファ501の詳細構成例を示す図である。同図によれば、本実施形態の反響クロックバッファ501は、下位電流ミラー601、上位電流ミラー603及びラッチ部605から構成される。下位電流ミラー601は所定の低位基準電圧VRLを基準として、データクロックDCLKの電圧をバッファリングする。また、上位電流ミラー603は下位基準電圧VRLより高い所定の上位基準電圧VRHを基準として、データクロックDCLKの電圧をバッファリングする。また、ラッチ部605は下位電流ミラー601の出力信号(N602)を第1入力信号とし、上位電流ミラー603の出力信号(N604)を第2入力信号とする。尚、反響クロックバッファ501の出力信号であるXPULは、データクロック信号DCLKのレベルが下位基準電圧VRL以下に下降する場合、及びデータクロック信号DCLKのレベルが上位基準電圧VRH以上に上昇する場合に、遷移される。

#### 【0016】

下位電流ミラー601は、プルアップトランジスタ607、第1PMOSTランジスタ609、第2PMOSTランジスタ611、第1NMOSTランジスタ613及び第2NMOSTランジスタ615から構成される。プルアップトランジスタ607はそのソースが電源電圧VCCに接続され、所定の反響クロックイネーブル信号XENがアクティブ時にインバータ628を経てロー信号として入力され、ターンオンされる。そして、第1PMOSTランジスタ609はそのソースがプルアップトランジスタ607のドレインに接続され、そのゲートに下位基準電圧VRLが印加される。また、第2PMOSTランジスタ611はそのソースが前記プルアップトランジスタ607のドレインに接続され、そのゲートにデータクロック信号DCLKが印加される。そして、第1NMOSTランジスタ613はそのソースが接地電圧VSSに接続され、そのゲートとドレインが第1PMOST

10

20

30

40

50

ランジスタ609のドレインに共通接続される共通接続点(N610)を有する。また、第2NMOSトランジスタ615はそのソースが接地電圧VSSに接続され、そのゲートは共通接続点(N610)に接続され、そのドレインは第2PMOSトランジスタ611のドレインに共通接続されて、下位電流ミラーの出力信号(N602)を発生する。

【0017】

従って、前記XENが“ハイ”にイネーブルされると、下位電流ミラー601はデータクロック信号DCLKに応答する。データクロック信号DCLKのレベルが下位基準電圧VRLより高い場合には、第1PMOSトランジスタ609のゲートとソースとの電圧Vgsが第2PMOSトランジスタ611のVgsより大きくなる。従って、端子N610の電圧が上昇して、第2NMOSトランジスタ615の影響が第2PMOSトランジスタ611の影響よりも大きくなる。よって、下位電流ミラー601の出力端子N602の電圧はVSS側に下降するようになる。

10

【0018】

一方、データクロック信号DCLKのレベルが下位基準電圧VRLより低い場合には、第1PMOSトランジスタ609のVgsが第2PMOSトランジスタ611のVgsより小さくなる。従って、共通接続点(N610)の電圧が下降し、第2NMOSトランジスタ615の影響が第2PMOSトランジスタ611の影響より小さくなる。よって、下位電流ミラー601の出力端子N602の電圧はVCCの方に上昇するようになる。

【0019】

下位電流ミラー601は、そのソースが接地電圧VSSに接続され、そのドレインは下位電流ミラー601の出力(N602)に接続され、反響クロックイネーブル信号XENがディスエーブルされる時に“ターンオン”される第3NMOSトランジスタ617を更に具備する。従って、XENが“ロー”にディスエーブルされると、第3NMOSトランジスタ617は“ターンオン”されて下位電流ミラー601の出力端子(N602)のレベルはVSSにセットされる。また、XENが“ハイ”にイネーブルされると、第3NMOSトランジスタ617は“ターンオフ”されて下位電流ミラー601の出力端子(N602)のセッティングが解除される。

20

【0020】

上位電流ミラー603は、プルダウントランジスタ619、第4NMOSトランジスタ621、第5NMOSトランジスタ623、第3PMOSトランジスタ625及び第4PMOSトランジスタ627から構成される。プルダウントランジスタ619はそのソースが接地電圧VSSに接続され、所定の反響クロックイネーブル信号XENがアクティブされる時にターンオンされる。そして、第4NMOSトランジスタ621はそのソースが前記プルダウントランジスタ619のドレインに接続され、そのゲートに上位基準電圧VRHが印加される。また、第5NMOSトランジスタ623はそのソースがプルダウントランジスタ619のドレインに接続され、そのゲートにデータクロック信号DCLKが印加される。そして、第3PMOSトランジスタ625はそのソースが電源電圧VCCに接続され、そのゲートとドレインが第4NMOSトランジスタ621のドレインに共通接続される共通接続点(N622)を有する。また、第4PMOSトランジスタ627はそのソースが電源電圧VCCに接続され、そのゲートが共通接続点(N622)に接続され、そのドレインが第5NMOSトランジスタ623のドレインに共通接続されて上位電流ミラー603の出力信号(N604)を発生する。

30

40

【0021】

従って、XENが“ハイ”にイネーブルされると、上位電流ミラー603はデータクロック信号DCLKに応答する。データクロック信号DCLKのレベルが上位基準電圧VRHより低い場合には、第5NMOSトランジスタ621のVgsが第5NMOSトランジスタ623のVgsより大きくなる。よって、共通接続点(N622)の電圧が下降して、第3PMOSトランジスタ627の影響が第5NMOSトランジスタ623の影響より大きくなる。よって、上位電流ミラー603の出力端子N604の電圧はVCCの方に上昇するようになる。

50

一方、データクロック信号DCLKのレベルが上位基準電圧VRHより高い場合には、第4NMOSトランジスタ621のVgsが第5NMOSトランジスタ623のVgsより小さくなる。従って、共通接続点(N622)の電圧が上昇して、第3PMOSトランジスタ627の影響が第5NMOSトランジスタ623の影響より小さくなる。よって、上位電流ミラー603の出力端子N604の電圧はVSSの方に下降するようになる。

**【0022】**

上位電流ミラー603は、そのソースが電源電圧VCCに接続され、そのドレインが上位電流ミラー603の出力(N604)に接続され、反響クロックイネーブル信号XENがディスエーブルされる時に“ターンオン”される第5PMOSトランジスタ629を更に具備する。従って、XENが“ロー”にディスエーブルされると、第5PMOSトランジスタ629は“ターンオン”されて上位電流ミラー603の出力端子(N604)のレベルがVCCにセットされる。また、XENが“ハイ”にイネーブルされると、第5PMOSトランジスタ629は“ターンオフ”されて上位電流ミラー603の出力端子(N604)のセッティングが解除される。

10

**【0023】**

ラッチ部605は、反転部631、第1論理積反転部633、第2論理積反転部635及び反転バッファ637を具備する。反転部631は、下位電流ミラー601の出力信号(N602)のレベルを反転させる。そして第1論理積反転部633は、反転部631の出力信号(N632)を第1入力信号とする。また、第2論理積反転部635は上位電流ミラー603の出力信号(N604)と第1論理積反転部633の出力信号(N634)の論理積をとって反転させ、その出力信号(N636)を前記第1論理積反転部633の第2入力信号とする。そして、反転バッファ637は第1論理積反転部633の出力信号(N634)を反転かつバッファリングして、反響クロックバッファ501の出力信号XPULを発生する。

20

**【0024】**

以上の構成により、データクロック信号DCLKのレベルが下位基準電圧VRLより低くなる場合には、下位電流ミラー601の出力信号(N602)のレベルが上昇する。かつ、反転部631の出力信号(N632)のレベルは“ロー”になり、反響クロックバッファ501の出力信号XPULのレベルは“ロー”に下降するようになる。この際、上位電流ミラー603の出力信号(N604)のレベルは“ハイ”になり、第2論理積反転部635の出力信号(N636)の論理状態は“ロー”になる。

30

**【0025】**

また、データクロック信号DCLKのレベルが“下位基準電圧VRL以下”から“VRLとVRHの間の電圧”に上昇する場合、下位電流ミラー601の出力信号(N602)のレベルは下降するようになる。従って、反転部631の出力信号(N632)のレベルは“ハイ”になる。ところが、第2論理積反転部635の出力信号(N636)の論理状態は“ロー”を保つので、反響クロックバッファ501の出力信号XPULのレベルは変わらない。

また、データクロック信号DCLKのレベルが上位基準電圧VRHより高くなる場合には、下位電流ミラー601の出力信号(N602)のレベルは下降するようになる。そして、反転部631の出力信号(N632)のレベルは“ハイ”になる。この際、上位電流ミラー603の出力信号(N604)のレベルは“ロー”になり、第2論理積反転部635の出力信号(N636)の論理状態は“ハイ”になる。よって、反響クロックバッファ501の出力信号XPULのレベルは“ハイ”に上昇するようになる。

40

**【0026】**

また、データクロック信号DCLKのレベルが“前記上位基準電圧VRH以上”から“VRLとVRHの間の電圧”に下降する場合、上位電流ミラー603の出力信号(N604)のレベルは上昇するようになる。ところが、第1論理積反転部633の出力信号(N634)の論理状態は“ロー”を保つので、第2論理積反転部635の出力信号(N636)の論理状態は引き続き“ハイ”状態を保つ。よって、反響クロックバッファ501の出力信

50

号X P U Lのレベルは変わらなくなる。

【 0 0 2 7 】

次に図7に、図5に示した反響パルス発生部503の詳細構成を示す。同図によれば、反響パルス発生部503は反転遅延部701、第1論理積部703、論理和反転部705、論理和部707及び第2論理積部709から構成される。反転遅延部701は、反響クロックバッファ501の出力信号X P U Lを反転して遅延させる。そして、第1論理積部703は反響クロックバッファ501の出力信号X P U Lと、反転遅延部701の出力信号(N702)の論理積をとる。そして論理和反転部705は、反響クロックバッファ501の出力信号X P U Lと反転遅延部701の出力信号(N702)との論理和をとって反転させる。そして、論理和部707は第1論理積部703の出力信号(N704)と論理和反転部705の出力信号(N706)を論理和をとる。また、第2論理積部709はパルスイネーブル信号P U L E Nによりイネーブルされ、論理和部707の出力信号(N708)に  
10  
 応答して、X C O N信号を出力する。図8は、信号X P U Lの遷移に応じる図7の反響パルス発生部503の主要端子におけるタイミングチャートである。同図を参照して反響パルス発生部503の動作を説明すると、信号X P U Lの論理状態が“ハイからローに”又は“ローからハイに”遷移される度に、論理和部707の出力信号(N708)はパルスとして発生される。従って、パルスイネーブル信号P U L E Nの論理状態が“ハイ”である時には、反響パルス発生部503の出力信号X C O Nは論理和部707の出力信号(N708)の遷移に応答して同じくパルスとして発生される。ところが、パルスイネーブル信号  
20  
 P U L E Nの論理状態が“ロー”である時には、反響パルス発生部503はパルスを発生しない。図9は、図5のリセットパルス発生部509の詳細構成を示す図である。リセットパルス発生部509は、指定された数、すなわちデータバスト長だけのクロック信号が入力される時、リセットパルスを発生する。図9を参照して説明すると、リセットパルス発生部509は反転遅延部901、論理和反転部903及び論理和部905から構成される。反転遅延部901はパルスイネーブル信号P U L E Nを反転遅延させる。そして、論理和反転部903はパルスイネーブル信号P U L E Nと反転遅延部901の出力信号(N902)を入力信号とする。従って、パルスイネーブル信号P U L E Nの論理状態が“ハイ”から“ロー”に遷移する度に、論理和反転部903の出力信号(N904)は“ロー”から“ハイ”へのパルスが発生する。そして、論理和部905はパワーアップ時にパルスが発生するパワーアップ信号V C C H Bと、論理和反転部903の出力信号(N904)  
30  
 を入力信号とする。従って、パワーアップ時やP U L E Nの論理状態が“ハイ”から“ロー”に遷移する時に、論理和部905の出力信号であるリセット信号R E S E Tはパルスとして発生される。図10は、図5のバスト長カウンタ505の詳細構成を示した図面である。同図によれば、バスト長カウンタ505はカウンティング信号発生部1001及びバスト信号発生部1003から構成される。カウンティング信号発生部1001は、反響パルス発生部503から発生する出力信号X C O Nのパルス数を測定してその出力信号であるカウンティング信号群C N T 0 ~ C N T 8を発生する。バスト信号発生部1003は、該カウンティング信号群を受けてバスト長を表す信号B L C N Tを発生する。図11は、図10のカウンティング信号発生部1001の詳細構成を示した図面である。同図を参照すると、カウンティング信号発生部1001はA型カウンタ1101及びB型カウンタ  
40  
 (1102, 1103, ...)から構成される。図12は、図11のA型カウンタ1101の詳細構成を示した図面である。同図によれば、A型カウンタ1101は論理和反転部1201、第1及び第2反転部1203, 1215、第1伝送ゲート1205、第1ラッチ部1207、第2伝送ゲート1209、第2ラッチ部1211及びN M O Sトランジスタ1213から構成されている。論理和反転部1201は、リセットパルスR E S E Tと反響パルス発生部503の出力信号X C O Nとの論理和を反転させる。そして、第1反転部1203はA型カウンタ1101の出力信号であるC N T 0の論理状態を反転させる。また、第1伝送ゲート1205はリセットパルスR E S E Tが“ロー”にディスエーブルされた状態で反響パルス発生部503の出力信号X C O Nが“ロー”にディスエーブルされる時、第1反転部1203の出力信号(N1204)を伝送する。そして、第1ラッチ部120  
50

7は第1伝送ゲート1205により伝送された信号をラッチさせる。また、第2伝送ゲート1209はリセットパルスRESETが“ハイ”にイネーブルされるかXCONが“ハイ”にイネーブルされる時、第1ラッチ部1207の出力信号(N1208)を伝送する。尚、第2ラッチ部1211は第2伝送ゲート1207により伝送された信号をラッチさせる。そして、NMOSトランジスタ1213はそのソースが接地電圧VSSに接続され、リセットパルスRESETによりゲートされて第1ラッチ部1207の入力端子(N1206)をVSSに先充電させる。

#### 【0028】

以上の構成からなるA型カウンタ1101の動作について、以下に説明する。まず、リセットパルスRESETが“ハイ”にアクティブされると、NMOSトランジスタ1213が“ターンオン”される。よって、第1ラッチ部1207の入力端子(N1206)はVSSに先充電される。そして、第2伝送ゲート1209は“ターンオン”され、A型カウンタ1101の出力信号CNT0の論理状態は“ロー”である。また、第1反転部1203の出力信号(N1204)は“ハイ”であり、第1伝送ゲート1205は“ターンオフ”される。そして、リセットパルスRESETが“ロー”にディスエーブルされると、NMOSトランジスタ1213が“ターンオフ”される。また、第1伝送ゲート1205は“ターンオン”され、第1ラッチ部1207の出力信号(N1208)の論理状態は“ロー”になる。この際、第2伝送ゲート1209は“ターンオフ”されている。そして、反響パルス発生部503の出力信号XCONが“ハイ”にアクティブされる時、第2伝送ゲート1209が“ターンオン”され、A型カウンタ1101の出力信号CNT0の論理状態は“ハイ”に遷移される。また、反響パルス発生部503の出力信号XCONが“ロー”にディスエーブルされる時、第1伝送ゲート1209が“ターンオン”されて第1ラッチ部1207の出力信号(N1208)の論理状態が遷移される。このように、反響パルス発生部503の出力信号XCONがパルスを形成する度に、A型カウンタ1101の出力信号CNT0の論理状態は遷移を繰り返すようになる。

図13は、図11のB型カウンタ(1102, 1103, ...)の詳細構成を示した図面である。同図を参照すると、図12に示されたA型カウンタ1101とほとんど類似しているが、やや異なる点もある。即ち、A型カウンタ1101の論理和反転部1201はリセットパルスRESETと反響パルス発生部503の出力信号XCONを入力信号としたが、B型カウンタ(1102, 1103, ...)の論理和反転部1301はリセットパルスRESETと反響パルス発生部503の出力信号XCON、及び前段階のカウンタの出力信号の論理状態を表す信号CARRYBi-1を入力信号としている。前段階のカウンタの出力信号の論理状態がすべて“ハイ”である時のみに、信号CARRYBi-1の論理状態が“ロー”になる。また、信号CARRYBi-1の論理状態が“ロー”である時、B型カウンタはA型カウンタと同様に動作するようになる。

#### 【0029】

上述した図12のA型カウンタと図13のB型カウンタを参照して、図11のカウンティング信号発生部1001の動作を以下に説明する。まず、リセットパルスRESETによりリセット動作が行われると、A型カウンタ1101とB型カウンタ(1102, 1103, ...)の出力信号であるCNT0～CNT8がすべて“0”に先充電される。そして、信号XCONが一番目のパルスを発生すると、CNT0の論理状態が“1”になる。かつ、信号XCONが二番目のパルスを発生すると、CNT0の論理状態は“0”になり、CNT1の論理状態が“1”になる。尚、信号XCONが三番目のパルスを発生すると、CNT0の論理状態は再び“1”になる。そして、信号XCONが四番目のパルスを発生すると、CNT0とCNT1の論理状態は“0”になり、CNT2の論理状態が“1”になる。このように、信号XCONがパルスを発生する度に、カウンティング信号発生部1001の出力信号であるCNT0～CNT8が順次変換され、信号XCONのパルスを測定するようになる。また、XCONが指定された数だけパルスを発生するようになると、リセット信号RESETがアクティブされて信号CNT0～CNT8がすべて“0”に先充電される。

10

20

30

40

50

図14は、図10のバスト長カウンタ505のバスト信号発生部1003を示した図面である。バスト信号発生部1003は、カウンティング信号群CNT0～CNT8にตอบสนองして、反響パルス発生部503から発生する出力信号XCONのパルス数が指定入力パルス数に一致する時に遷移される出力信号BLCNTを発生する。

図14に示すSZ2Bは、入力データのバスト長が2以上である場合に“ハイ”になる信号である。そして、SZ4Bは入力データのバスト長が4以上である場合に“ハイ”になる信号であり、SZ8Bは入力データのバスト長が8以上である場合に“ハイ”になる信号である。また、SZFULLは入力データのバスト長がFULLである場合に“ハイ”になる信号である。

ここで、例えば入力データのバスト長が4である場合を仮定すると、この場合、SZ2BとSZ4Bは“ハイ”であり、SZ8BとSZFULLは“ロー”である。この際、反響パルス発生部503から発生する出力信号XCONの四番目のパルスが発生すると、CNT2が“ハイ”になり残りのカウンティング信号群CNT0, CNT1, CNT3～CNT8は“ロー”になる。この際、出力信号BLCNTの論理状態は“ロー”から“ハイ”に遷移されるようになる。

#### 【0030】

以上説明したように本実施形態に示す反響クロック発生器を具備したデータ入力回路においては、データ入力時に反響クロック発生器303で指定された数、すなわちデータバスト長にตอบสนองしてパルスを発生させる。そして、反響クロック発生器303のパルスを用いて、データ入力バッファ301を経て入力された外部データDINを半導体メモリチップの内部に伝送する。

#### 【0031】

従って、データの入力時、クロック同期からデータの出力までかかる時間(データアクセスタイム) $t_{AC}$ 及びデータがメモリから制御部まで伝送される時間 $t_{FL}$ の影響を排除して、同期式半導体メモリ装置のデータアクセス動作速度を改善することができる。

#### 【0032】

尚、本発明は本実施形態に限られず、本発明が属した技術的思想内で当分野において通常の知識を有する者により、多くの変形が可能であることは明らかである。

#### 【発明の効果】

以上説明したように、本発明による反響クロック発生器を具備したデータ入力回路によれば、クロックサイクルタイム $t_{CC}$ に対して、クロック同期からデータの出力までかかる時間 $t_{AC}$ 及びデータがメモリから制御部まで伝送されるにかかる時間 $t_{FL}$ の影響を排除することができるため、半導体メモリ装置のクロックのサイクル時間 $t_{CC}$ を短縮することができる。データアクセス動作速度を改善することができる。

#### 【0033】

##### 【図面の簡単な説明】

【図1】従来のデータ入出力回路構成を示すブロック図である。

【図2】従来のクロックサイクルタイムを決定するタイミングチャートである。

【図3】本発明に係る一実施形態における反響クロック発生器を有するデータ入力回路の構成を示すブロック図である。

【図4】本実施形態における入力データ伝送部の詳細構成を示すブロック図である

【図5】本実施形態における反響クロック発生器の詳細構成を示すブロック図である。

【図6】本実施形態における反響クロックバッファの詳細構成を示すブロック図である。

【図7】本実施形態における反響パルス発生部の詳細構成を示すブロック図である。

【図8】本実施形態における反響パルス発生部の主要端子のタイミングチャートである。

【図9】本実施形態におけるリセットパルス発生部の詳細構成を示すブロック図である。

【図10】本実施形態におけるバスト長カウンタの詳細構成を示すブロック図である。

【図11】本実施形態におけるカウンティング信号発生部の詳細構成を示すブロック図である。

【図12】本実施形態におけるA型カウンタの詳細構成を示すブロック図である。

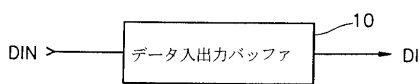
【図13】本実施形態におけるB型カウンタの詳細構成を示すブロック図である。

【図14】本実施形態におけるバスト信号発生部の詳細構成を示すブロック図である。

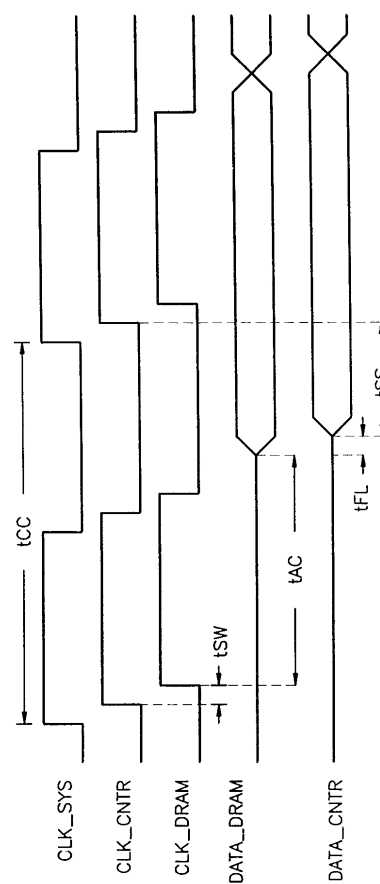
【符号の説明】

- 301 データ入力バッファ
- 303 反響クロック発生器
- 305 データ伝送部
- 501 反響クロックバッファ
- 503 反響パルス発生部
- 505 バスト長カウンタ
- 509 リセットパルス発生部

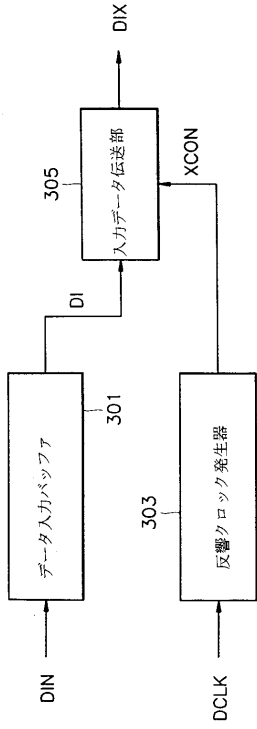
【図1】



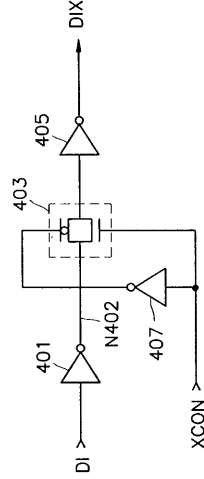
【図2】



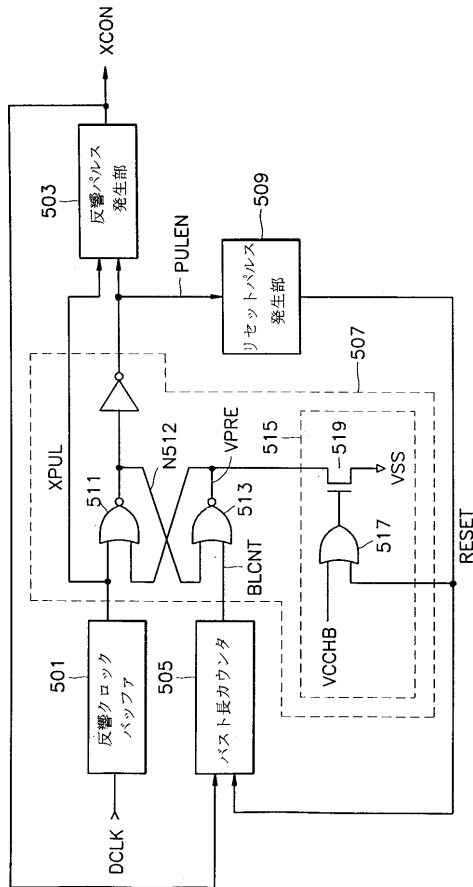
【図3】



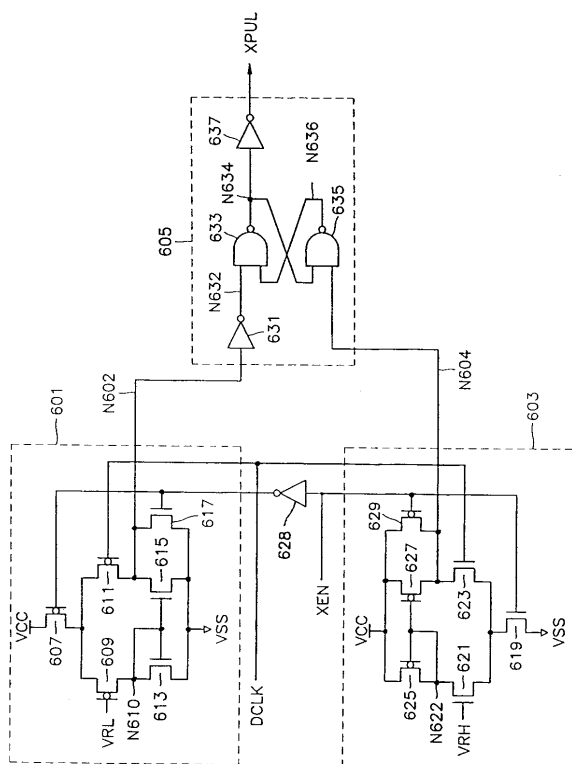
【図4】



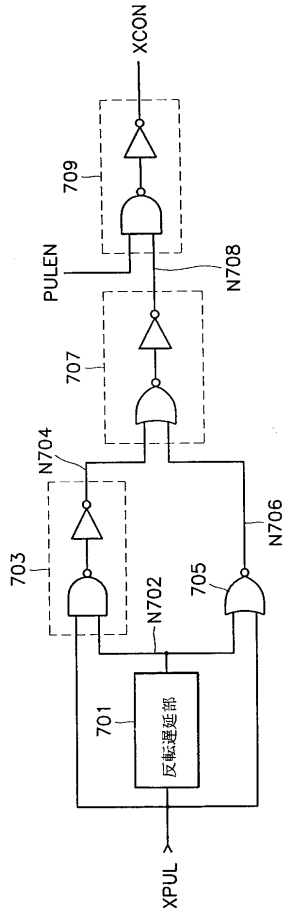
【図5】



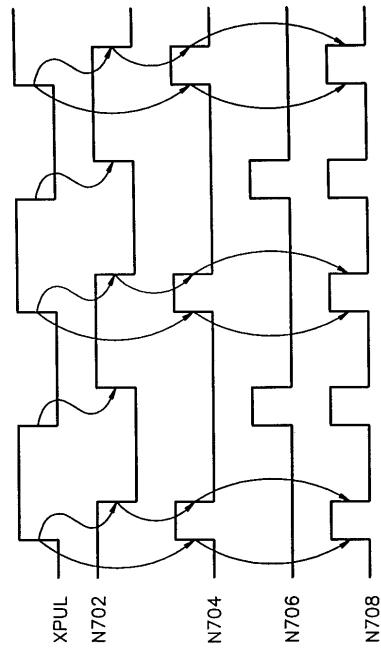
【図6】



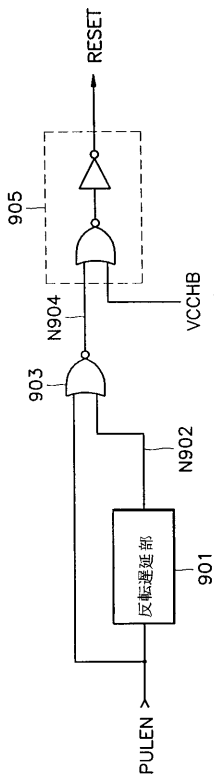
【 図 7 】



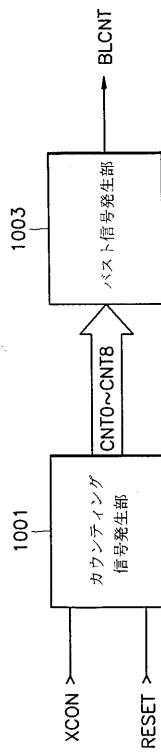
【 図 8 】



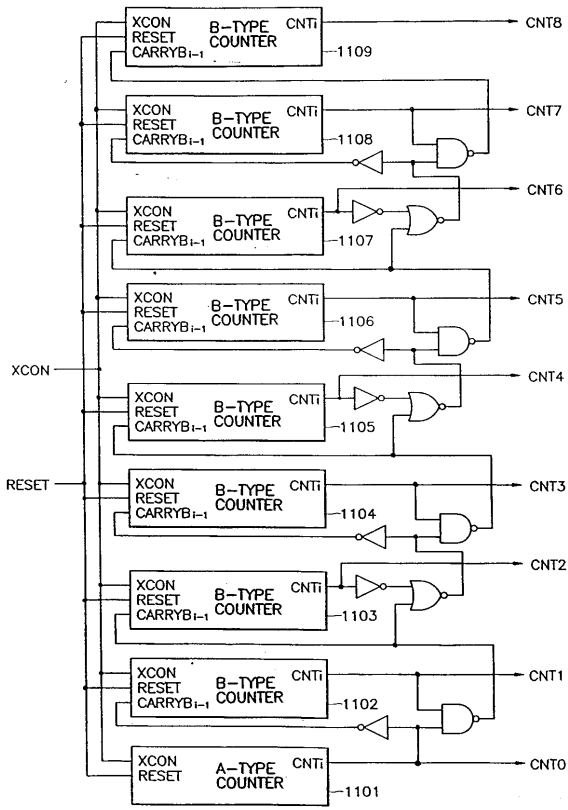
【 図 9 】



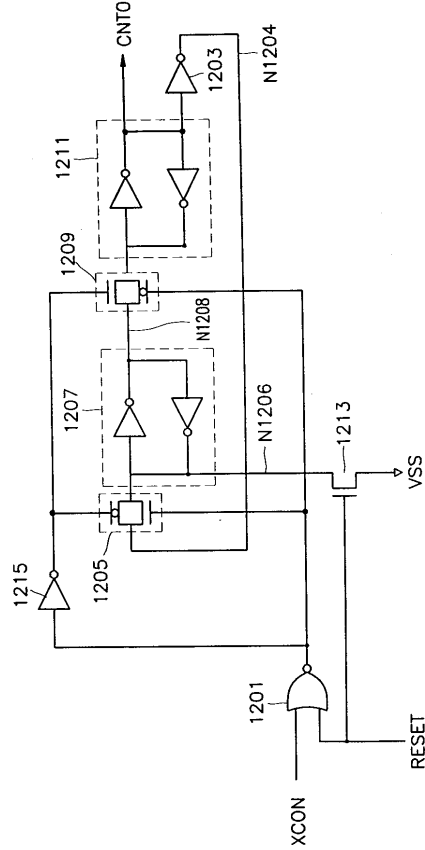
【 図 10 】



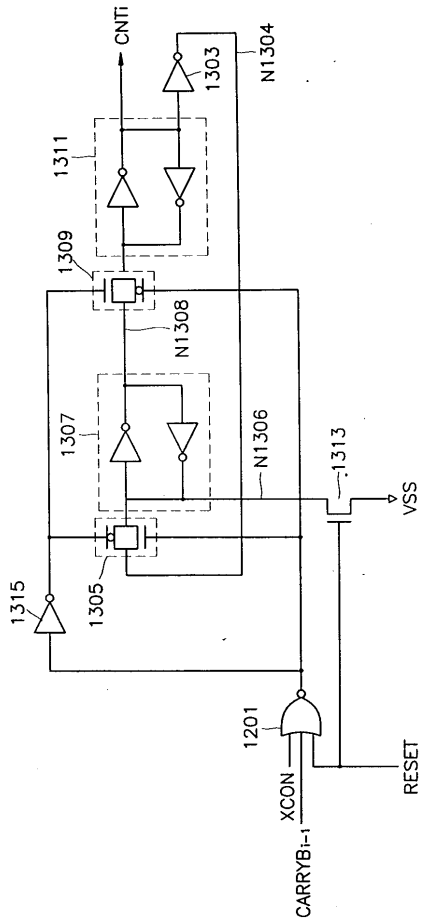
【 1 1 】



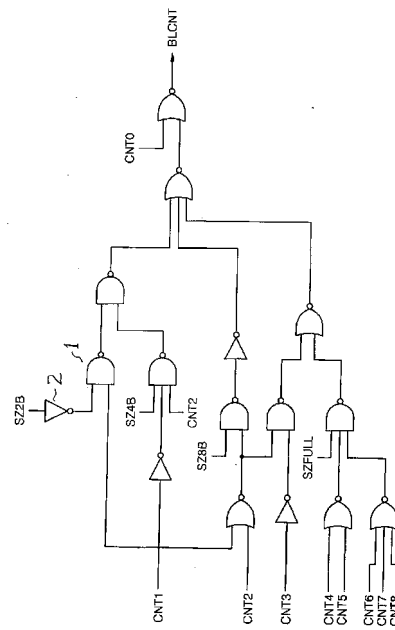
【 1 2 】



【 1 3 】



【 1 4 】



---

フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 李 相普

大韓民国京畿道龍仁市古梅里385-1番地世元アパート102棟102号

(72)発明者 李 禎培

大韓民国京畿道軍浦市山本洞1151-5番地修理漢陽アパート203棟207号

審査官 園田 康弘

(56)参考文献 特開平07-262769(JP,A)

特開平10-247388(JP,A)

特開平09-106671(JP,A)

国際公開第96/021278(WO,A1)

特開平07-264041(JP,A)

特開平02-158852(JP,A)

特開平06-076558(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407

G11C 11/4093

G11C 11/417