

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 5 月 14 日 (14.05.2020)



(10) 国际公布号
WO 2020/093476 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2018/117755
- (22) 国际申请日: 2018 年 11 月 27 日 (27.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811310839.X 2018 年 11 月 6 日 (06.11.2018) CN
- (71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 吴苗发(WU, Miaofa); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132

(CN)。胡雪(HU, Xue); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。乔红玉(QIAO, Hongyu); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。王天娇(WANG, Tianjiao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: DATA DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY

(54) 发明名称: 数据驱动电路及液晶显示器

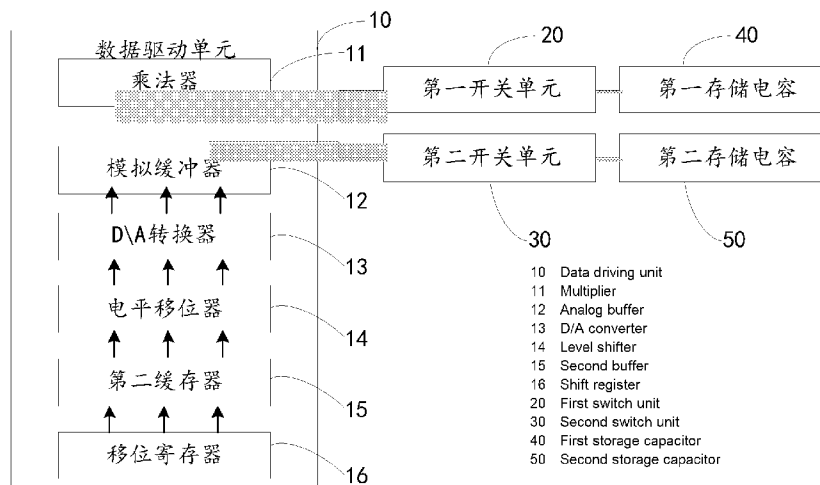


图 1

(57) Abstract: A data driving circuit, comprising: a data driving unit (10) comprising an analog buffer (12) and a multiplier (11), two output ends of the analog buffer (12) being connected to two input ends of the multiplier (11) respectively; a first switch unit (20), one end of which is connected to one common node of the analog buffer (12) and the multiplier (11), and the other end thereof is grounded; and a second switch unit (30), one end of which is connected to the other node of the analog buffer (12) and the multiplier (11), and the other end thereof is grounded.

(57) 摘要: 一种数据驱动电路, 包括: 数据驱动单元 (10), 其包括模拟缓冲器 (12) 以及乘法器 (11), 模拟缓冲器 (12) 的两个输出端分别与乘法器 (11) 的两个输入端连接; 第一开关单元 (20), 其一端与模拟缓冲器 (12) 以及乘法器 (11) 的一个公共节点连接, 其另一端接地; 第二开关单元 (30), 其一端与模拟缓冲器 (12) 以及乘法器 (11) 的另一个公共节点连接, 其另一端接地。

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

数据驱动电路及液晶显示器

技术领域

[0001] 本申请涉及液晶显示领域，具体涉及一种数据驱动电路及液晶显示器。

背景技术

[0002] 在现有技术中，数据驱动芯片内的模拟缓冲器模块将经过DAC转换输出的低带载能力电压转换成高带载能力的模拟电压，模拟数据信号的驱动能力提升之后转移到输出多路转换器中；液晶需要交流电压驱动，故像素电压极性相对于 V_{com} 电位来说是正负交替的。重载模式下在第一个TP下降沿时数据驱动电压从V2升到正极性电压V1，在下一个TP的下降沿时降到负极性V2，从TP下降沿开始数据驱动电压要升到高压V1，上升时间较短，功耗较大，在电压下降时同理，因此造成Source IC温度较高，具有烧毁IC的风险。

[0003] 因此，现有技术存在缺陷，急需改进。

发明概述

技术问题

[0004] 本申请的目的是提供一种数据驱动电路及液晶显示器，具有降低重载画面下数据驱动芯片的温度的效果。

问题的解决方案

技术解决方案

[0005] 本申请实施例提供了一种数据驱动电路，包括：

[0006] 驱动单元，该驱动单元用于接入数据驱动信号，其包括模拟缓冲器以及乘法器，该模拟缓冲器的两个输出端分别与该乘法器的两个输入端连接；

[0007] 第一开关单元，所述第一开关单元的一端与所述模拟缓冲器以及乘法器的一个公共节点连接，所述第一开关单元的另一端通过一第一存储电容接地；

[0008] 第二开关单元，所述第二开关单元的一端与所述模拟缓冲器以及乘法器的另一个公共节点连接，所述第二开关单元的另一端通过一第二存储电容接地；

[0009] 在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出

端电压先由第一预设电压上升到第二预设电压，然后在下降沿到来之后由第二预设电压上升到第三预设电压；

[0010] 在该数据驱动信号的第 $N+1$ 高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在下降沿到来之后由第二预设电压下降到第一预设电压，其中， N 为奇数；

[0011] 所述第一开关单元以及所述第二开关单元均为场效应晶体管。

[0012] 在本申请所述的数据驱动电路中，在该第 N 高电平与该第 $N+1$ 高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。

[0013] 在本申请所述的数据驱动电路中，在第 N 高电平的上升沿时，该第一开关单元打开，该第一存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第 N 高电平的下降沿时该第一开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第 $N+1$ 高电平的上升沿时，该第一开关单元打开，该模拟缓冲器的输出端电压同时给第一存储电容充电；

[0014] 在第 N 高电平的上升沿时，该第二开关单元打开，该第二存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第 N 高电平的下降沿时该第二开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第 $N+1$ 高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。

[0015] 在本申请所述的数据驱动电路中，所述驱动单元还包括移位寄存器、第二缓存器、电平移位器、D/A转换器；

[0016] 所述移位寄存器、第二缓存器、电平移位器、D/A转换器以及所述模拟缓冲器依次连接。

[0017] 在本申请所述的数据驱动电路中，所述第二缓存器为线缓冲器。

[0018] 在本申请所述的数据驱动电路中，所述第一开关单元以及所述第二开关单元均为NMOS管。

[0019] 在本申请所述的数据驱动电路中，所述数据驱动电路还包括一分控芯片，所述一分控芯片与所述第一开关单元以及所述第二开关单元的控制端连接。

[0020] 本申请实施例还提供了一种数据驱动电路，包括：

- [0021] 驱动单元，该驱动单元用于接入数据驱动信号，其包括模拟缓冲器以及乘法器，该模拟缓冲器的两个输出端分别与该乘法器的两个输入端连接；
- [0022] 第一开关单元，所述第一开关单元的一端与所述模拟缓冲器以及乘法器的一个公共节点连接，所述第一开关单元的另一端通过一第一存储电容接地；
- [0023] 第二开关单元，所述第二开关单元的一端与所述模拟缓冲器以及乘法器的另一个公共节点连接，所述第二开关单元的另一端通过一第二存储电容接地。
- [0024] 在本申请所述的数据驱动电路中，在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第一预设电压上升到第二预设电压，然后在下降沿到来之后由第二预设电压上升到第三预设电压；
- [0025] 在该数据驱动信号的第N+1高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在下降沿到来之后由第二预设电压下降到第一预设电压，其中，N为奇数。
- [0026] 在本申请所述的数据驱动电路中，在该第N高电平与该第N+1高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。
- [0027] 在本申请所述的数据驱动电路中，在第N高电平的上升沿时，该第一开关单元打开，该第一存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第一开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第一开关单元打开，该模拟缓冲器的输出端电压同时给第一存储电容充电；
- [0028] 在第N高电平的上升沿时，该第二开关单元打开，该第二存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第二开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。
- [0029] 在本申请所述的数据驱动电路中，所述驱动单元还包括移位寄存器、第二缓存器、电平移位器、D/A转换器；
- [0030] 所述移位寄存器、第二缓存器、电平移位器、D/A转换器以及所述模拟缓冲器依次连接。

- [0031] 在本申请所述的数据驱动电路中，所述第二缓存器为线缓冲器。
- [0032] 在本申请所述的数据驱动电路中，所述第一开关单元以及所述第二开关单元均为场效应晶体管。
- [0033] 在本申请所述的数据驱动电路中，所述第一开关单元以及所述第二开关单元均为NMOS管。
- [0034] 在本申请所述的数据驱动电路中，还包括一分控芯片，所述分控芯片与所述第一开关单元以及所述第二开关单元的控制端连接。
- [0035] 本申请实施例还提供一种液晶显示器，其包括数据驱动电路，所述数据驱动电路包括：
- [0036] 驱动单元，该驱动单元用于接入数据驱动信号，其包括模拟缓冲器以及乘法器，该模拟缓冲器的两个输出端分别与该乘法器的两个输入端连接；
- [0037] 第一开关单元，所述第一开关单元的一端与所述模拟缓冲器以及乘法器的一个公共节点连接，所述第一开关单元的另一端通过一第一存储电容接地；
- [0038] 第二开关单元，所述第二开关单元的一端与所述模拟缓冲器以及乘法器的另一个公共节点连接，所述第二开关单元的另一端通过一第二存储电容接地。
- [0039] 在本申请所述的液晶显示器中，在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第一预设电压上升到第二预设电压，然后在下降沿到来之后由第二预设电压上升到第三预设电压；
- [0040] 在该数据驱动信号的第N+1高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在下降沿到来之后由第二预设电压下降到第一预设电压，其中，N为奇数。
- [0041] 在本申请所述的液晶显示器中，在该第N高电平与该第N+1高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。
- [0042] 在本申请所述的液晶显示器中，在第N高电平的上升沿时，该第一开关单元打开，该第一存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第一开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第一开关单元打开，该模拟缓冲器的输出端电压同时给第一存储电容充电；

[0043] 在第N高电平的上升沿时，该第二开关单元打开，该第二存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第二开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。

发明的有益效果

有益效果

[0044] 本申请通过该通过第一存储电容以及第二存储电容的充放电提高数据电压利用率，降低重载画面下数据驱动芯片的温度。

对附图的简要说明

附图说明

[0045] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0046] 图1是本申请实施例中的数据驱动电路的一种结构示意图。

[0047] 图2是本申请实施例中的数据驱动电路的驱动时序图。

发明实施例

本发明的实施方式

[0048] 下面详细描述本申请的实施方式，所述实施方式的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施方式是示例性的，仅用于解释本申请，而不能理解为对本申请的限制。

[0049] 在本申请的描述中，需要理解的是，术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或

暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

[0050] 在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接或可以相互通讯；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

[0051] 在本申请中，除非另有明确的规定和限定，第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触，也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且，第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方，或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方，或仅仅表示第一特征水平高度小于第二特征。

[0052] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本申请。此外，本申请可以在不同例子中重复参考数字和/或参考字母，这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施方式和/或设置之间的关系。此外，本申请提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

[0053] 请参照图1，图1是本申请一实施例中的数据驱动电路的结构示意图，其用于液晶显示器中，该数据驱动电路，包括：驱动单元10、第一开关单元20、第二开

关单元40、第一存储电容30以及第二存储电容50。

[0054] 其中，该驱动单元用于接入数据驱动信号，其包括移位寄存器16、第二缓存器15、电平移位器14、D/A转换器13、模拟缓冲器12以及乘法器11，该模拟缓冲器12的两个输出端分别与该乘法器11的两个输入端连接。移位寄存器、第二缓存器、电平移位器、D/A转换器以及所述模拟缓冲器依次连接。在本申请所述的数据驱动电路中，所述第二缓存器为线缓冲器。该第一开关单元20的一端与所述模拟缓冲器12以及乘法器11的一个公共节点连接，所述第一开关单元20的另一端通过一第一存储电容30接地；第二开关单元40的一端与所述模拟缓冲器12以及乘法器11的另一个公共节点连接，所述第二开关单元40的另一端通过一第二存储电容50接地。

[0055] 其中，该第一开关单元20以及所述第二开关单元40均为场效应晶体管。第一开关单元20以及所述第二开关单元40均为NMOS管。

[0056] 在一些实施例中，该数据驱动电路还包括一分控芯片，所述分控芯片与所述第一开关单元以及所述第二开关单元的控制端连接。分控芯片用于控制该第一开关单元以及所述第二开关单元的导通与截止。

[0057] 请同时参照图2，工作时，在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第一预设电压上升到第二预设电压，然后在下降沿到来之后由第二预设电压上升到第三预设电压；在该数据驱动信号的第N+1高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在下降沿到来之后由第二预设电压下降到第一预设电压，其中，N为奇数。在该第N高电平与该第N+1高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。

[0058] 具体地，在第N高电平的上升沿时，该第一开关单元20打开，该第一存储电容30放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第一开关单元关闭，该模拟缓冲器12的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第一开关单元20打开，该模拟缓冲器12的输出端电压同时给第一存储电容30充电；在第N高电平的上升沿时，该第二开关单元40打开，该第二存储电容50电容放电使得该模拟缓冲器12的输出端电压

先爬升到第二预设电压，在该第N高电平的下降沿时该第二开关单元40关闭，该模拟缓冲器12的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。

[0059] 本申请通过该通过第一存储电容以及第二存储电容的充放电提高数据电压利用率，降低重载画面下数据驱动芯片的温度。

[0060] 本申请还提供了一种液晶显示器，其包括上述所述的数据驱动电路。

[0061] 在本说明书的描述中，参考术语“一个实施方式”、“某些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合所述实施方式或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

[0062] 综上所述，虽然本申请已以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种数据驱动电路，其包括：
- 驱动单元，该驱动单元用于接入数据驱动信号，其包括模拟缓冲器以及乘法器，该模拟缓冲器的两个输出端分别与该乘法器的两个输入端连接；
- 第一开关单元，所述第一开关单元的一端与所述模拟缓冲器以及乘法器的一个公共节点连接，所述第一开关单元的另一端通过一第一存储电容接地；
- 第二开关单元，所述第二开关单元的一端与所述模拟缓冲器以及乘法器的另一个公共节点连接，所述第二开关单元的另一端通过一第二存储电容接地；
- 在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第一预设电压上升到第二预设电压，然后在该下降沿到来之后由第二预设电压上升到第三预设电压；
- 在该数据驱动信号的第N+1高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在该下降沿到来之后由第二预设电压下降到第一预设电压，其中，N为奇数；
- 所述第一开关单元以及所述第二开关单元均为场效应晶体管。
- [权利要求 2] 根据权利要求1所述的数据驱动电路，其中，在该第N高电平与该第N+1高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。
- [权利要求 3] 根据权利要求1所述的数据驱动电路，其中，在第N高电平的上升沿时，该第一开关单元打开，该第一存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第一开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第一开关单元打开，该模拟缓冲器的输出端电压同时给第一存储电容充电；
- 在第N高电平的上升沿时，该第二开关单元打开，该第二存储电容电

容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第二开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。

[权利要求 4] 根据权利要求1所述的数据驱动电路，其中，所述驱动单元还包括移位寄存器、第二缓存器、电平移位器、D/A转换器；
所述移位寄存器、第二缓存器、电平移位器、D/A转换器以及所述模拟缓冲器依次连接。

[权利要求 5] 根据权利要求4所述的数据驱动电路，其中，所述第二缓存器为线缓冲器。

[权利要求 6] 根据权利要求5所述的数据驱动电路，其中，所述第一开关单元以及所述第二开关单元均为NMOS管。

[权利要求 7] 根据权利要求1所述的数据驱动电路，其中，所述数据驱动电路还包括一分控芯片，所述分控芯片与所述第一开关单元以及所述第二开关单元的控制端连接。

[权利要求 8] 一种数据驱动电路，其包括：
驱动单元，该驱动单元用于接入数据驱动信号，其包括模拟缓冲器以及乘法器，该模拟缓冲器的两个输出端分别与该乘法器的两个输入端连接；
第一开关单元，所述第一开关单元的一端与所述模拟缓冲器以及乘法器的一个公共节点连接，所述第一开关单元的另一端通过一第一存储电容接地；
第二开关单元，所述第二开关单元的一端与所述模拟缓冲器以及乘法器的另一个公共节点连接，所述第二开关单元的另一端通过一第二存储电容接地。

[权利要求 9] 根据权利要求8所述的数据驱动电路，其中，在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第一预设电压上升到第二预设电压，然后在下降沿到来之后由第二预

设电压上升到第三预设电压；

在该数据驱动信号的第N+1高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在该下降沿到来之后由第二预设电压下降到第一预设电压，其中，N为奇数。

[权利要求 10] 根据权利要求9所述的数据驱动电路，其中，在该第N高电平与该第N+1高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。

[权利要求 11] 根据权利要求9所述的数据驱动电路，其中，在第N高电平的上升沿时，该第一开关单元打开，该第一存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第一开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第一开关单元打开，该模拟缓冲器的输出端电压同时给第一存储电容充电；

在第N高电平的上升沿时，该第二开关单元打开，该第二存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第二开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。

[权利要求 12] 根据权利要求8所述的数据驱动电路，其中，所述驱动单元还包括移位寄存器、第二缓存器、电平移位器、D/A转换器；
所述移位寄存器、第二缓存器、电平移位器、D/A转换器以及所述模拟缓冲器依次连接。

[权利要求 13] 根据权利要求12所述的数据驱动电路，其中，所述第二缓存器为线缓冲器。

[权利要求 14] 根据权利要求8所述的数据驱动电路，其中，所述第一开关单元以及所述第二开关单元均为场效应晶体管。

[权利要求 15] 根据权利要求13所述的数据驱动电路，其中，所述第一开关单元以及所述第二开关单元均为NMOS管。

- [权利要求 16] 根据权利要求8所述的数据驱动电路，其中，所述数据驱动电路还包括一分控芯片，所述分控芯片与所述第一开关单元以及所述第二开关单元的控制端连接。
- [权利要求 17] 一种液晶显示器，其包括数据驱动电路，所述数据驱动电路包括：驱动单元，该驱动单元用于接入数据驱动信号，其包括模拟缓冲器以及乘法器，该模拟缓冲器的两个输出端分别与该乘法器的两个输入端连接；
第一开关单元，所述第一开关单元的一端与所述模拟缓冲器以及乘法器的一个公共节点连接，所述第一开关单元的另一端通过一第一存储电容接地；
第二开关单元，所述第二开关单元的一端与所述模拟缓冲器以及乘法器的另一个公共节点连接，所述第二开关单元的另一端通过一第二存储电容接地。
- [权利要求 18] 根据权利要求17所述的液晶显示器，其中，在该数据驱动信号的第N高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第一预设电压上升到第二预设电压，然后在下降沿到来之后由第二预设电压上升到第三预设电压；
在该数据驱动信号的第N+1高电平的上升沿与下降沿之间，该模拟缓冲器的输出端电压先由第三预设电压下降到第二预设电压，然后在下降沿到来之后由第二预设电压下降到第一预设电压，其中，N为奇数。
- [权利要求 19] 根据权利要求18所述的液晶显示器，其中，在该第N高电平与该第N+1高电平期间，该模拟缓冲器的输出端电压保持在第三预设电压。
- [权利要求 20] 根据权利要求18所述的液晶显示器，其中，在第N高电平的上升沿时，该第一开关单元打开，该第一存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第一开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第一开关单元打开，该模拟缓冲器

的输出端电压同时给第一存储电容充电；

在第N高电平的上升沿时，该第二开关单元打开，该第二存储电容电容放电使得该模拟缓冲器的输出端电压先爬升到第二预设电压，在该第N高电平的下降沿时该第二开关单元关闭，该模拟缓冲器的输出端电压上升到第三预设电压，在第N+1高电平的上升沿时，该第二开关单元打开，该模拟缓冲器的输出端电压同时给第二存储电容充电。

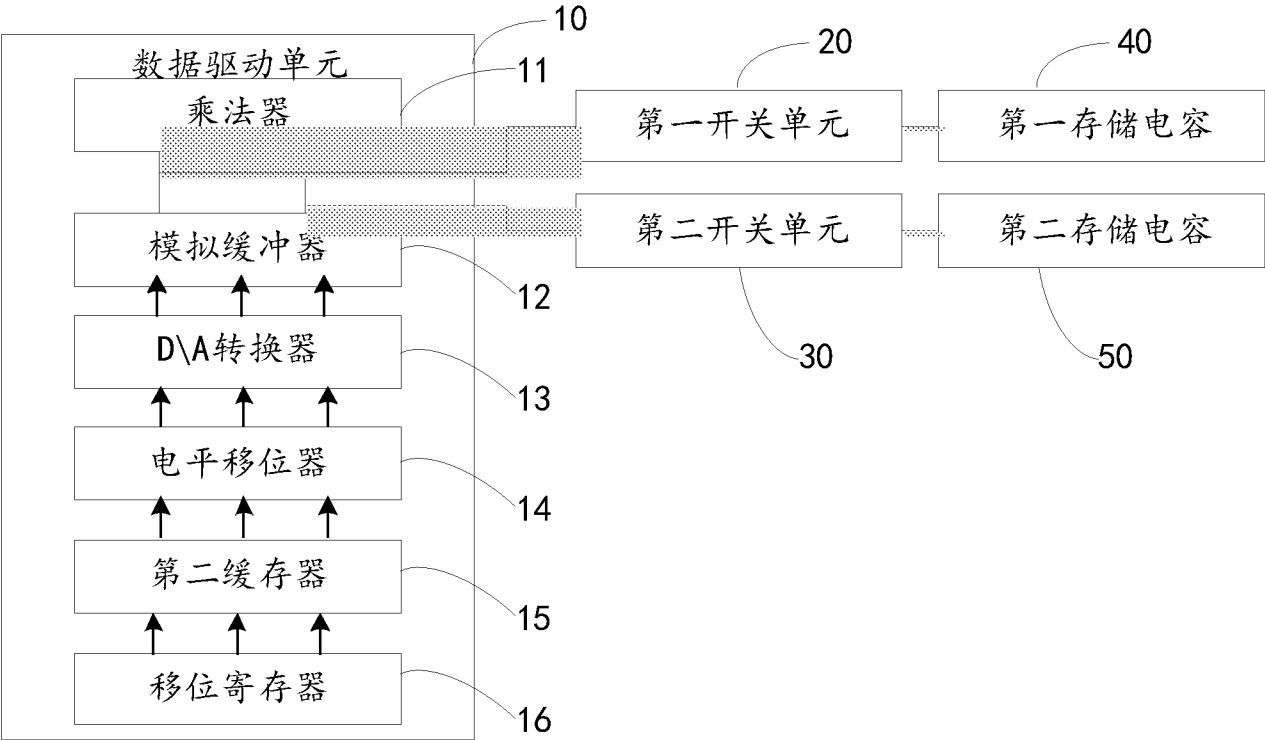


图 1

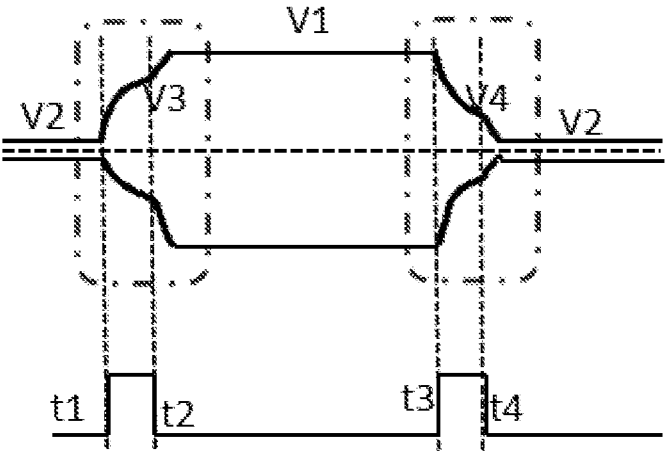


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/117755

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, BAIDU, CNPAT, CNKI, IEEE: 驱动, 缓冲, 开关, 晶体管, MOS, 电容, 功耗, 温度, driver, buffer, switch, transistor, capacitor, temperature

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101075399 A (NOVATEK MICROELECTRONICS CORP.) 21 November 2007 (2007-11-21) description, pages 5-8 and 13, and figures 6-8	1-20
A	CN 102063885 A (SITRONIX TECHNOLOGY CORPORATION) 18 May 2011 (2011-05-18) entire document	1-20
A	CN 101887698 A (HIMAX TECHNOLOGIES, INC.) 17 November 2010 (2010-11-17) entire document	1-20
A	US 2005007325 A1 (LG.PHILIPS LCD CO., LTD.) 13 January 2005 (2005-01-13) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 July 2019

Date of mailing of the international search report

07 August 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/117755

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101075399	A	21 November 2007	TW	200740110	A	16 October 2007
				JP	2007279731	A	25 October 2007
				US	2007229338	A1	04 October 2007
CN	102063885	A	18 May 2011	None			
CN	101887698	A	17 November 2010	None			
US	2005007325	A1	13 January 2005	KR	20050006363	A	17 January 2005

国际检索报告

国际申请号

PCT/CN2018/117755

A. 主题的分类

G09G 3/36 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, BAIDU, CNPAT, CNKI, IEEE: 驱动, 缓冲, 开关, 晶体管, MOS, 电容, 功耗, 温度, driver, buffer, switch, transistor, capacitor, temperature

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101075399 A (联詠科技股份有限公司) 2007年 11月 21日 (2007 - 11 - 21) 说明书第5-8、13页, 图6-8	1-20
A	CN 102063885 A (矽创电子股份有限公司) 2011年 5月 18日 (2011 - 05 - 18) 全文	1-20
A	CN 101887698 A (奇景光电股份有限公司) 2010年 11月 17日 (2010 - 11 - 17) 全文	1-20
A	US 2005007325 A1 (LG. PHILIPS LCD CO., LTD.) 2005年 1月 13日 (2005 - 01 - 13) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 7月 23日

国际检索报告邮寄日期

2019年 8月 7日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

吴少鸿

电话号码 86-(10)-53961533

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/117755

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101075399	A	2007年 11月 21日	TW	200740110	A	2007年 10月 16日
				JP	2007279731	A	2007年 10月 25日
				US	2007229338	A1	2007年 10月 4日
CN	102063885	A	2011年 5月 18日	无			
CN	101887698	A	2010年 11月 17日	无			
US	2005007325	A1	2005年 1月 13日	KR	20050006363	A	2005年 1月 17日