



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0002194  
(43) 공개일자 2008년01월04일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2006-0060863

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김효욱

경북 구미시 구평동 454 구평3차 부영APT 601동 301호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 8 항

(54) 박막트랜지스터와 그 제조방법

(57) 요약

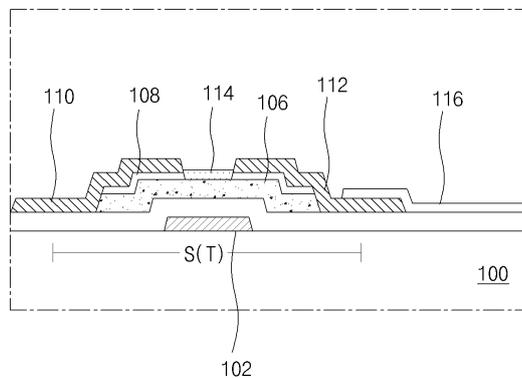
본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.

본 발명은 박막트랜지스터를 포함하는 어레이기판의 제조공정 중, 액티브층의 n+을 식각하는 공정과 액티브층의 표면에 보호막을 형성하는 공정을 동일 시스템(동일 챔버)에서 진행하도록 하는 것을 특징으로 한다.

이와 같이 하면, 액티브층 표면의 n+을 식각한 이후에 액티브층이 외부로 노출되지 않는 상태에서 보호막이 형성되기 때문에, 이물에 의한 누설전류 패스(off current pass)현상을 방지할 수 있어 박막트랜지스터의 동작불량을 최소화 할 수 있는 장점이 있다.

또한, 별도의 보호막 패턴 공정을 생략할 수 있기 때문에 마스크 공정을 줄일 수 있는 장점이 있다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

게이트 전극과 액티브층과 오믹 콘택층과, 소스 및 드레인 전극과, 상기 액티브층을 덮는 보호막을 포함하는 박막트랜지스터의 형성방법에 있어서,

상기 소스 및 드레인 전극의 이격된 사이로 노출된 오믹 콘택층을 제거하기 위해, 기판을 건식식각 장치의 진공 챔버내로 유입하는 단계와;

상기 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하는 단계와;

상기 동일한 진공챔버내에서 상기 액티브층의 표면에 보호막을 형성하는 단계를 포함하는 박막트랜지스터 제조방법.

### 청구항 2

제 1 항에 있어서,

상기 오믹 콘택층을 제거하는 공정은,

상기 진공챔버내에 식각가스를 유입하는 단계와;

상기 유입된 가스를 플라즈마화하여, 특정 이온과 상기 오믹 콘택층의 실리콘과 화학적으로 반응하여, 휘발성 가스가 만들어 지는 단계와;

전술한 반응 단계가 반복되면서, 상기 소스 및 드레인 전극의 이격된 사이로 노출된 오믹 콘택층이 완전히 제거되어 하부의 액티브층이 노출되는 단계

를 포함하는 박막트랜지스터 제조방법.

### 청구항 3

제 2 항에 있어서,

상기 보호막을 형성하는 공정은,

상기 오믹 콘택층을 제거한 후, 챔버내의 가스를 외부로 배출하여 고진공 상태로 만드는 단계와;

상기 챔버내로 반응가스를 유입하는 단계와;

상기 반응가스의 화학반응에 의해, 상기 액티브층의 표면에 증착형태로 보호막이 형성되는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

### 청구항 4

게이트 전극과 게이트 배선과 게이트 패드를 형성하는 제 1 마스크 공정과;

상기 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극에서 연장되고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 2 마스크 공정 단계와;

상기 기판을 건식식각 장치의 진공챔버 내부로 유입하고, 상기 오믹 콘택층을 제거하여 하부의 액티브층을 노출하고 연속하여, 상기 동일한 진공챔버내에서 상기 액티브층의 표면에 보호막을 형성하는 단계와;

상기 보호막을 식각하여, 상기 게이트 패드를 노출하는 제 3 마스크 공정 단계와;

상기 드레인 전극과 접촉하는 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 상기 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

### 청구항 5

상기 제 2 마스크 공정 단계는

상기 게이트 전극과 게이트 패드 및 게이트 배선이 형성된 기판의 전면에 게이트 절연막과, 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와;

상기 도전성 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 전극에 대응하는 상부에 단차진 감광패턴을 형성하고, 상기 게이트 배선과 교차하는 방향으로 제 2 감광패턴을 형성하는 단계와;

상기 제 1 및 제 2 감광패턴의 사이로 노출된 하부의 도전성 금속층을 제거하여, 상기 제 1 감광패턴의 하부에 금속패턴과, 상기 제 2 감광패턴의 하부에 상기 금속패턴에서 연장되고 일 끝단에 테이터 패드를 포함하는 테이터 배선을 형성하는 단계와;

상기 애싱공정을 진행하여, 상기 게이트 전극의 중심에 대응하는 부분의 낮은 부분의 제 1 감광패턴을 제거하여, 하부의 금속패턴을 노출하는 단계와;

상기 노출된 금속패턴을 제거하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판 제조방법.

#### 청구항 6

제 4 항에 있어서,

상기 오믹 콘택층을 제거하는 공정은,

상기 진공챔버내에 식각가스를 유입하는 단계와;

상기 유입된 가스를 플라즈마화하여, 특정 이온과 상기 오믹 콘택층의 실리콘과 화학적으로 반응하여, 휘발성 가스가 만들어지는 단계와;

전술한 반응 단계가 반복되면서, 상기 소스 및 드레인 전극의 이격된 사이로 노출된 오믹 콘택층이 완전히 제거되어 하부의 액티브층이 노출되는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 7

제 4 항에 있어서,

상기 보호막을 형성하는 공정은,

상기 오믹 콘택층을 제거한 후, 챔버내의 가스를 외부로 배출하여 고진공 상태로 만드는 단계와;

상기 챔버내로 반응가스를 유입하는 단계와;

상기 반응가스의 화학반응에 의해, 상기 액티브층의 표면에 증착형태로 보호막이 형성되는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 8

제 7 항에 있어서,

상기 보호막은 질화 실리콘(SiN<sub>x</sub>) 또는 산화 실리콘(SiO<sub>2</sub>)으로 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

**발명이 속하는 기술 및 그 분야의 종래기술**

- <13> 본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.
- <14> 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해사시도이다.
- <15> 도시한 바와 같이, 일반적인 액정표시장치(3)는 블랙매트릭스(6)와 서브컬러필터(7a,7b,7c)가 구성되고, 상기 블랙매트릭스 및 서브 컬러필터(6,7a,7b,7c)가 형성된 기판의 전면에 공통전극(9)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(17)과 스위칭소자(T)를 포함한 어레이배선(12,24)이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(11)이 충전되어 있다.
- <16> 상기 하부기판(22)은 어레이 기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(12)과 데이터배선(24)이 형성된다.
- <17> 상기 화소영역(P)은 상기 게이트배선(12)과 데이터배선(24)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 사용한다.
- <18> 전술한 바와 같이 구성되는 액정표시장치는 상기 박막트랜지스터(T)와 박막트랜지스터에 연결된 화소전극(17)이 매트릭스 내에 존재함으로써 영상을 표시한다.
- <19> 상기 게이트배선(12)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트전극(30)을 구동하는 펄스전압을 전달하며, 상기 데이터배선(24)은 상기 박막트랜지스터(T)의 제 2 전극인 소스전극(34)을 구동하는 신호전압을 전달하는 수단이다.
- <20> 이때, 상기 소스 전극(34)과 이격하여 위치하고 상기 화소 전극(17)과 연결된 드레인 전극(36)과, 상기 소스 및 드레인 전극(34,36)의 하부에는 액티브층(32)이 구성된다.
- <21> 전술한 바와 같이 구성되는 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <22> 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <23> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛의 편광상태가 변화되어 화상정보를 표현할 수 있다.
- <24> 전술한 구성에서, 상기 스위칭 소자로 사용하는 박막트랜지스터는 여러 형태로 형성할 수 있으며 특히, 박막트랜지스터를 구성하는 액티브층이 비정질 실리콘일 경우, 일반적으로 역스태거드형(inverted staggered type)으로 제작하여 사용한다.
- <25> 이하, 도 2를 참조하여 역스태거드형 박막트랜지스터의 구성을 살펴본다.
- <26> 도 2는 역스태거드형(inverted staggered type) 박막트랜지스터의 구성을 도시한 확대 단면도이다.
- <27> 도시한 바와 같이, 역스태거드형 박막트랜지스터(T)는 일반적으로 기판(50) 상에 게이트 전극(52)이 구성되고, 상기 게이트 전극(52)의 상부에 절연막(54)을 사이에 두고 액티브층(56)과 오믹콘택층(58)이 구성되고, 상기 오믹 콘택층(58)의 상부에 이격된 소스 전극(60)과 드레인 전극(62)이 구성된다.
- <28> 이때, 전술한 바와 같이 구성된 박막트랜지스터(T)를 액정표시장치로 사용할 경우, 상기 박막트랜지스터(T)가 형성된 상부에 보호막(64)을 구성하고, 상기 보호막(64)의 상부에 위치하고 상기 보호막(64)을 통해 상기 드레인 전극(62)과 접촉하는 화소 전극(68)이 구성된다.
- <29> 전술한 바와 같은 박막트랜지스터는 아래와 같은 공정을 통해 제작된다.
- <30> 도 3a 내지 도 3e는 종래에 따른 역스태거드형 박막트랜지스터를 포함하는 액정표시장치용 어레이기판의 제조공정을 공정순서에 따라 도시한 공정 단면도이다.
- <31> 도 3a에 도시한 바와 같이, 기판(50)상에 알루미늄, 알루미늄합금(AlNd), 구리(Cu), 텅스텐(W), 몰리브덴(Mo), 텅스텐(W)등을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 게이트 전극(52)을 형성한다.
- <32> 다음으로, 상기 게이트 전극(52)이 형성된 기판(50)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하

는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 게이트 절연막(54)을 형성한다.

- <33> 도 3b에 도시한 바와 같이, 상기 게이트 절연막(54)이 형성된 기판(50)의 전면에 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하고 패터하여, 상기 게이트 전극(52)의 상부에 액티브층(56)과 오믹 콘택층(58)을 형성한다.
- <34> 이때, 상기 비정질 실리콘층(a-Si:H layer)은 사일렌 기체(SiH<sub>4</sub>)를 rf-파워에 의하여 분해한 후, 플라즈마 화학 기상 증착법(p-CVD)으로 증착시킨다.
- <35> 상기 비정질 실리콘층의 표면에 불순물 비정질 실리콘층을 형성하기 위한 공정으로, 상기 비정질 실리콘층이 형성된 기판이 놓여진 챔버내의 공기를 빼어 사일렌 기체(SiH<sub>4</sub>)와 수소 희석기체와, 포스핀(PH<sub>3</sub>)과 다이보렌(B<sub>2</sub>H<sub>6</sub>)과 같은 도핑기체를 챔버내로 불어 넣는다.
- <36> 기체의 압력이 일정수준이 되면 rf 파워를 걸어주어 불순물을 증착시킨다.
- <37> 이와 같은 공정으로 상기 비정질 실리콘층과 불순물 비정질 실리콘층을 형성하고 이를 패터하기 위한 마스크 공정을 수행함으로써, 일정 형상의 액티브층(56)과 오믹 콘택층(58)을 형성할 수 있다.
- <38> 다음으로, 도 3c에 도시한 바와 같이, 액티브층(56)과 오믹 콘택층(58)이 형성된 기판(50)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 오믹 콘택층(58)의 상부에서 이격된 소스 전극(60)과 드레인 전극(62)을 형성한다.
- <39> 연속하여, 상기 소스 및 드레인 전극(60,62)의 이격공간으로 노출된 오믹 콘택층(58)을 제거하여 하부의 액티브층(56)을 노출하는 공정을 진행한다.
- <40> 도 3d에 도시한 바와 같이, 상기 소스 및 드레인 전극(60,62)이 형성된 기판(50)의 전면에 질화 실리콘(Si<sub>3</sub>N<sub>4</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하거나 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 도포하여 보호막(64)을 형성한다.
- <41> 다음으로, 상기 보호막(64)을 패터하여 상기 드레인 전극(62)의 일부를 노출하는 드레인 콘택홀(66)을 형성한다.
- <42> 다음으로, 도 3e에 도시한 바와 같이, 상기 보호막(64)의 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 드레인 전극(62)과 접촉하는 화소 전극(68)을 형성 한다.
- <43> 이상과 같은 공정을 통해, 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판을 제작할 수 있다.
- <44> 전술한 어레이기판의 제조공정을 다시 한번 요약하면 아래와 같다.
- <45> 제 1 마스크 공정 : 게이트 전극 게이트 배선 형성 공정.
- <46> 제 2 마스크 공정 : 액티브층와 오믹 콘택층 형성 공정.
- <47> 제 3 마스크 공정 : 소스및 드레인 전극 형성, 오믹 콘택층 제거공정.
- <48> 제 4 마스크 공정 : 보호막 형성하고, 드레인 전극 노출공정.
- <49> 제 5 마스크 공정 : 화소 전극 형성공정.
- <50> 이상의 5 마스크 공정으로 전술한 액정표시장치용 어레이기판을 제작할 수 있다.
- <51> 전술한 각 마스크 공정들은 기판에 형성하려는 패턴의 선행층을 형성하고, 상기 선행층의 상부에 감광층을 형성하고, 마스크를 사용하여 상기 감광층에 원하는 형상을 노광하고, 상기 감광층을 스트립 하여 원하는 형상으로 패터한 후, 스트립 후에 노출된 부분의 선행층을 제거함으로써, 비로서 선행층을 원하는 형태로 패터할 수 있는 과정으로 진행된다.
- <52> 이때, 각 마스크 공정 마다 세정공정, 증착공정, 스트립 공정, 약액을 이용한 식각 공정 등이 반복되어 진행되며 특히, 진공 챔버내에서의 증착 공정 이후에는 기판이 외부로 노출되는 과정들이 반복된다.
- <53> 특히, 이러한 과정에서 기판의 표면이 이물에 의해 오염될 수 있는 확률이 커지는데, 이러한 오염에 특히 민감

한 부분은 액티브층의 표면이다.

- <54> 상기 액티브층(56)의 표면은 실제 박막트랜지스터가 동작했을 때, 소스 및 드레인 전극 사이로 캐리어(carrier)가 흐르는 채널(channel)의 역할을 하게 된다.
- <55> 그런데, 상기 액티브층(56)의 표면이 오염되었을 경우에는, 상기 오염 물질에 의해 누설전류가 흐를 수 있는 경로가 발생하게 된다.
- <56> 이와 같은 경우, 박막트랜지스터가 오동작할 수 있고 이로 인해, 액정패널에 얼룩불량이 발생하는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

- <57> 본 발명은 기술한 문제를 해결하기 위해 제안된 것으로, 상기 액티브층의 표면이 오염되지 않도록 하는 방법을 제안하는 것을 목적으로 한다.

**발명의 구성 및 작용**

- <58> 기술한 바와 같은 목적을 달성하기 본 발명에 따른 박막트랜지스터 어레이기판 제조방법은 게이트 전극과 액티브층과 오믹 콘택층과, 소스 및 드레인 전극과, 상기 액티브층을 덮는 보호막을 포함하는 박막트랜지스터 어레이 기판의 형성방법에 있어서, 상기 소스 및 드레인 전극의 이격된 사이로 노출된 오믹 콘택층을 제거하기 위해, 기판을 건식식각 장치의 진공챔버내로 유입하는 단계와; 상기 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하는 단계와; 상기 동일한 진공챔버내에서 상기 액티브층의 표면에 보호막을 형성하는 단계를 포함한다.
- <59> 상기 오믹 콘택층을 제거하는 공정은, 상기 진공챔버내에 식각가스를 유입하는 단계와; 상기 유입된 가스를 플라즈마화하여, 특정 이온과 상기 오믹 콘택층의 실리콘과 화학적으로 반응하여, 휘발성 가스가 만들어 지는 단계와; 전술한 반응 단계가 반복되면서, 상기 소스 및 드레인 전극의 이격된 사이로이로 노출된 오믹 콘택층이 완전히 제거되어 하부의 액티브층이 노출되는 단계를 포함한다.
- <60> 상기 보호막을 형성하는 공정은, 상기 오믹 콘택층을 제거한 후, 챔버내의 가스를 외부로 배출하여 고진공 상태로 만드는 단계와; 상기 챔버내로 반응가스를 유입하는 단계와; 상기 반응가스의 화학반응에 의해, 상기 액티브층의 표면에 증착형태로 보호막이 형성되는 단계를 포함한다.
- <61> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 게이트 전극과 게이트 배선과 게이트 패드를 형성하는 제 1 마스크 공정과; 상기 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극에서 연장되고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 2 마스크 공정 단계와; 상기 기판을 건식식각 장치의 진공챔버 내부로 유입하고, 상기 오믹 콘택층을 제거하여 하부의 액티브층을 노출하고 연속하여, 상기 동일한 진공챔버내에서 상기 액티브층의 표면에 보호막을 형성하는 단계와; 상기 보호막을 식각하여, 상기 게이트 패드를 노출하는 제 3 마스크 공정 단계와; 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 상기 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계를 포함한다.
- <62> 상기 제 2 마스크 공정 단계는 상기 게이트 전극과 게이트 패드 및 게이트 배선이 형성된 기판의 전면에 게이트 절연막과, 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 도전성 금속층을 적층하는 단계와; 상기 도전성 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 전극에 대응하는 상부에 단차진 감광패턴을 형성하고, 상기 게이트 배선과 교차하는 방향으로 제 2 감광패턴을 형성하는 단계와; 상기 제 1 및 제 2 감광패턴의 사이로 노출된 하부의 도전성 금속층을 제거하여, 상기 제 1 감광패턴의 하부에 금속패턴과, 상기 제 2 감광패턴의 하부에 상기 금속패턴에서 연장되고 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 애싱공정을 진행하여, 상기 게이트 전극의 중심에 대응하는 부분의 낮은 부분의 제 1 감광패턴을 제거하여, 하부의 금속패턴을 노출하는 단계와; 상기 노출된 금속패턴을 제거하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 포함한다.
- <63> 상기 오믹 콘택층을 제거하는 공정은, 상기 진공챔버내에 식각가스를 유입하는 단계와; 상기 유입된 가스를 플라즈마화하여, 특정 이온과 상기 오믹 콘택층의 실리콘과 화학적으로 반응하여, 휘발성 가스가 만들어 지는 단계와; 전술한 반응 단계가 반복되면서, 상기 소스 및 드레인 전극의 이격된 사이로이로 노출된 오믹 콘택층이 완전히 제거되어 하부의 액티브층이 노출되는 단계를 포함한다.
- <64> 상기 보호막을 형성하는 공정은, 상기 오믹 콘택층을 제거한 후, 챔버내의 가스를 외부로 배출하여 고진공 상태

로 만드는 단계와; 상기 챔버내로 반응가스를 유입하는 단계와; 상기 반응가스의 화학반응에 의해, 상기 액티브층의 표면에 증착형태로 보호막이 형성되는 단계를 포함한다.

- <65> 상기 보호막은 질화 실리콘(Si<sub>3</sub>N<sub>4</sub>) 또는 산화 실리콘(SiO<sub>2</sub>)으로 형성되는 것을 특징으로 한다.
- <66> 이하, 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- <67> -- 실시예 --
- <68> 본 발명은 액티브층 상부의 오믹 콘택층을 제거하는 공정과, 상기 액티브층의 표면을 덮는 보호막을 형성하는 공정을 동일 챔버에서 진행하는 것을 특징으로 한다.
- <69> 도 4는 본 발명에 따른 액정표시장치용 어레이기판의 일부를 확대한 단면도이다.
- <70> 도시한 바와 같이, 본 발명에 따른 액정표시장치용 어레이기판(100)은, 기판(100)에 다수의 화소 영역(P)과, 화소 영역(P)마다 스위칭 영역(S)을 정의한다.
- <71> 상기 스위칭 영역(S)에는 박막트랜지스터(T)를 구성하며, 상기 화소영역(P)에는 화소 전극(116)을 구성한다.
- <72> 상기 박막트랜지스터(T)는 게이트 전극(102)과 액티브층(106)과, 액티브층(108)의 상부에 이격된 오믹 콘택층(108)과 소스 전극(110)과 드레인 전극(112)으로 구성되며, 상기 소스 및 드레인 전극(110,112)의 이격된 사이에 상기 액티브층(106)의 표면을 덮는 보호막(114)을 구성한다.
- <73> 이때, 상기 보호막(114)은 상기 오믹 콘택층(108)을 건식식각하는 동일한 진공챔버 내에서, 상기 오믹 콘택층(108)의 건식식각 공정 후 바로 진행하는 증착공정을 통해 형성될 수 있다.
- <74> 상세히 설명하면, 일반적으로 오믹 콘택층(108)을 제거하기 위해서는 건식 식각장치의 진공 챔버내에서 상기 오믹 콘택층(108)을 제거하는 공정을 진행하게 된다.
- <75> 상기 오믹 콘택층(108)을 제거한 후 기판(100)을 외부로 반출하지 않은 상태에서, 상기 진공 챔버내부의 가스(gas)를 외부로 배출해, 상기 진공챔버를 고진공(또는 초고진공)상태로 만든다.
- <76> 다음으로, 상기 액티브층(106)의 표면을 덮는 보호막(114)을 형성하기 위한 반응가스를 상기 진공챔버 내부에 유입하고 화학증착법을 이용하여, 상기 액티브층(106)의 표면에 보호막(114)을 덮는 것이다.
- <77> 한편, 상기 오믹 콘택층(108)은 불순물이 포함된 비정질 실리콘층이므로, SF<sub>6</sub>가스를 진공챔버내에 유입하여 플라즈마화 하면 F라디칼이 발생하게 되고, 상기 오믹 콘택층(108)의 실리콘과 반응하여 휘발성 가스인 SiF<sub>4</sub>가 생성된다.
- <78> 이와 같은 화학적인 반응을 통해, 상기 오믹 콘택층(108)을 제거하게 된다.
- <79> 따라서, 상기 오믹 콘택층(108)을 제거한 후 앞서 언급한 바와 같이, 다시 한번 챔버를 진공상태로 만든 후, 반응가스를 유입시켜 상기 오믹 콘택층(108)이 제거되어 노출된 액티브층(106)의 표면에 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>) 또는 실리콘 산화막(SiO<sub>2</sub>)을 형성할 수 있다.
- <80> 전술한 바와 같이, 상기 오믹 콘택층(108)을 제거하는 공정과, 상기 보호막(114)을 증착하는 공정을 동일한 챔버내에서 진행하게 되면, 상기 노출된 액티브층(106)이 외기의 이물에 의해 오염되지 않기 때문에, 박막트랜지스터(T)의 누설전류 특성을 최소화 할 수 있는 장점이 있다.
- <81> 이러한 방법은 마스크 공정이 단순화 될수록 더욱 필요한 공정이다.
- <82> 이하, 전술한 바와 같은 액티브층 보호공정을 적용한 4 마스크 공정을 설명한다.
- <83> 도 5는 4마스크 공정으로 제작된 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- <84> 도시한 바와 같이, 어레이 기판은 절연 기판(200)상에 일 방향으로 연장된 게이트 배선(204)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(238)포함한다.
- <85> 상기 게이트 배선(204)의 일 끝단에 게이트 패드(206)가 구성되고, 상기 데이터 배선(238)의 일 끝단에는 데이터 패드(240)가 구성된다.
- <86> 상기 게이트 패드(206)와 데이터 패드(240)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(GP)과,

데이터 패드 전극(DP)이 구성된다.

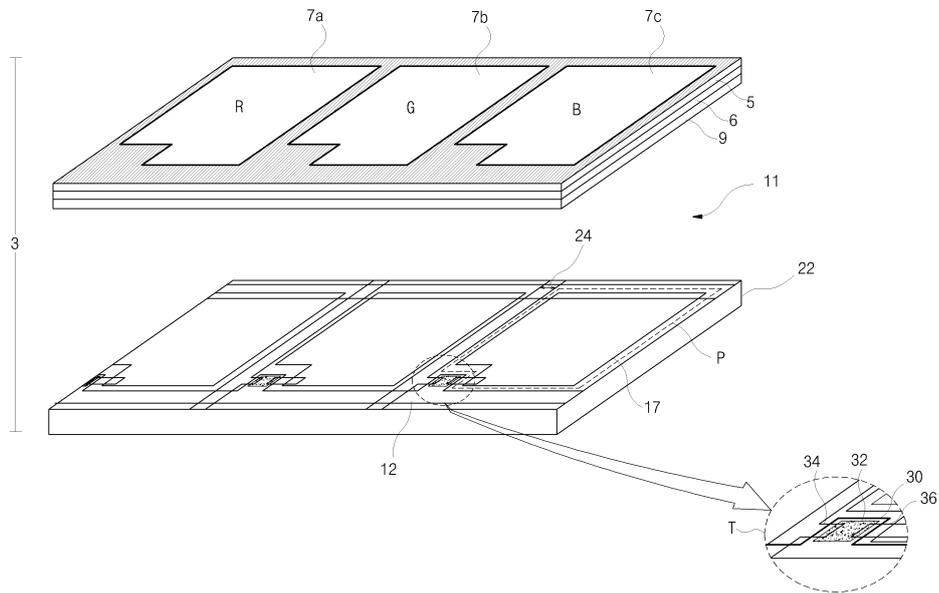
- <87> 상기 게이트 배선(204)과 데이터 배선(238)의 교차지점에는 상기 게이트 배선(204)과 접촉하는 게이트 전극(202)과, 게이트 전극(202)의 상부에 위치한 제 1 반도체층(230a)과, 제 1 반도체층(230a)의 상부에 이격되어 위치하고 상기 데이터 배선(238)과 연결된 소스 전극(234)과, 이와는 이격된 드레인 전극(236)을 포함하는 박막 트랜지스터(T)가 구성된다.
- <88> 상기 화소 영역(P)에는 상기 드레인 전극(236)과 접촉하는 투명한 화소 전극(PXL)이 구성된다.
- <89> 이때, 상기 게이트 배선(204)의 일부 상부는 상기 화소 전극(PXL)이 연장되어, 상기 게이트 배선(202)의 일부를 제 1 전극으로 하고 상기 화소 전극(PXL)의 연장부를 제 2 전극으로 하는 스토리지 캐패시터(Cst)가 형성된다.
- <90> 상기 데이터 배선(238)의 하부에는 상기 제 1 반도체층(230a)에서 연장된 제 2 반도체층(230b)이 구성된다.
- <91> 이하, 공정도면을 참조하여, 본 발명의 액티브층을 덮는 보호막 형성공정을 포함하는 4 마스크 공정을 설명한다.
- <92> 도 6a 내지 도 6g와 도 7a 내지 도 7g와 도 8a 내지 도 8g는 도 5의 II-II, III-III, IV-IV를 따라 절단하여, 본 발명의 4마스크 공정순서에 따라 도시한 공정 단면도이다.
- <93> 도 6a와 도 7a와 도 8a는 제 1 마스크 공정을 나타낸 도면이다.
- <94> 도 6a와 도 7a와 도 8a에 도시한 바와 같이, 기판(200)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.
- <95> 이때, 상기 스토리지 영역(C)은 게이트 영역(G)의 일부에 정의된다.
- <96> 상기 다수의 영역(S,P,G,D,C)이 정의된 기판(200)상에 일 방향으로 연장되고, 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(202)과, 상기 게이트 배선(204)과 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(202)을 형성한다.
- <97> 이때, 상기 게이트 패드 및 게이트 배선(206,204)과 게이트 전극(202)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.
- <98> 다음으로, 도 6b 내지 도 6e와 도 7b 내지 도 7e와 도 8b 내지 도 8e는 제 2 마스크 공정을 나타낸 도면이다.
- <99> 도 6b와 도 7b와 도 8b에 도시한 바와 같이, 상기 게이트 전극(202)과 게이트 패드(206)를 포함하는 게이트 배선(204)이 형성된 기판(200)의 전면에 게이트 절연막(208)과, 순수 비정질 실리콘층(a-Si:H, 210)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 212)과 도전성 금속층(214)을 형성한다.
- <100> 상기 게이트 절연막(208)은 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착하여 형성하고, 상기 금속층(214)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.
- <101> 다음으로, 상기 도전성 금속층(214)이 형성된 기판(200)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(216)을 형성한다.
- <102> 다음으로, 상기 감광층(216)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <103> 이때, 상기 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여, 빛의 강도를 낮추거나 빛의 투과량을 낮추어 상기 감광층을 불완전 노광할 수 있도록 하는 기능을 한다.
- <104> 또한, 상기 차단부(B2)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(B1)는 빛을 투과시켜 빛에 의해 감광층(76)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.
- <105> 한편, 상기 스위칭 영역(S)에는 반투과부(B3)와, 반투과부(B3)의 양측에 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(G)과 교차하는 방향인 상기 데이터 영역(D)에는 차단부(B2)가 위치하도록 한다.

- <106> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(216)을 노광하고 현상하는 공정을 진행한다.
- <107> 도 6c와 도 7c와 도 8c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)의 상부에 패터닝 제 1 내지 제 2 감광층(218a, 218b)을 형성한다.
- <108> 다음으로, 상기 제 1 및 제 2 감광층(218a, 218b)의 주변으로 노출된 상기 도전성 금속층(214)과 그 하부의 불순물 비정질 실리콘층(212)과, 순수 비정질 실리콘층(210)을 제거하는 공정을 진행한다.
- <109> 이때, 상기 도전성 금속층(214)의 종류에 따라 금속층과 그 하부층(212, 210)이 동시에 제거될 수도 있고, 상기 금속층을 먼저 식각한 후 건식식각 공정을 통해 하부의 순수 비정질 실리콘층(210)과 불순물 비정질 실리콘층(212)을 제거하는 공정을 진행한다.
- <110> 도 5d와 도 6d와 도 7d에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 내지 제 3 감광층(218a, 218b, 218c)의 하부에 제 1 금속층(220)과, 제 1 금속층(220)에서 화소영역(P)의 일 측을 따라 연장된 제 2 금속패턴(222)이 형성된다.
- <111> 이때, 제 1 및 제 2 금속패턴(220, 222)의 하부에 순수 비정질 실리콘층(212)과 불순물 비정질 실리콘층(212)이 존재하며, 편의상 상기 제 1 금속패턴(220)의 하부에 구성된 것은 제 1 반도체 패턴(230a), 상기 제 2 금속패턴(222)의 하부에 구성된 것은 제 2 반도체 패턴(230b)이라 칭한다.
- <112> 다음으로, 상기 제 1 감광층(228a)중, 상기 게이트 전극(202)의 중심에 대응하여 높이가 낮은 부분을 제거하여 하부의 제 1 금속패턴(220)을 노출하기 위한 애싱 공정(ashing process)을 진행한다.
- <113> 결과적으로 도시한 바와 같이, 상기 게이트 전극(202)의 중심에 대응하는 제 1 금속패턴(220)의 일부가 노출되며 이때, 상기 제 1 및 제 2 감광패턴(218a, 218b)의 주변으로 제 1 및 제 2 금속패턴(220, 224)의 일부가 동시에 노출된다.
- <114> 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(220)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(212)을 제거하는 공정을 진행한다.
- <115> 도 6e와 도 7e와 도 8e에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(202)의 상부에 위치한 제 1 반도체 패턴(230a)중 하부층(순수 비정질 실리콘층)은 액티브층(232a)으로서 기능하게 되고, 상기 액티브층(232a)의 상부에서 일부가 제거되어 이격된 상부층은 오믹 콘택층(232b)의 기능을 하게 된다.
- <116> 이때, 상기 액티브층(232a) 상부의 오믹 콘택층(232b)을 제거하면서, 하부의 액티브층(232a)을 파식각하여 액티브층의 표면(액티브채널, active channel)에 불순물이 남아 있지 않도록 한다.
- <117> 한편, 상기 오믹 콘택층(232b)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(234)와 드레인 전극(236)이라 칭한다.
- <118> 이때, 상기 소스 전극(234)과 접촉하는 제 2 금속패턴(도 6c의 222)은 데이터 배선(238)이라 하고, 상기 데이터 배선(238)의 일 끝단은 데이터 패드(240)라 칭한다.
- <119> 다음으로, 상기 이격된 이격된 소스 전극과 드레인 전극(234, 236)의 사이로 노출된 오믹 콘택층(232b)을 제거하는 공정을 진행하기 위해, 상기 기관(200)을 건식식각 장치의 진공챔버내로 반입하는 공정을 진행한다.
- <120> 다음으로, 상기 진공챔버내에 SF<sub>6</sub>와 같은 식각가스를 유입하고 앞서 언급한 화학적 식각을 진행하여, 상기 소스 및 드레인 전극(234, 236)의 이격된 사이로 노출된 오믹 콘택층(232a)을 제거하는 공정을 진행한다.
- <121> 연속하여, 상기 진공챔버 내부의 가스를 외부로 배출하여 고진공 상태가 되도록 한 후 반응 가스를 유입한다.
- <122> 상기 반응가스의 화학적 반응에 의해, 상기 기관(200)의 전면에 보호막(PAS)을 형성하는 공정을 진행한다.
- <123> 이때, 상기 보호막(PAS)은 질화 실리콘(Si<sub>3</sub>N<sub>4</sub>)과 산화 실리콘(SiO<sub>2</sub>)으로 구성되며, 이를 위해 반응 가스는 SiH<sub>4</sub>, NH<sub>3</sub>, O<sub>2</sub> 등을 선택적으로 사용하면 된다.
- <124> 전술한 바와 같이, 상기 오믹 콘택층(232b)을 제거하는 공정과, 보호막(PAS)을 형성하는 공정을 동일챔버내에서 진행하게 되면, 상기 보호막(PAS)을 형성하기 전 기관(200)이 외부로 노출되는 단계가 없기 때문에, 상기 액티브층(232b)의 표면이 오염되는 불량을 방지할 수 있다.
- <125> 도 6f와 도 7f와 도 8f는 제 3 마스크 공정을 나타낸 도면으로, 상기 게이트 패드(206)에 대응하는 상기 보호막

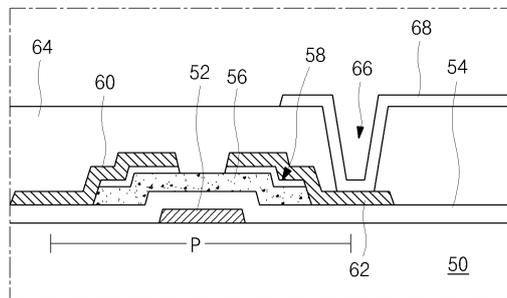


도면

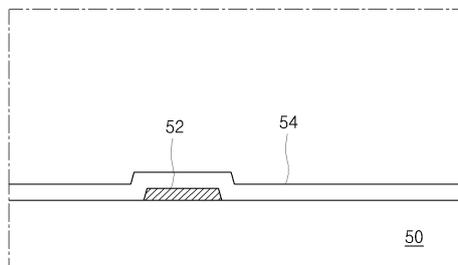
도면1



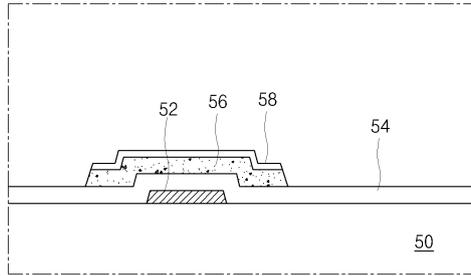
도면2



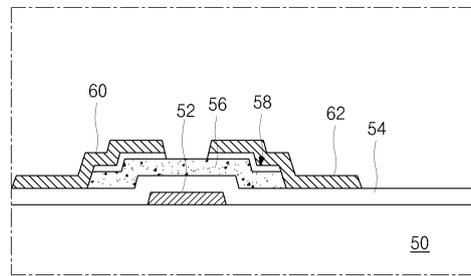
도면3a



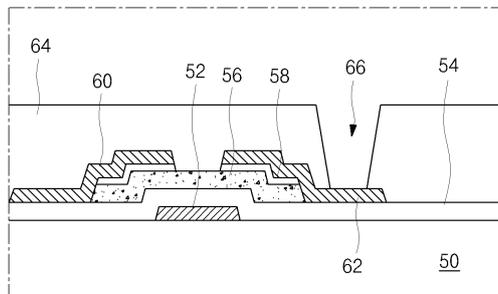
도면3b



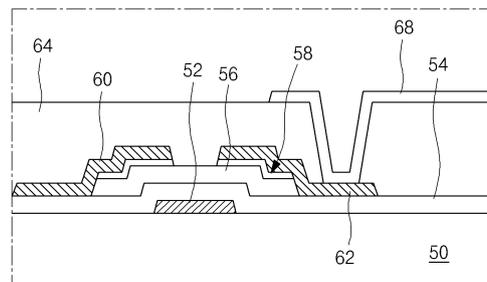
도면3c



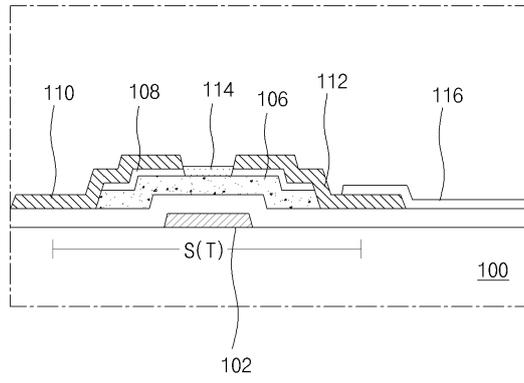
도면3d



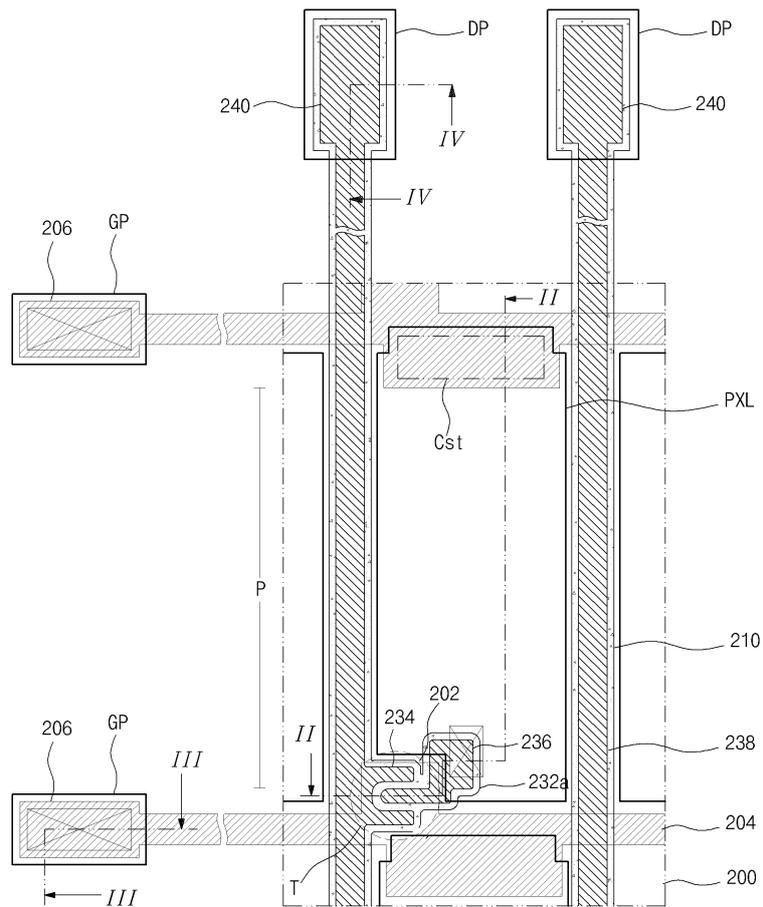
도면3e



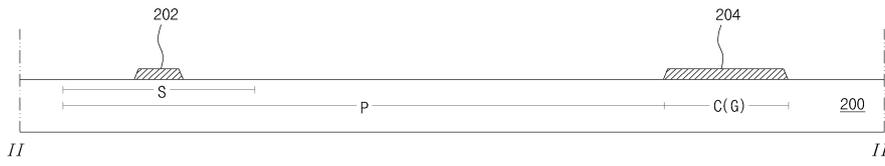
도면4



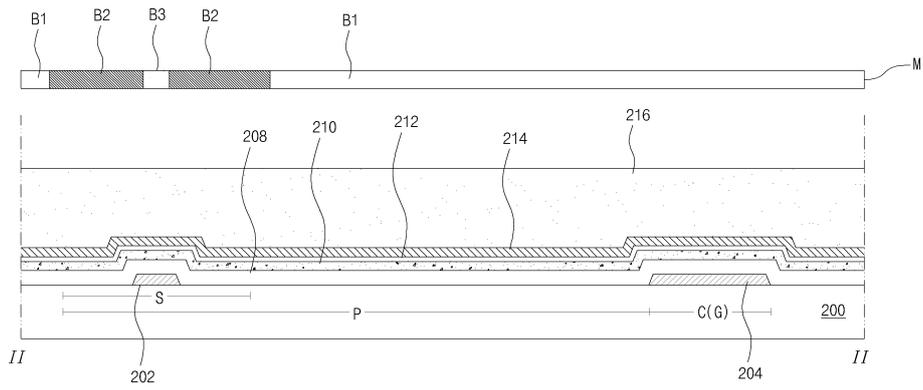
도면5



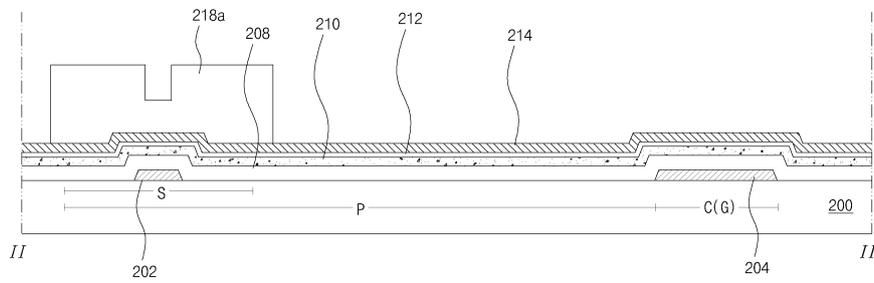
도면6a



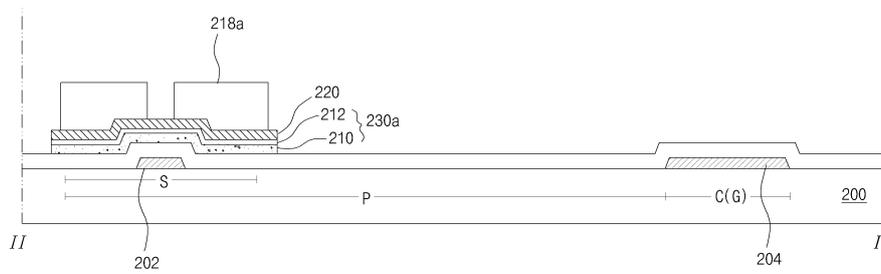
도면6b



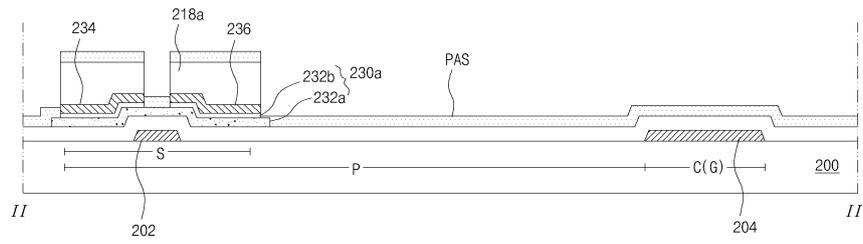
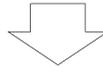
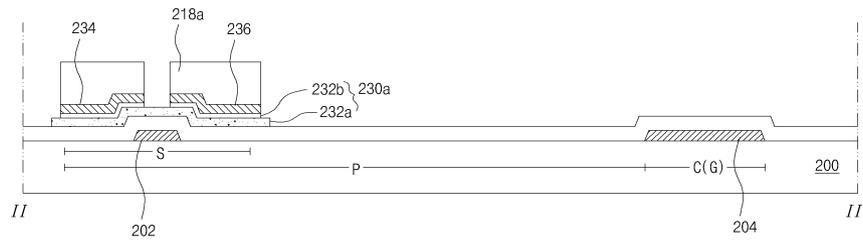
도면6c



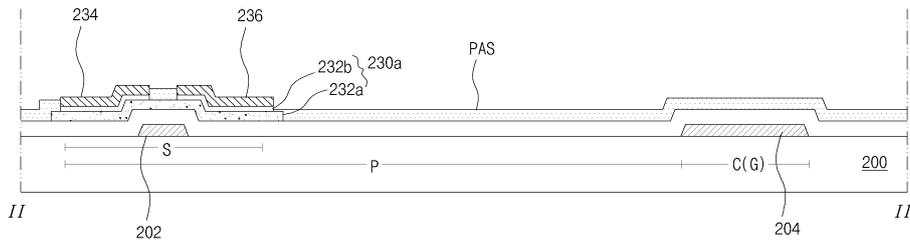
도면6d



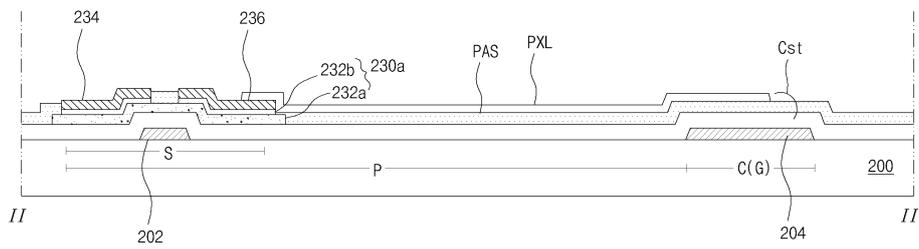
도면6e



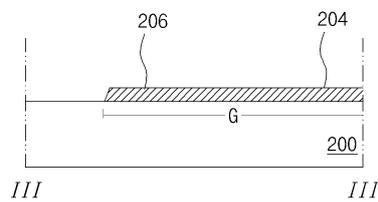
도면6f



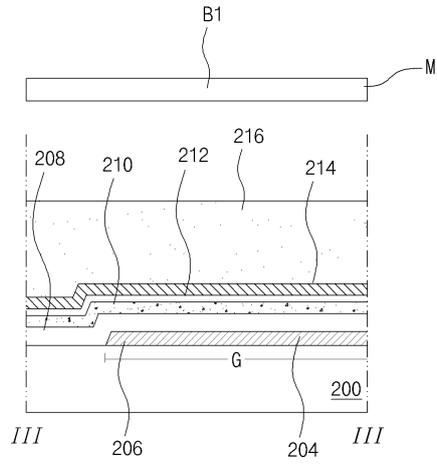
도면6g



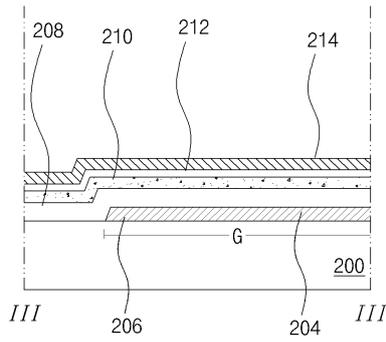
도면7a



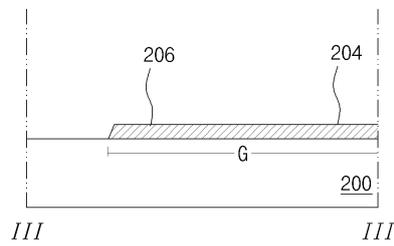
도면7b



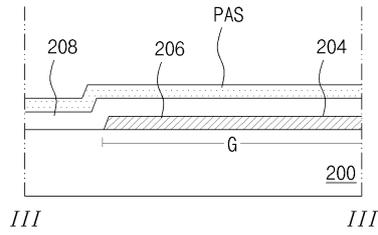
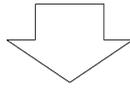
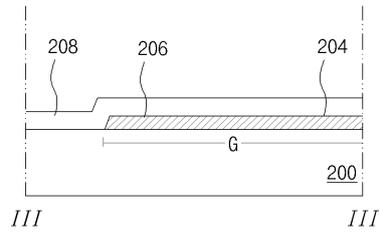
도면7c



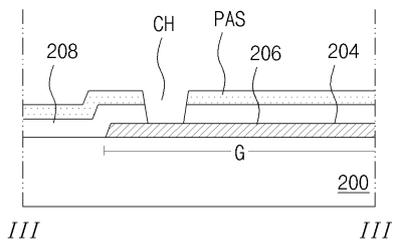
도면7d



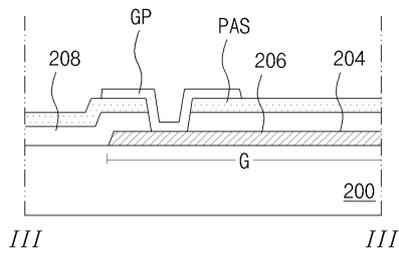
도면7e



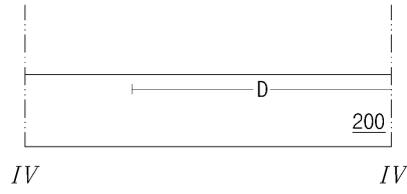
도면7f



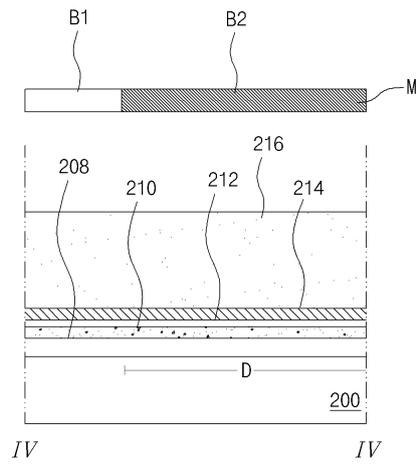
도면7g



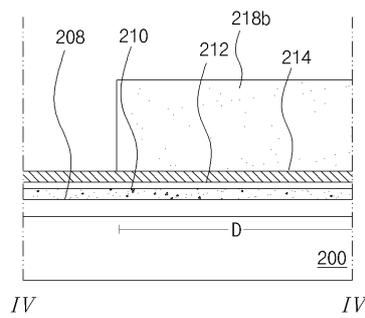
도면8a



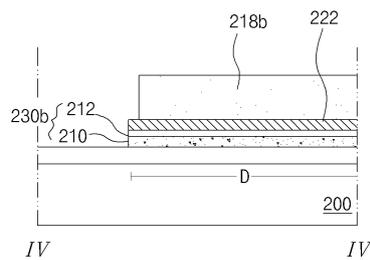
도면8b



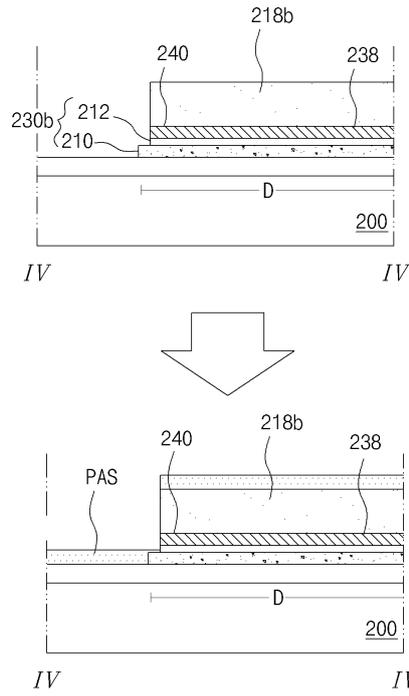
도면8c



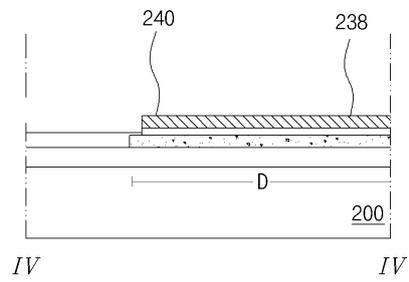
도면8d



도면8e



도면8f



도면8g

