

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 6 月 16 日 (2005.6.16)

【公開番号】特開 2001-249847 (P2001-249847A)

【公開日】平成 13 年 9 月 14 日 (2001.9.14)

【出願番号】特願 2001-40100 (P2001-40100)

【国際特許分類第 7 版】

G 0 6 F 12/08

G 0 6 F 11/10

G 0 6 F 12/16

【F I】

G 0 6 F 12/08 5 4 1 B

G 0 6 F 12/08 5 0 9 Z

G 0 6 F 11/10 3 3 0 K

G 0 6 F 12/16 3 2 0 D

G 0 6 F 12/16 3 2 0 M

【手続補正書】

【提出日】平成 16 年 9 月 8 日 (2004.9.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

エラーが、第 1 のメモリのデータユニットにあるか否かを検出するステップと、  
前記検出ステップの完了前に開始され、前記データユニットに基づくデータを、前記第 1 のメモリから第 2 のメモリに転送するステップと、  
前記検出ステップが、前記データユニットのエラーを検出したときに、少なくとも前記第 2 のメモリの一部をディスエーブルするステップと  
を有する方法。

【請求項 2】

エラー保護の符号化された符号ワードを記憶する第 1 のメモリと、  
前記第 1 のメモリに接続され、エラーを含むか否かにかかわらず、前記符号ワードのいずれかに対応するデータが、前記第 1 のメモリから転送される第 2 のメモリと、  
前記第 1 のメモリおよび前記第 2 のメモリに接続され、前記第 1 のメモリから前記第 2 のメモリに転送されたデータが、検出可能なエラーを含むときに、少なくとも前記第 2 のメモリの一部をディスエーブルするエラー検出回路と  
を有する装置。

【請求項 3】

第 1 のメモリ内のデータのユニットに適應されるエラー検出および訂正またはこれらのいずれかのレーテンシーを回避する装置であって、  
前記第 1 のメモリと一体であって、前記データのユニットの中のエラーの検出に応じて、ディスエーブル信号を供給するディスエーブル論理と、  
前記第 1 のメモリおよび前記ディスエーブル論理と接続された第 2 のメモリであって、  
エラー検出のレーテンシーを回避する手段と、  
前記エラーの伝搬を防ぐ手段と  
を有する第 2 のメモリと

を有する装置。