

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年6月16日(2005.6.16)

【公開番号】特開2001-249847(P2001-249847A)

【公開日】平成13年9月14日(2001.9.14)

【出願番号】特願2001-40100(P2001-40100)

【国際特許分類第7版】

G 06 F 12/08

G 06 F 11/10

G 06 F 12/16

【F I】

G 06 F 12/08 5 4 1 B

G 06 F 12/08 5 0 9 Z

G 06 F 11/10 3 3 0 K

G 06 F 12/16 3 2 0 D

G 06 F 12/16 3 2 0 M

【手続補正書】

【提出日】平成16年9月8日(2004.9.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

エラーが、第1のメモリのデータユニットにあるか否かを検出するステップと、前記検出ステップの完了前に開始され、前記データユニットに基づくデータを、前記第1のメモリから第2のメモリに転送するステップと、前記検出ステップが、前記データユニットのエラーを検出したときに、少なくとも前記第2のメモリの一部をディスエーブルするステップとを有する方法。

【請求項2】

エラー保護の符号化された符号ワードを記憶する第1のメモリと、前記第1のメモリに接続され、エラーを含むか否かにかかわらず、前記符号ワードのいずれかに対応するデータが、前記第1のメモリから転送される第2のメモリと、前記第1のメモリおよび前記第2のメモリに接続され、前記第1のメモリから前記第2のメモリに転送されたデータが、検出可能なエラーを含むときに、少なくとも前記第2のメモリの一部をディスエーブルするエラー検出回路とを有する装置。

【請求項3】

第1のメモリ内のデータのユニットに適応されるエラー検出および訂正またはこれらのいずれかのレーテンシーを回避する装置であって、前記第1のメモリと一体であって、前記データのユニットの中のエラーの検出に応じて、ディスエーブル信号を供給するディスエーブル論理と、前記第1のメモリおよび前記ディスエーブル論理と接続された第2のメモリであって、エラー検出のレーテンシーを回避する手段と、前記エラーの伝搬を防ぐ手段とを有する第2のメモリと

を有する装置。